

**Apellidos, Nombre:**

**4º Grado en Ingeniería de Tecnologías Industriales.  
Microelectrónica.  
Examen Parcial.  
Mayo 2019.**

Responda brevemente en el espacio disponible.

Si necesita más espacio, puede ampliar su respuesta en el reverso de la hoja o solicitar folios extra.

**1.-** Explique el fenómeno de electromigración. ¿Cuándo se produce? ¿Cómo se evita? (1 punto)

**2.-** Explique la función de los diodos clamp en los pines de entrada/salida de un circuito integrado. (1 punto)

**Apellidos, Nombre:**

**3.-** Deduzca, justificándolo, el modelo capacitivo de un transistor CMOS (1 punto)

**4.-** Dibuje el esquema de un inversor CMOS a nivel de transistor. Deduzca su característica estática ( $V_o$  vs.  $V_i$ ), indicando las zonas de funcionamiento de cada transistor. (1 punto)

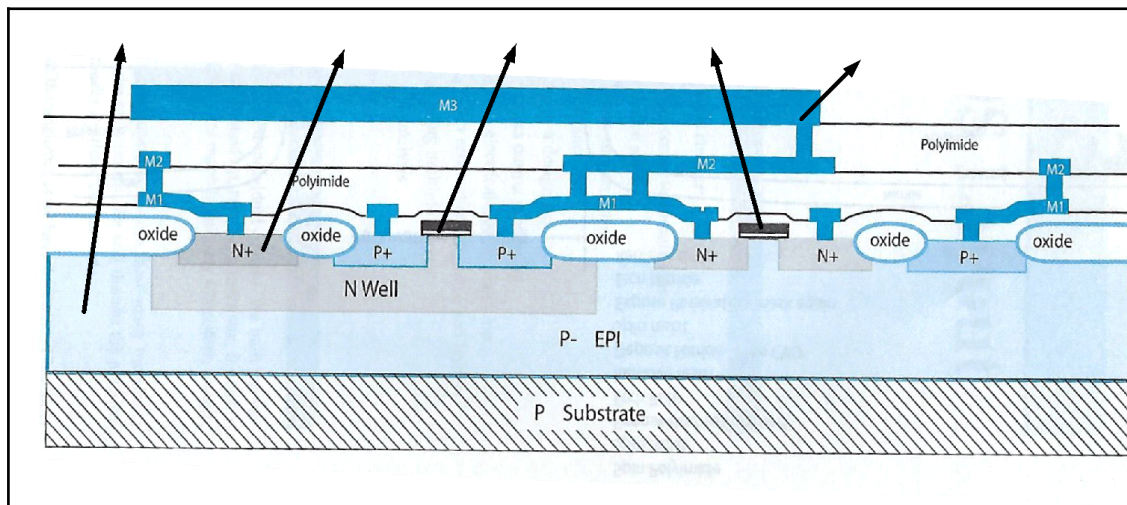
**Apellidos, Nombre:**

**5.-** Definición de clock skew y clock jitter. (1 punto)

**6.-** Deduzca, a nivel de transistor, el circuito CMOS cuya función es  $AB+CD$ . Dibuje el layout de la celda. (1.5 puntos)

Apellidos, Nombre:

7.- Dado el corte transversal de un inversor implementado en una tecnología CMOS, especifique el nombre de la zona resaltada y el proceso de fabricación usado para su creación. (1 punto)



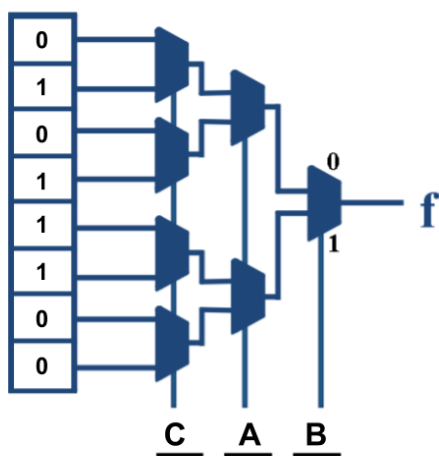
Nombre de la estructura	Proceso de fabricación
1.-	1.-
2.-	2.-
3.-	3.-
4.-	4.-
5.-	5.-

Apellidos, Nombre:

8.- Diferencias entre difusión e implantación iónica (1 punto)

9.- ¿Qué función lógica está implementada en la siguiente LUT? (0.5 puntos)

SRAM



3-LUT

10.- El diagrama de la figura, ¿a qué componente de la arquitectura interna de una FPGA corresponde? Identifique los elementos fundamentales de dicho componente dentro del diagrama, indicando la función que cumple cada uno. ¿Qué podemos implementar en este componente? (1 punto)

