



Apellidos:   
 Nombre: 

GRADO EN INGENIERÍA EN TECNOLOGÍAS INDUSTRIALES  
 MICROELECTRÓNICA

Curso 14-15.

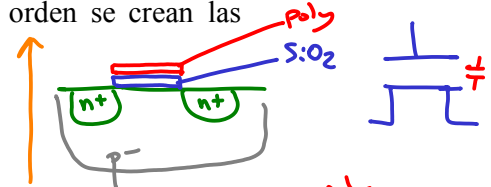
Teoría. Cuestionario. 26 Mayo 2015.

Responder brevemente en los recuadros:

1.- En el proceso de fabricación de un circuito CMOS, ¿en qué orden se crean las siguientes partes del transistor?

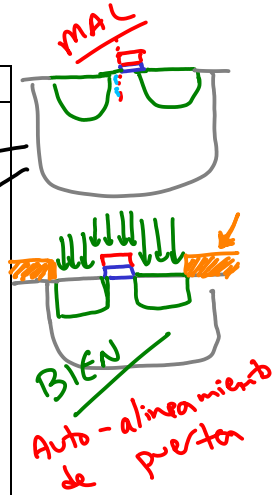
difusiones, polisilicio, pozos, óxido de puerta

¿Qué procesos se usan para crear cada parte?



*Handwritten notes:*  
 Tiempo (blue arrow pointing down)  
 Bien (green)  
 ox. puerta (blue)  
 pozos (impl. iónica) (green)  
 poly (red)  
 diff (impl. iónica) (green)

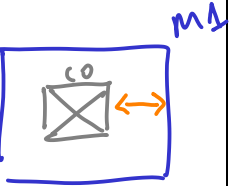
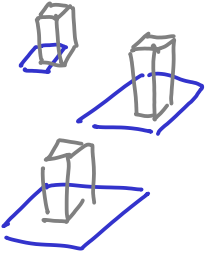
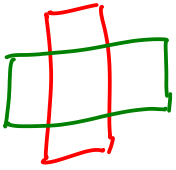
Parte del Transistor	Proceso
1ª.- <i>Bien</i> pozos	<i>MAL</i> pozos
2ª.- <i>Bien</i> ox. puerta	<i>MAL</i> diff
3ª.- <i>Bien</i> poly	<i>MAL</i> ox. puerta
4ª.- <i>Bien</i> diff	<i>MAL</i> poly



2.- Describe un método para crear un lingote de silicio monocristalino a partir de silicio amorfo

Apellidos:  
Nombre:

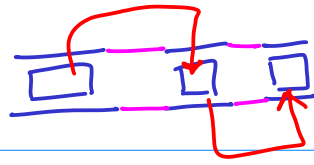
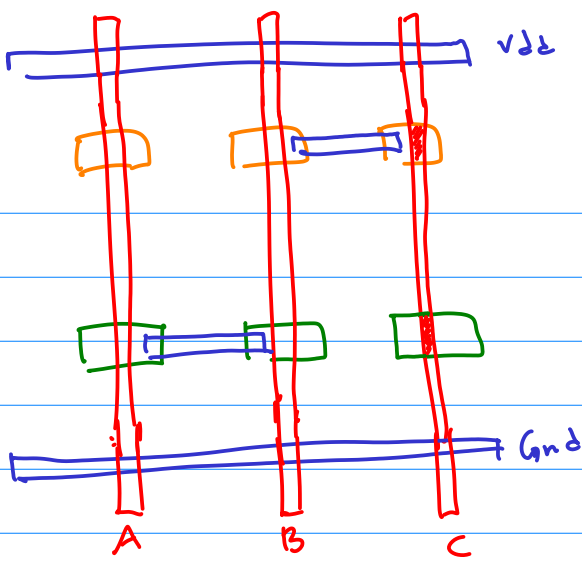
3.- ¿Qué son las reglas de diseño? Pon un ejemplo (la que quieras) y explica qué sentido tiene.



Definición	
Regla ejemplo	Sentido
<ul style="list-style-type: none"> <li>o Tamaños mínimos</li> <li>o Distancias mínimas</li> <li>o Margenes extra</li> </ul>	<ul style="list-style-type: none"> <li>o Alineamiento de máscaras</li> <li>o Tolerancia procesos de fabricación</li> </ul>

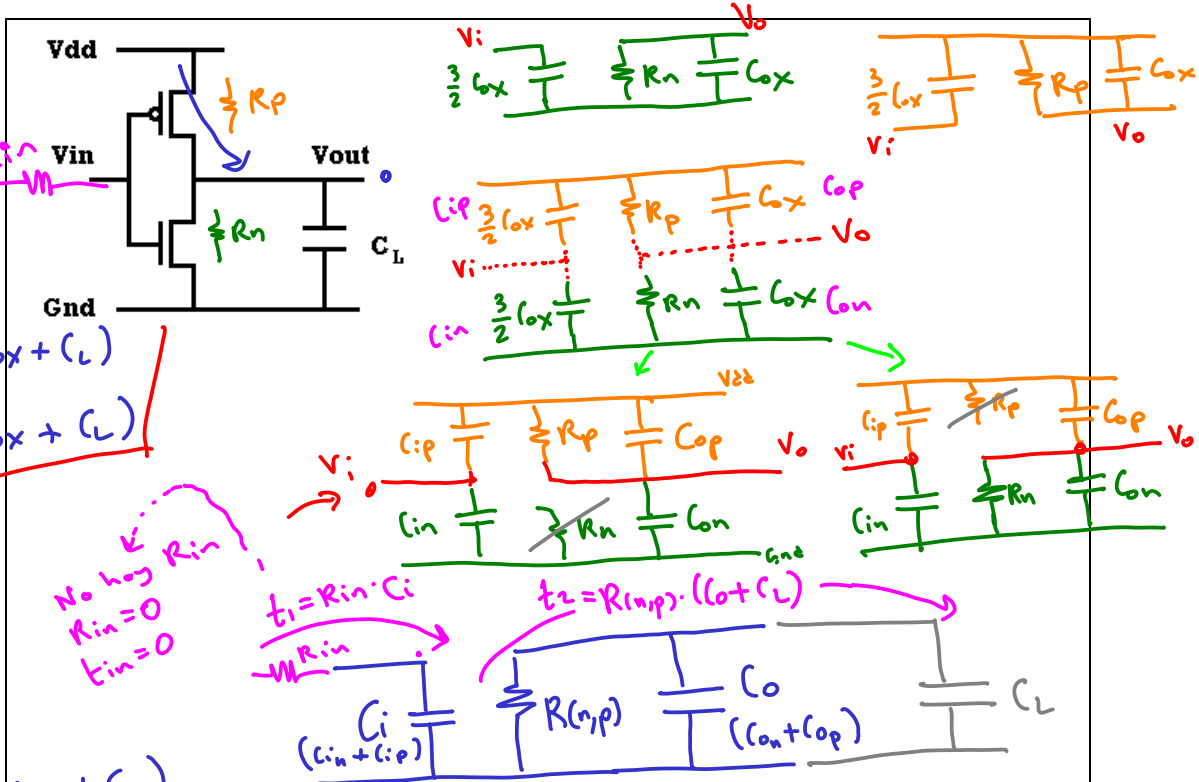
4.- Diferencias entre deposición y crecimiento epitaxial.

--

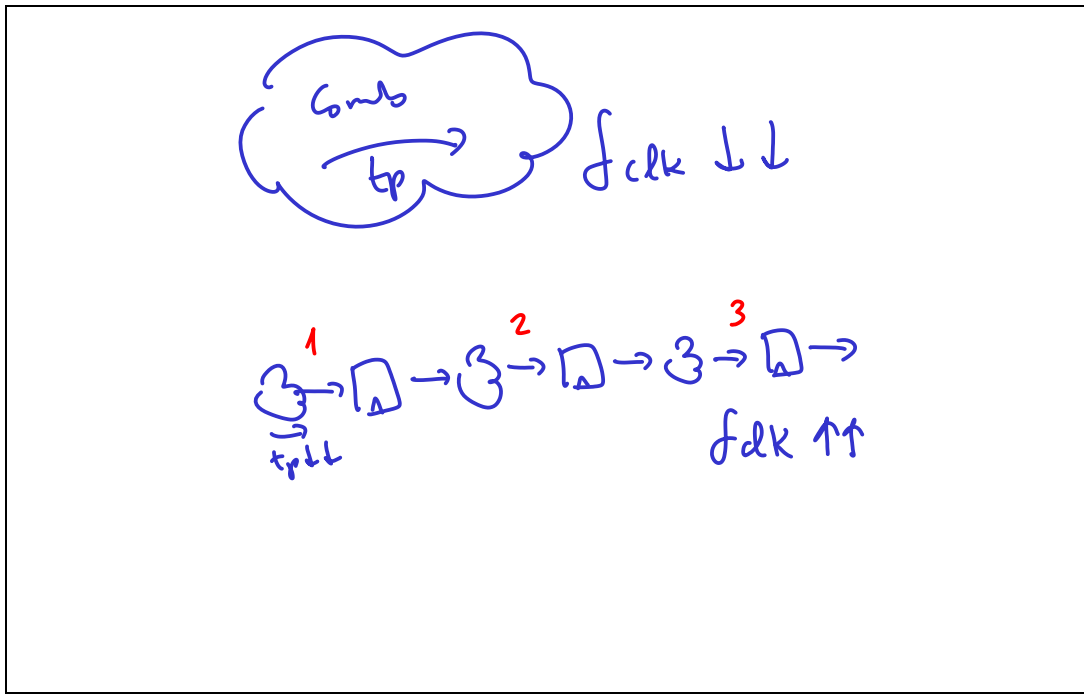


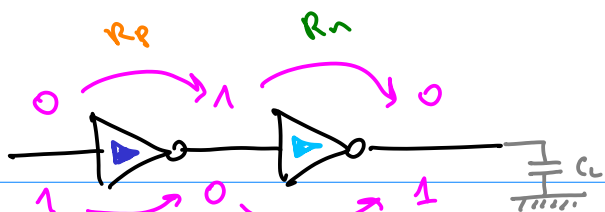
Apellidos:  $1\Omega \cdot 1F = \dots = 1s$       $1\Omega \cdot 1F = \frac{1V}{1A} \cdot \frac{1C}{1V} = \frac{1C}{1A} = 1s$   
 Nombre:  $\hookrightarrow V=I \cdot R$       $R = \frac{V}{I} \Rightarrow 1\Omega = \frac{1V}{1A}$       $C = \frac{Q}{V} \Rightarrow 1F = \frac{1C}{1V}$       $I = \frac{Q}{t} \Rightarrow 1A = \frac{1C}{1s}$

5.- Calcula las expresiones que determinan los tiempos de propagación del siguiente circuito, en función de  $R_n$ ,  $R_p$ ,  $C_{ox}$  y  $C_L$



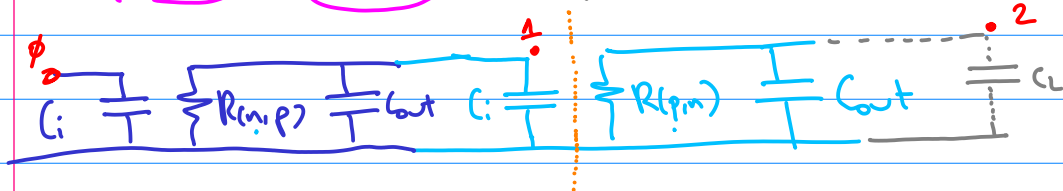
6.- ¿En qué consiste el 'pipeline' y para qué se usa esta técnica de diseño?





H → L  
L → H

desde el punto de vista del vado al que se propaga la señal



$$t_p = \underbrace{R_{n(ip)} \cdot (C_{out} + C_i)}_{t_{p(0 \rightarrow 1)}} + \underbrace{R_{i(in)} \cdot (C_{out} + C_L)}_{t_{p(1 \rightarrow 2)}}$$

$t_{p2} = R_n(C_{out} + C_i) + R_p(C_{out} + C_L)$   
 $t_{p2} = R_p(C_{out} + C_i) + R_n(C_{out} + C_L)$

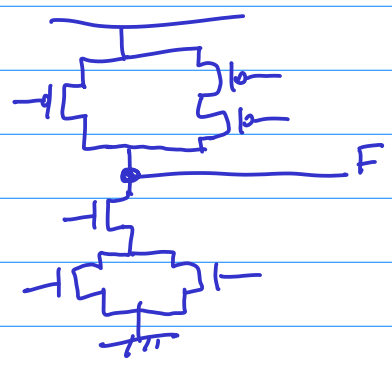
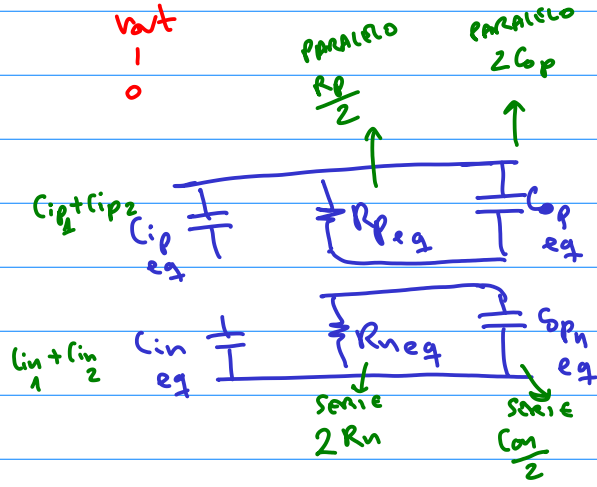
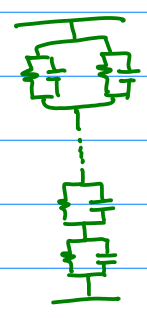
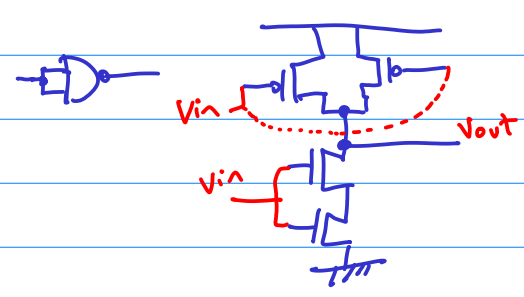
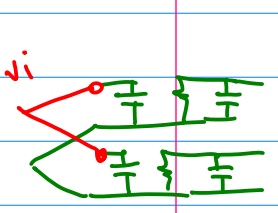
Inversor equivalente

ABC	AND	NAND
000	0	1
001	0	1
010	0	1
011	0	1
100	0	1
101	1	0
110	1	0
111	1	0

$V_{in}$   
 0  
 1

$V_{out}$   
 1  
 0

muchos posibles 0 → 1  
1 → 0

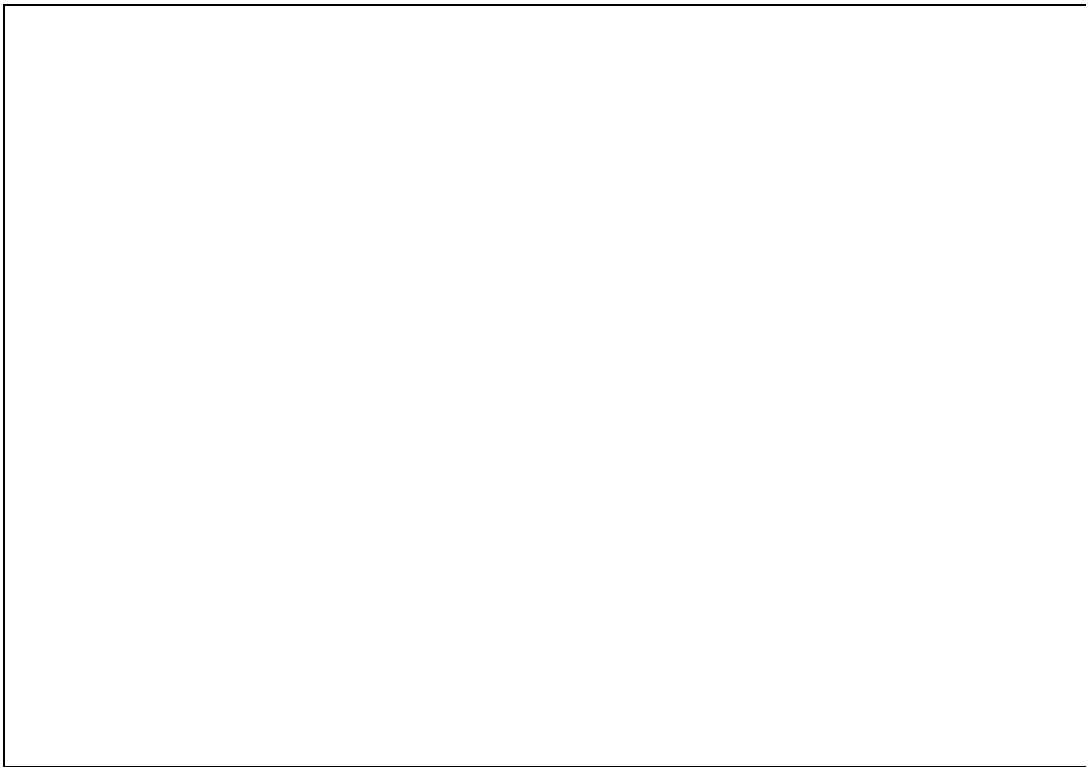


Aplicar  $R_p, R_n, C_{op}, C_{on}$  en SERIE/PARALELO  
 Las  $C_{in}$  se suman todas

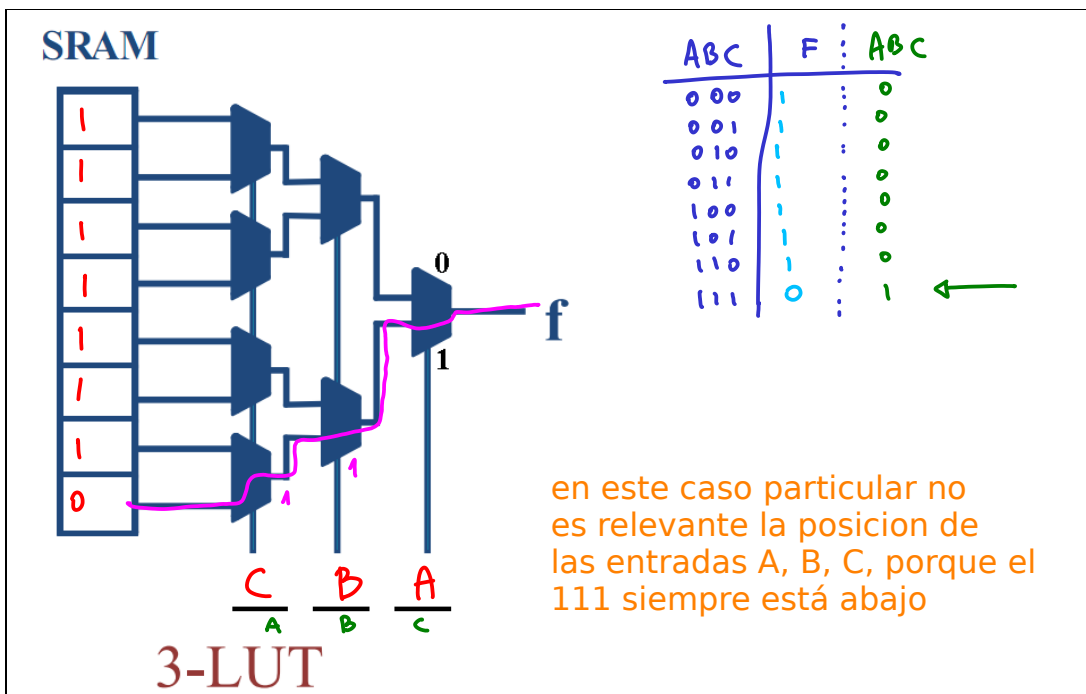


Apellidos:  
Nombre:

9.- Represente un biestable activo por flanco, utilizando detector de flanco, a nivel de puertas lógicas (Emplee inversores y puertas de transmisión).



10.- Configure la LUT de la figura de forma que implemente la función lógica NOT(ABC).



Apellidos:  
Nombre:

11.- ¿Por qué se han de sincronizar las entradas en un circuito implementado en una FPGA? ¿Y las salidas?.

