

Apellidos: _____
 Nombre: _____

GRADO EN INGENIERÍA EN TECNOLOGÍAS INDUSTRIALES
 MICROELECTRÓNICA

Curso 14-15.

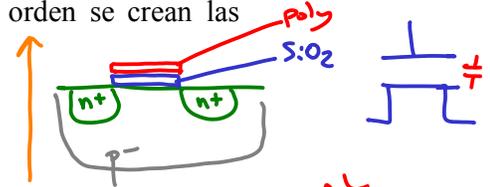
Teoría. Cuestionario. 26 Mayo 2015.

Responder brevemente en los recuadros:

1.- En el proceso de fabricación de un circuito CMOS, ¿en qué orden se crean las siguientes partes del transistor?

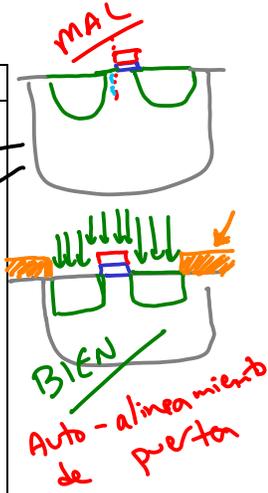
difusiones, polisilicio, pozos, óxido de puerta

¿Qué procesos se usan para crear cada parte?



Tiempo
 (20 minutos Tema CMOS)
 BIEN
 ox. puerta
 pozos (impl. iónica)
 poly
 diff (impl. iónica)

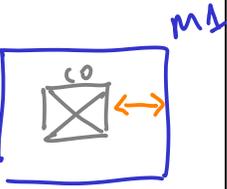
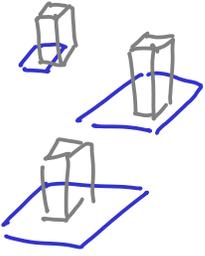
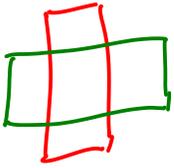
Parte del Transistor	Proceso
1ª.- pozos	pozos
2ª.- ox. puerta	diff
3ª.- poly	ox. puerta
4ª.- diff	poly



2.- Describe un método para crear un lingote de silicio monocristalino a partir de silicio amorfo

Apellidos:
Nombre:

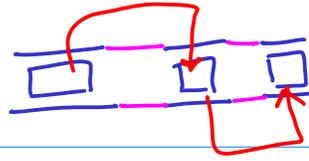
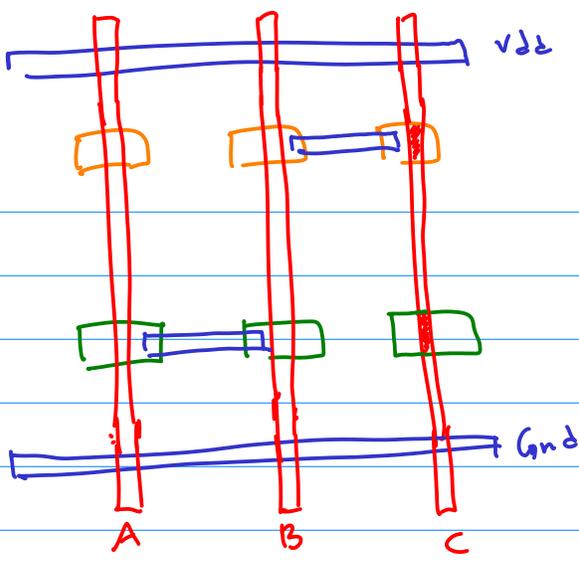
3.- ¿Qué son las reglas de diseño? Pon un ejemplo (la que quieras) y explica qué sentido tiene.



Definición	
Regla ejemplo	Sentido
<ul style="list-style-type: none"> o Tamaños mínimos o Distancias mínimas o Margenes extra 	<ul style="list-style-type: none"> o Alineamiento de máscaras o Tolerancia procesos de fabricación

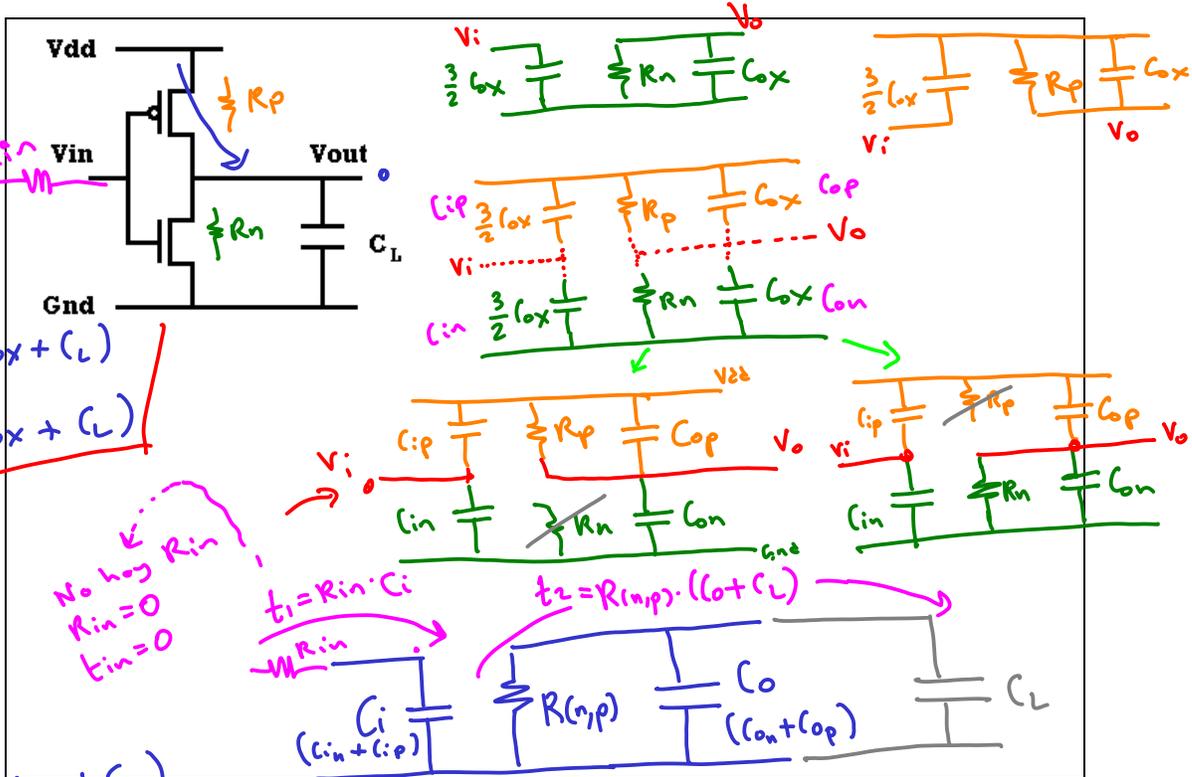
4.- Diferencias entre deposición y crecimiento epitaxial.

--

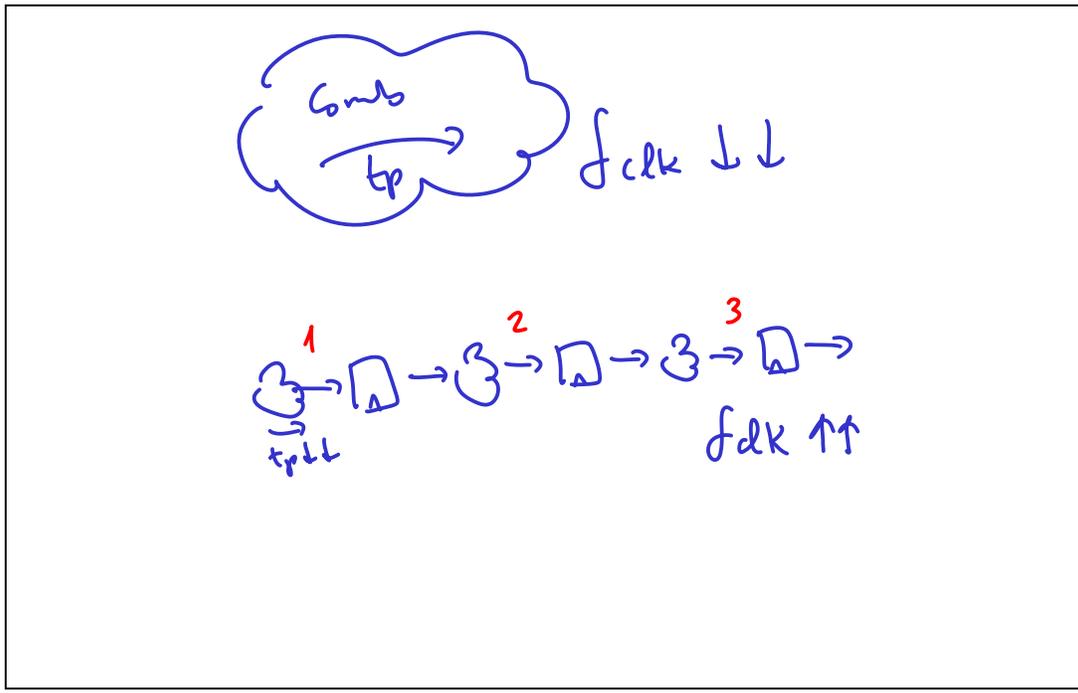


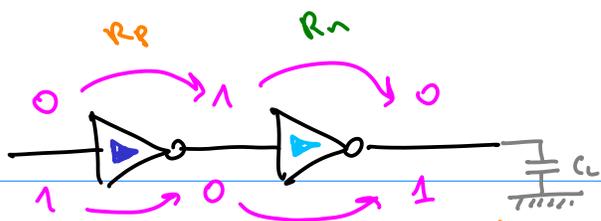
Apellidos: $1\Omega \cdot 1F = \dots = 1s$ $1\Omega \cdot 1F = \frac{1V}{1A} \cdot \frac{1C}{1V} = \frac{1C}{1A \cdot 1s} = 1s$
 Nombre: $\hookrightarrow V=I \cdot R$ $R = \frac{V}{I} \Rightarrow 1\Omega = \frac{1V}{1A}$ $C = \frac{Q}{V} \Rightarrow 1F = \frac{1C}{1V}$ $I = \frac{Q}{t} \Rightarrow 1A = \frac{1C}{1s}$

5.- Calcula las expresiones que determinan los tiempos de propagación del siguiente circuito, en función de R_n , R_p , C_{ox} y C_L

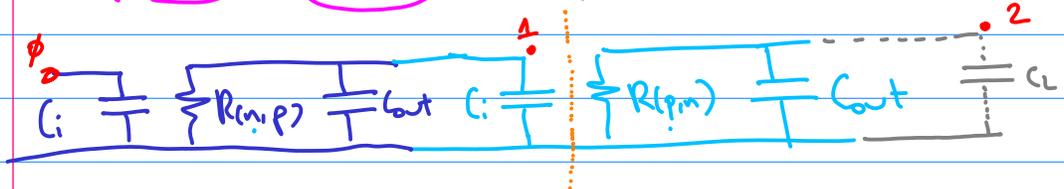


6.- ¿En qué consiste el 'pipeline' y para qué se usa esta técnica de diseño?





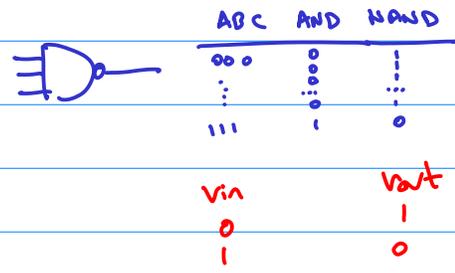
$\overline{H} \overline{L}$
 $\overline{L} \overline{H}$
 desde el punto de vista del vado al que se propaga la señal



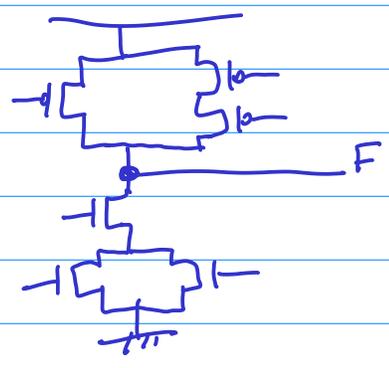
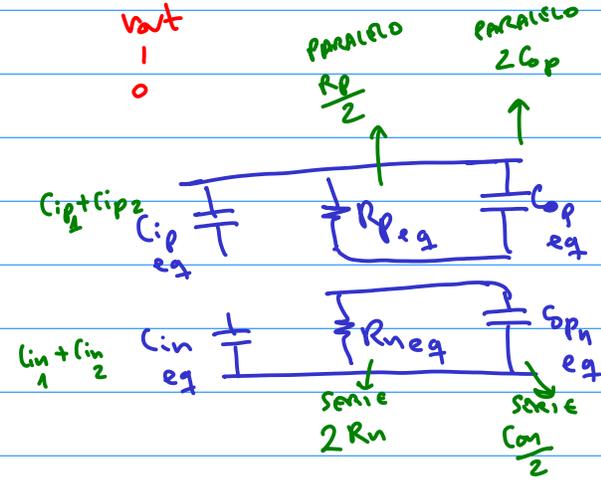
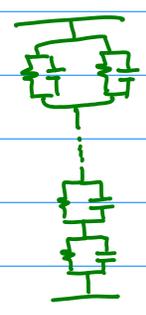
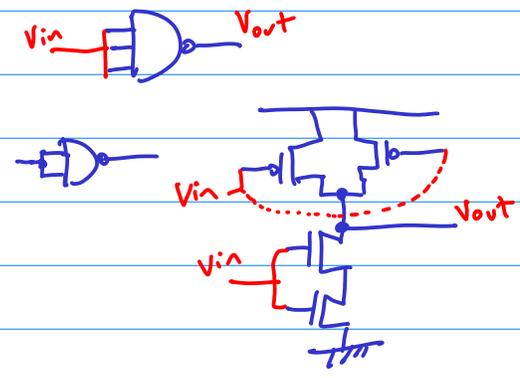
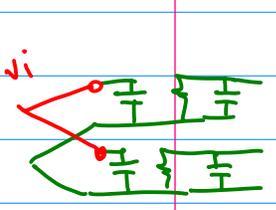
$$t_p = \underbrace{R_{n(ip)} \cdot (C_{out} + C_i)}_{t_{p(0 \rightarrow 1)}} + \underbrace{R_{i(in)} \cdot (C_{out} + C_L)}_{t_{p(1 \rightarrow 2)}}$$

$t_{p2} = R_n(C_{out} + C_i) + R_p(C_{out} + C_L)$
 $t_{p2} = R_p(C_{out} + C_i) + R_n(C_{out} + C_L)$

Inversor equivalente



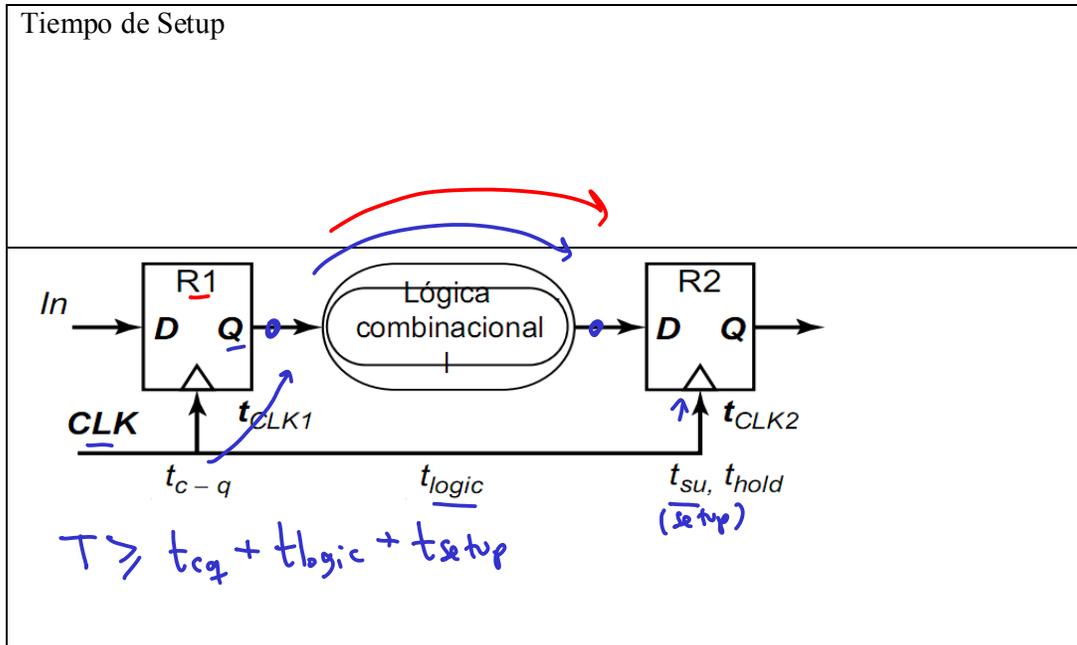
muchos posibles 0 → 1
1 → 0



Aplicar R_p, R_n, C_{op}, C_{on} en SERIE/PARALELO
 Las C_{in} se suman todas

Apellidos:
Nombre:

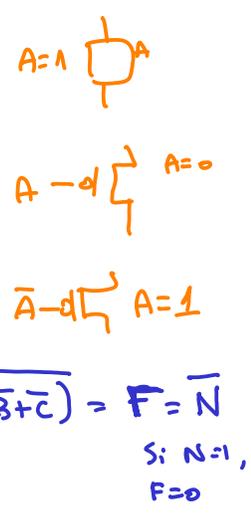
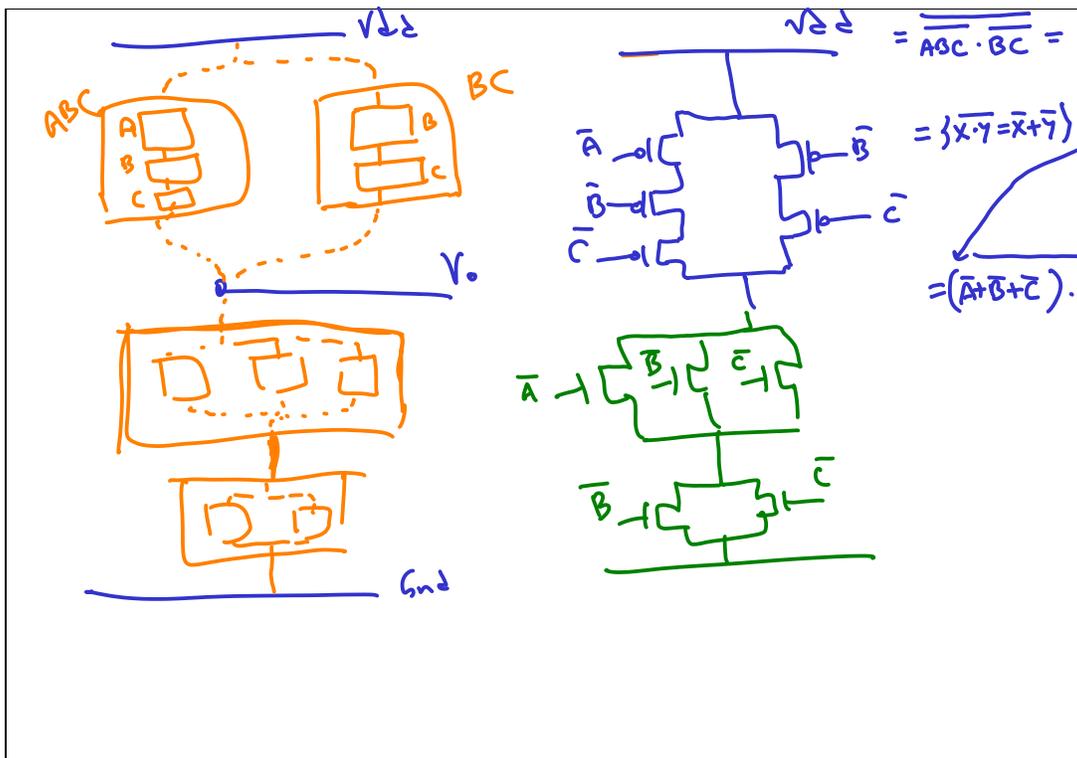
7.- En biestables activos por flanco, ¿qué se entiende por “tiempo de setup”? ¿En la imagen, qué condición se tiene que cumplir para que se respete el tiempo de setup del biestable de la derecha (en ausencia de no-idealidades de reloj)?



8.- Represente, a nivel de esquemático con transistores NMOS y PMOS, la celda lógica que implementa la función $ABC + BC$. $\rightarrow F = \overline{ABC + BC} = \overline{\overline{A+B+C} \cdot \overline{B+C}} = \overline{\overline{A+B+C}} \cdot \overline{\overline{B+C}} = (A+B+C) \cdot (B+C)$

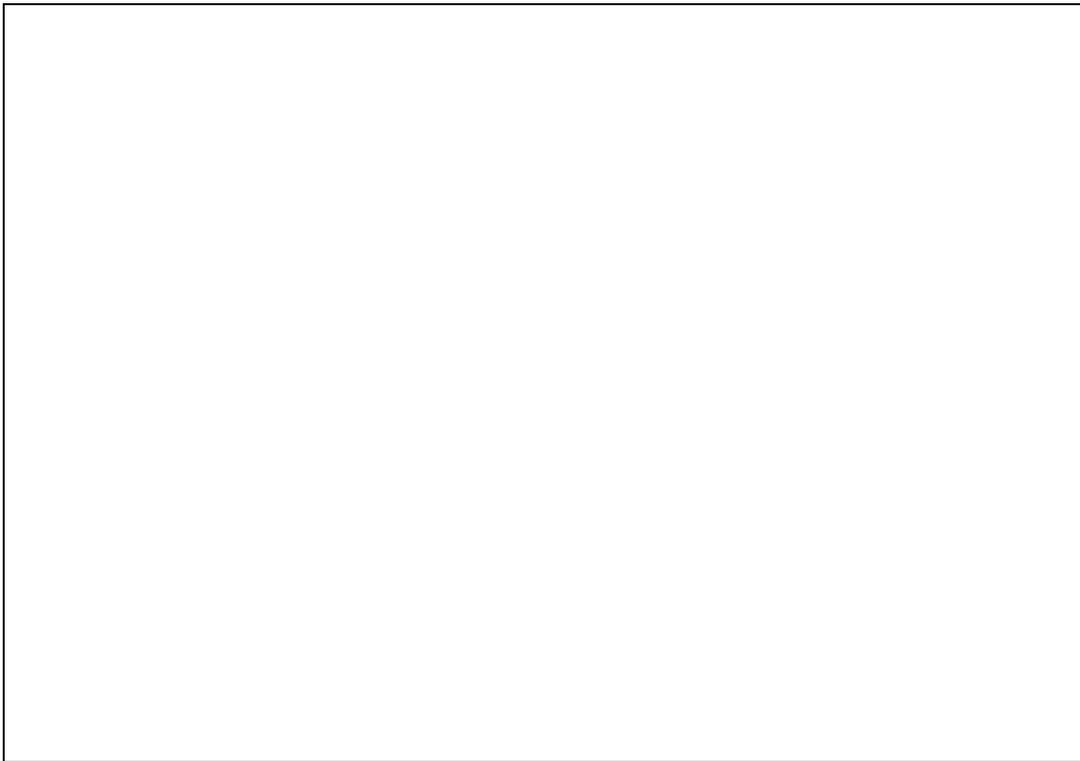
Handwritten De Morgan's laws:

- $\overline{A+B} = \overline{A} \cdot \overline{B}$
- $\overline{A \cdot B} = \overline{A} + \overline{B}$

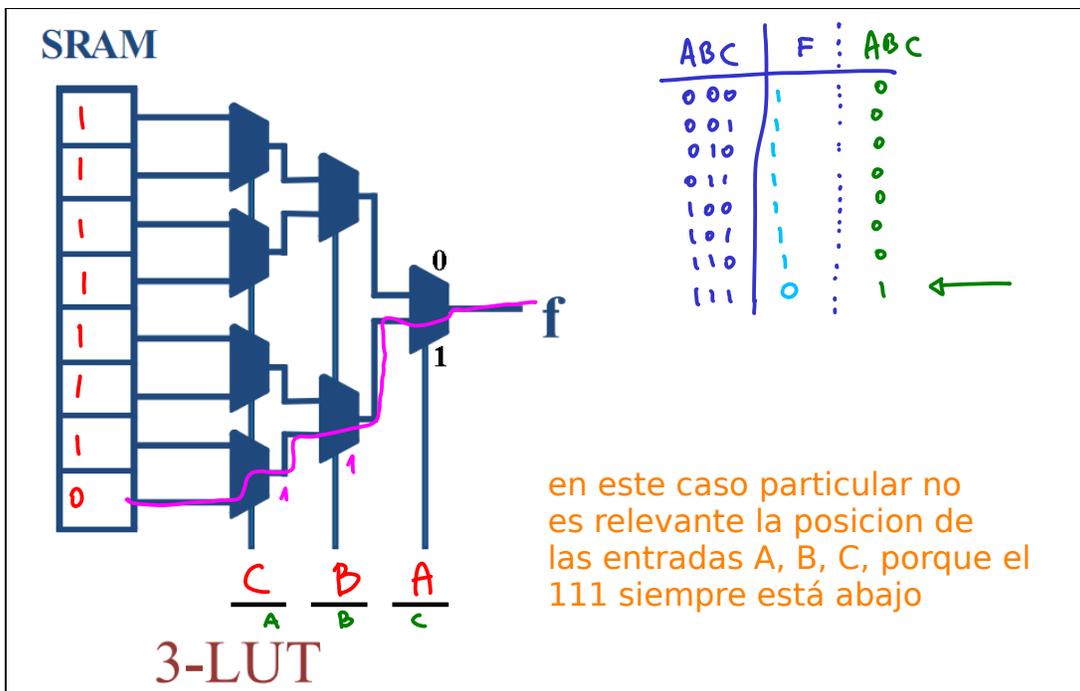


Apellidos:
Nombre:

9.- Represente un biestable activo por flanco, utilizando detector de flanco, a nivel de puertas lógicas (Emplee inversores y puertas de transmisión).



10.- Configure la LUT de la figura de forma que implemente la función lógica NOT(ABC).



Apellidos:
Nombre:

11.- ¿Por qué se han de sincronizar las entradas en un circuito implementado en una FPGA? ¿Y las salidas?.

