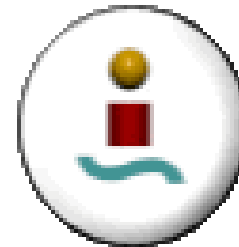


# Tema 4

## El Modelo Digital del Transistor MOS

Cómo poder manejar diseños de gran complejidad con modelos sencillos y precisos



# Contenidos del tema

1. Introducción
2. El modelo del transistor MOS
  1. Modelo Resistivo
  2. Modelo Capacitivo
  3. Retraso intrínseco de un transistor MOS
3. Tiempos de transición y propagación de un circuito MOS
  1. Margen de ruido
4. El inversor CMOS
  1. Característica DC
  2. Punto de conmutación

# Contenidos (cont)

4. Características en conmutación
5. Oscilador con inversores
6. Disipación de potencia
7. Drivers distribuidos
8. Carga de conductores largos
9. Redes complejas

# I. Introducción

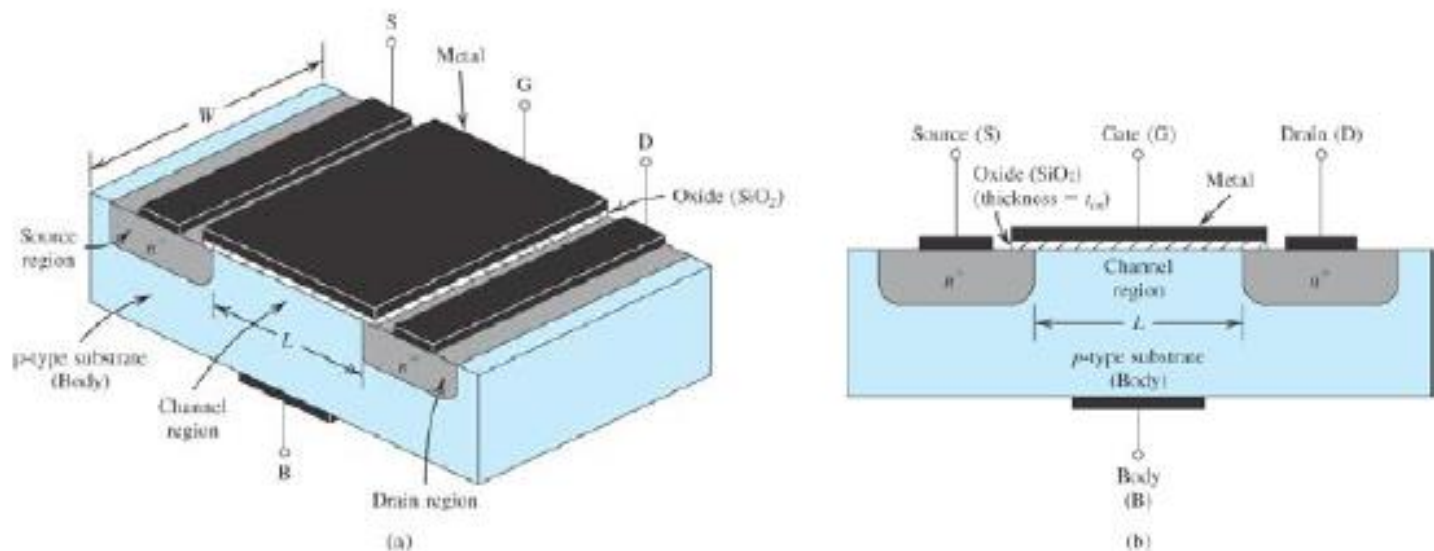
- Los diseños de circuitos integrados digitales tienen una dimensión muy elevada.
- Los simuladores basados en ecuaciones de comportamiento del transistor pueden describir perfectamente el comportamiento de un circuito. Pero:
  - Requieren mucha carga en la CPU por cada transistor
  - Generan mucha información innecesaria
  - No son prácticos

Es necesario cambiar el punto de vista y construir nuevos modelos del transistor MOS que incluyan la información realmente útil

- **La información de utilidad es:**
  1. **Información funcional:** Las funciones que se construyen el circuito sean las mismas que las esperadas o deseadas
  2. **Información temporal:** Retrasos y propagaciones de las señales
  3. **Simplicidad:** La información necesaria para el estudio del circuito sea mínima.

## 2. El Modelo Digital del MOS

- El transistor MOS es un dispositivo de cuatro terminales Puerta, Sustrato, Drenador y Fuente.
- Es un dispositivo simétrico en D y S
- Un campo eléctrico vertical controla la corriente transversal



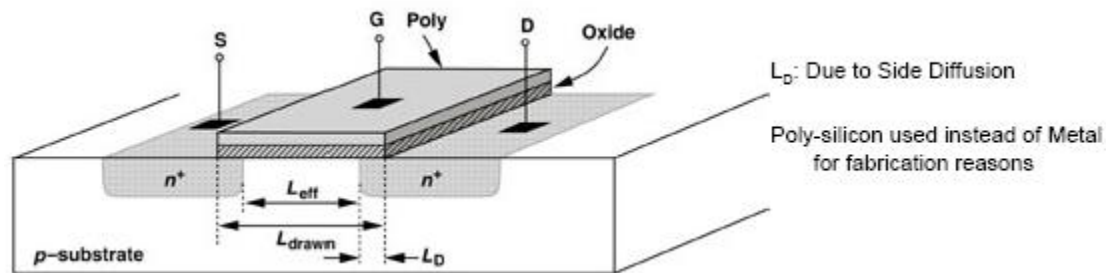
© Microelectronic Circuits, 2004 Oxford University Press

Departamento de Ingeniería Electrónica.

05/04/2016 Microelectrónica

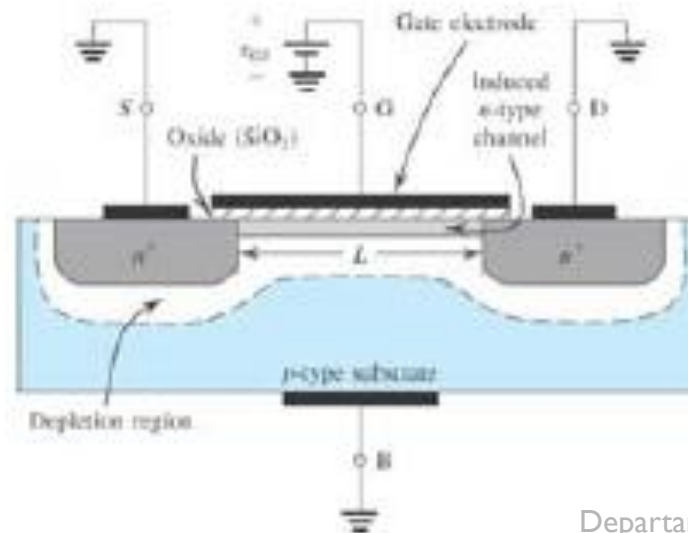
- **Dos tipos:**

- MOS-n, o de canal n, donde los portadores son electrones
- MOS-p, o de canal p, donde los portadores son huecos.
- Los electrones tienen mayor movilidad que los huecos



# Voltaje umbral

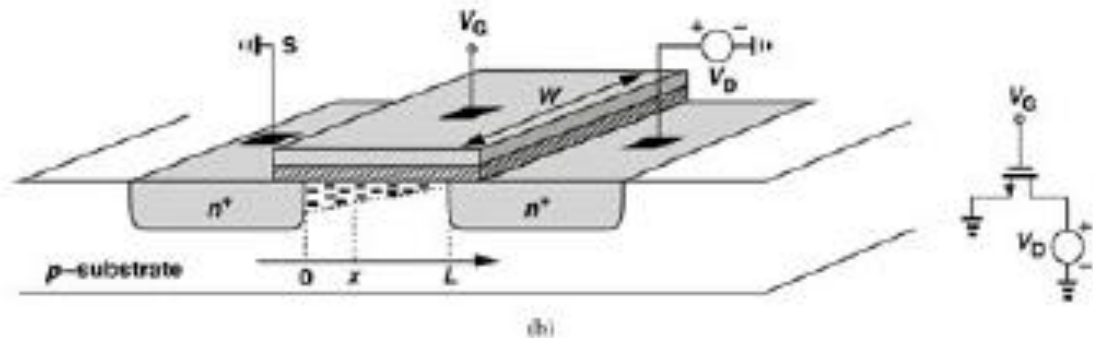
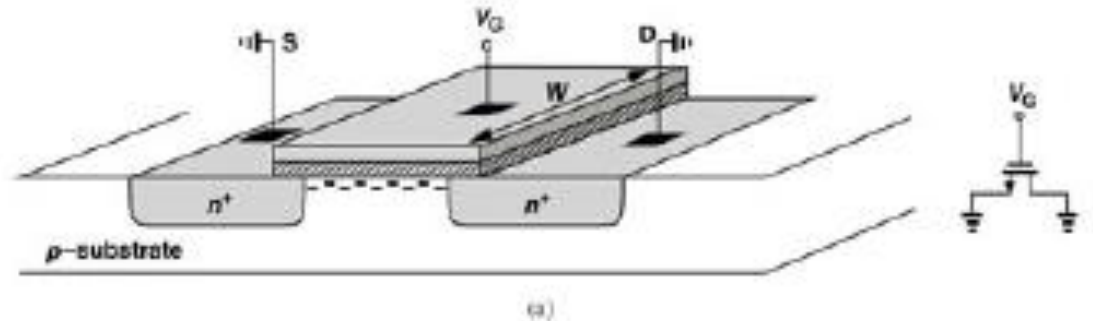
- Si aplicamos una tensión entre puerta (G) y sustrato (B) no circula corriente, pero se establece un campo eléctrico que induce cargas en la interfase óxido semiconductor
- Si aumentamos este voltaje por encima de una cantidad umbral  $V_t$  se inducen cargas en la interfase, formando un canal de conducción
- Este voltaje, en primera aproximación, es prácticamente constante. Un análisis más detallado revela dependencias con la tensión fuente-sustrato





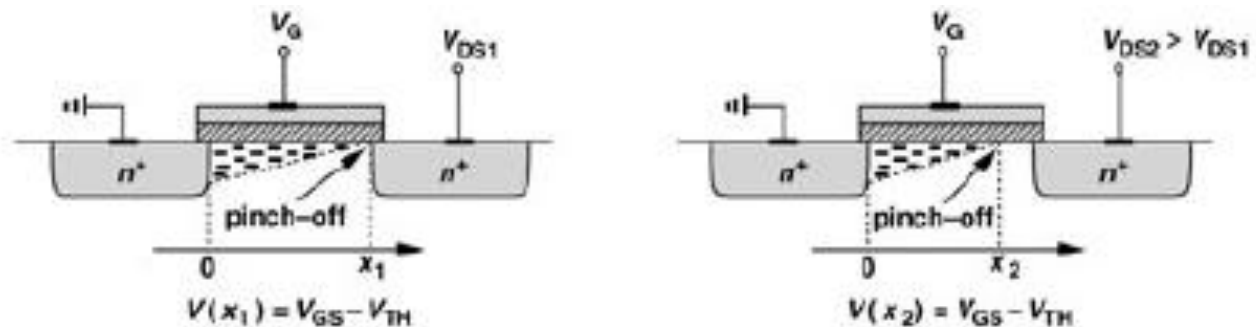
# Ecuaciones de funcionamiento del MOS

- En la mayoría de los casos  $V_{SB}=0V$ , es decir, están ambos conectados a tierra.
- Al establecer una tensión drenador-fuente  $V_{DS}$  circula una intensidad. El canal se deforma.



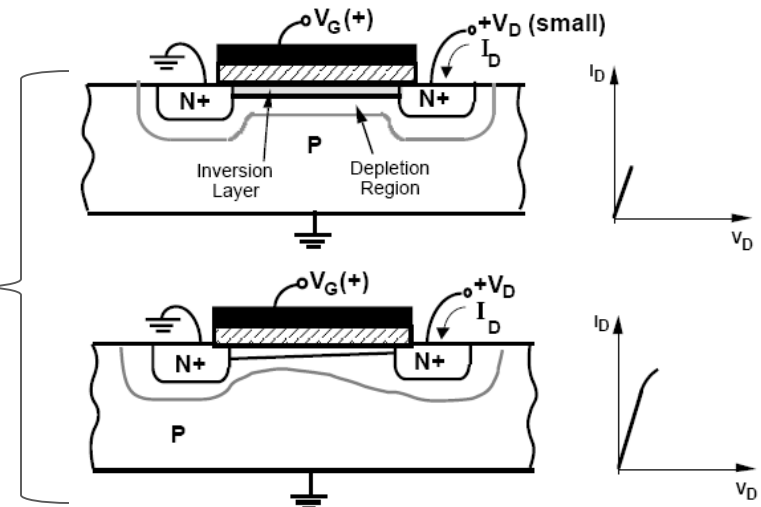
# Ecuaciones de funcionamiento del MOS

- Si  $V_{DS}$  aumenta, el canal puede “agotarse”, quedando imposibilitado para transportar más corriente
- El dispositivo entra en saturación

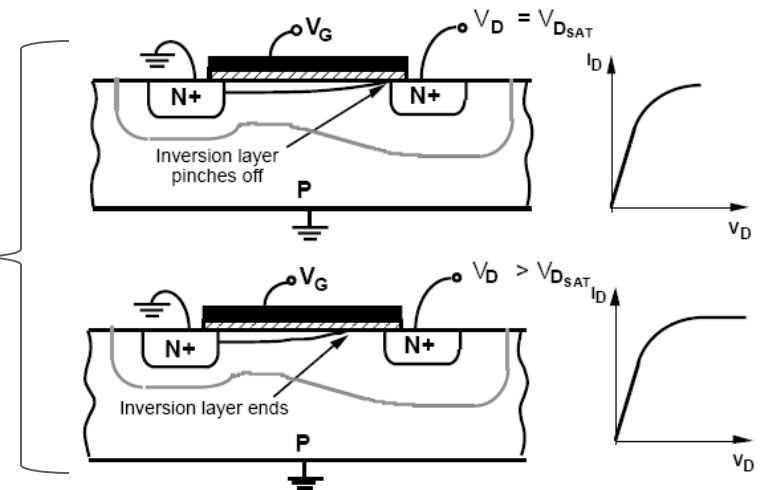


# Regiones de funcionamiento

Zona lineal (óhmica)



Zona saturación



# Regiones de funcionamiento

- Si  $V_{SB}=0V$
- Corte:  $V_{GS} < V_t$  por tanto  $I_D=0$  (en primera aproximación)
- Lineal:  $V_{GS} > V_t$  y  $V_{DS} < (V_{GS}-V_t)$

$$I_D = \mu_n C'_{ox} \frac{W}{L} [(V_{GS}-V_t) V_{DS} - 1/2 V_{DS}^2]$$

- Saturación:  $V_{GS} > V_t$  y  $V_{DS} > (V_{GS}-V_t)$

$$I_D = \mu_n C'_{ox} \frac{W}{L} \frac{(V_{GS}-V_T)^2}{2}$$

- Donde:
  - $C'_{ox}$  es la capacidad de puerta por unidad de área
  - $\mu_n$  es la movilidad de los electrones en el silicio
  - $W$  es el ancho del dispositivo (ancho de la región de drenador a fuente)
  - $L$  es la longitud del canal

# Regiones de funcionamiento

- Si  $V_{SB}=0V$
- Corte:  $V_{SG} < V_t$  por tanto  $I_D=0$  (en primera aproximación)
- Lineal:  $V_{SG} > V_t$  y  $V_{SD} < (V_{SG}-V_t)$

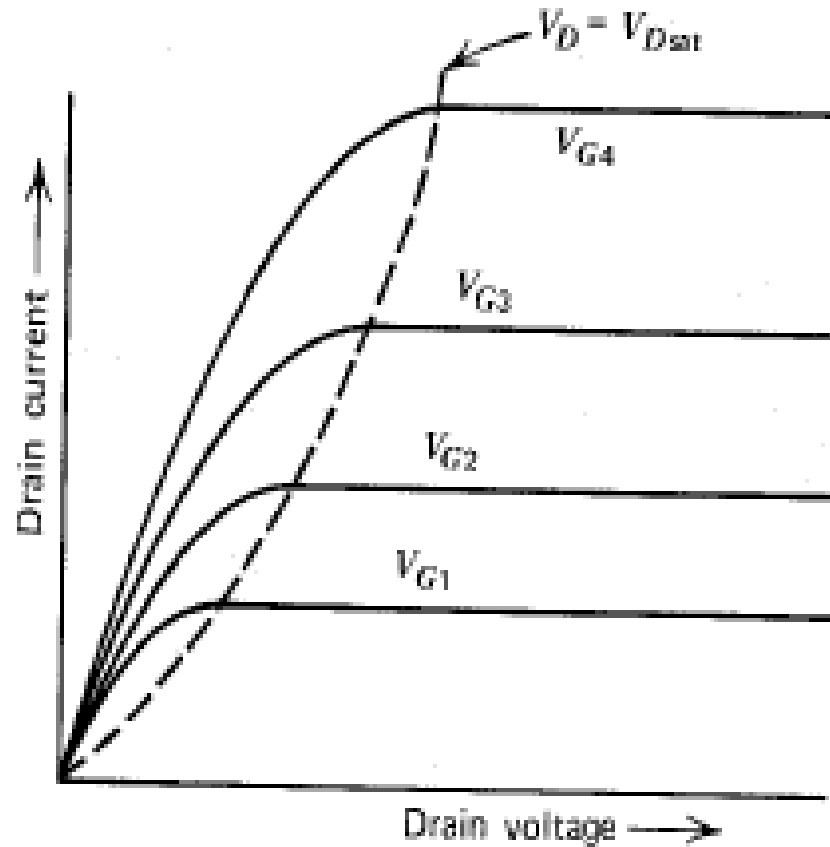
$$I_D = \mu_p C'_{ox} \frac{W}{L} [(V_t - V_{SG}) V_{SD} - 1/2 V_{SD}^2]$$

- Saturación:  $V_{SG} > V_t$  y  $V_{SD} > (V_{GS}-V_t)$

$$I_D = \mu_p C'_{ox} \frac{W}{L} \frac{(V_{SG} - V_T)^2}{2}$$

- Donde:
  - $C'_{ox}$  es la capacidad de puerta por unidad de área
  - $\mu_p$  es la movilidad de los huecos en el silicio
  - $W$  es el ancho del dispositivo (ancho de la región de drenador a fuente)
  - $L$  es la longitud del canal

# Curvas Características



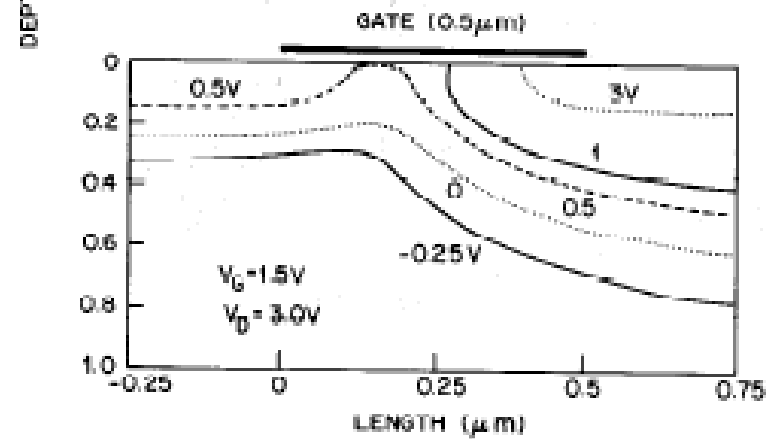
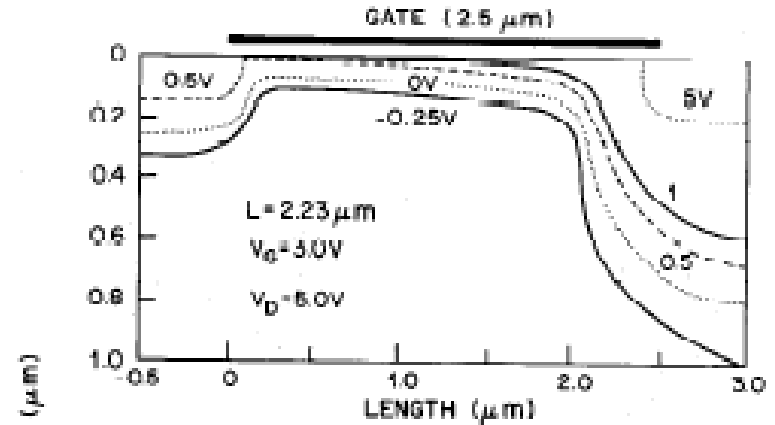
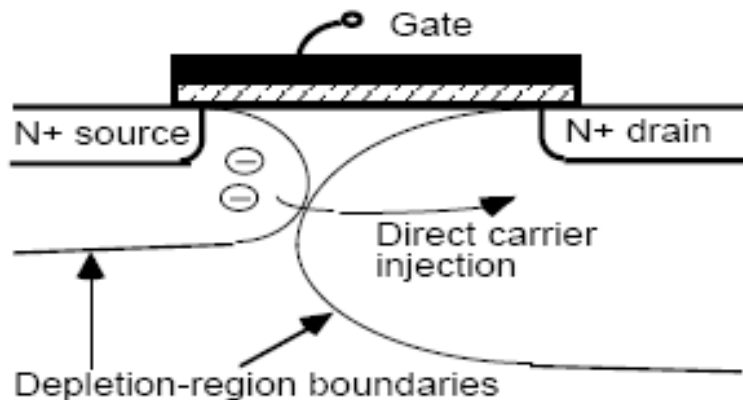
# Correcciones al modelo

- Modelo para canal largo. La puerta es la responsable de la producción de carga de la entrefase

- En modelos de canal muy corto hay una influencia de la polarización  $V_{DB}$  y  $V_{SB}$

- Menor  $V_{GS}$  se necesita para crear el canal. El efecto se denomina "Drain induced barrier lowering" (DIBL)

- La  $V_t$  disminuye, pero la  $I_D$  aumenta



# Modelo de canal ultracorto

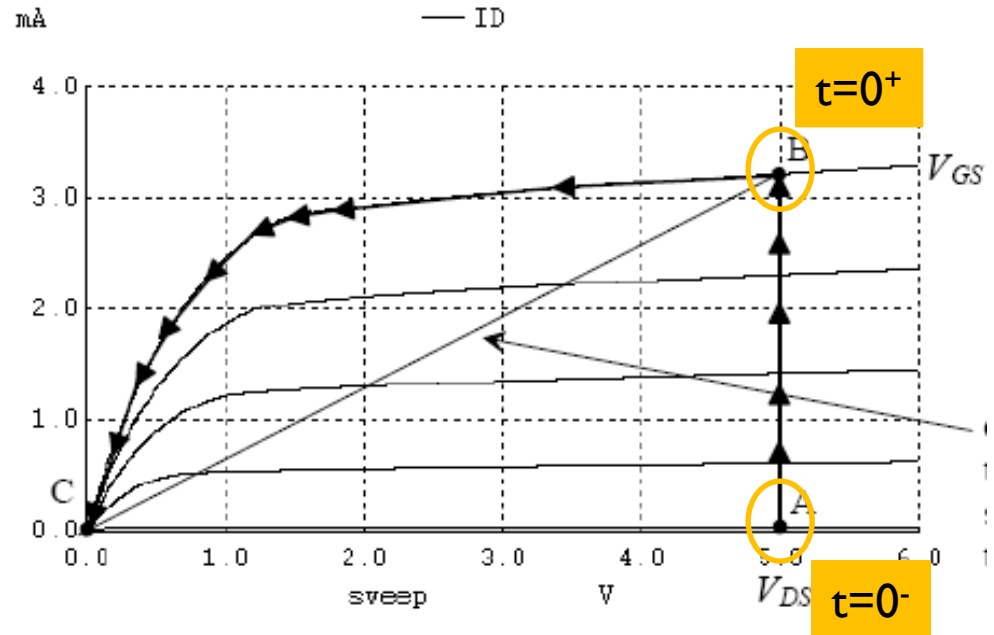
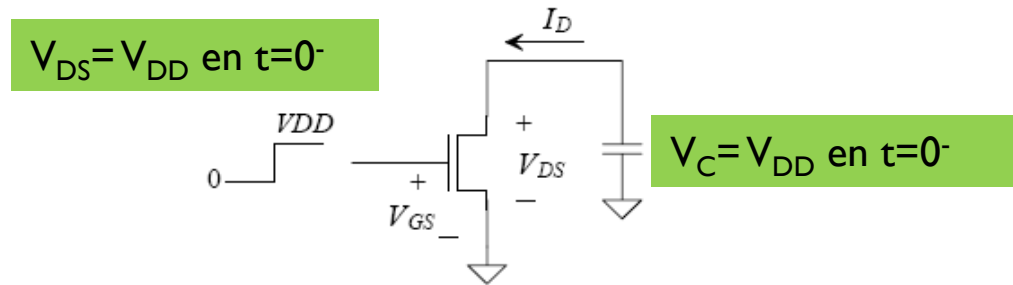
- Si el valor de  $V_{DS}$  permanece constante  $I_D$  aumentaría hasta la velocidad de saturación. El valor de la intensidad se modifica ligeramente:

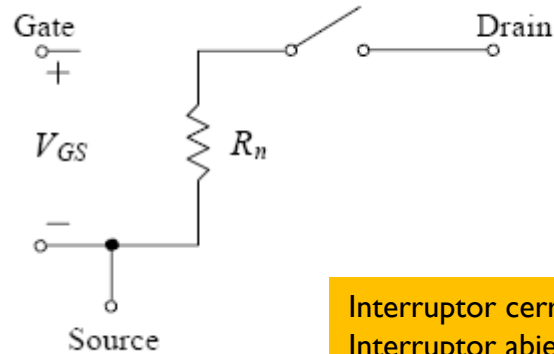
$$I_D = C'_{ox} W^2 L (V_{GS} - V_t) V_{sat}$$



# 2.1 Efecto Resistivo

- El modelo simple se deduce del llamado efecto resistivo.
- En el instante  $t=0$  se pone  $V_{GS}=V_{DD}$
- Comienza a circular intensidad  $I_D$ , descargando el condensador
- La descarga se hace a través del transistor MOS, que se encuentra en saturación
- La dinámica de la descarga no es relevante
- Aproximamos la curva de descarga mediante una recta, de B al origen
- Su pendiente es una resistencia





Interruptor cerrado si  $V_{GS} > V_{DD}/2$   
 Interruptor abierto si  $V_{GS} < V_{DD}/2$

- Valor de la resistencia:

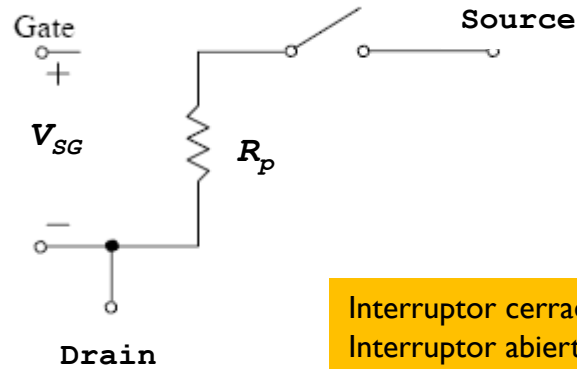
- En saturación la  $I_D$  
$$I_D = \mu_n C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2}$$

- La pendiente es 
$$R_n = \frac{V_{DD}}{I_D}$$

Sustituyendo:

$$R_n = \frac{V_{DD}}{\mu_n C_{ox} \frac{W}{L} \frac{(V_{DD} - V_T)^2}{2}}$$

$$R_n = \frac{2V_{DD}}{\mu_n C_{ox} (V_{DD} - V_{Tn})^2} \frac{L}{W}$$



Interruptor cerrado si  $V_{SG} > V_{DD}/2$   
Interruptor abierto si  $V_{SG} < V_{DD}/2$

- Para el transistor p:

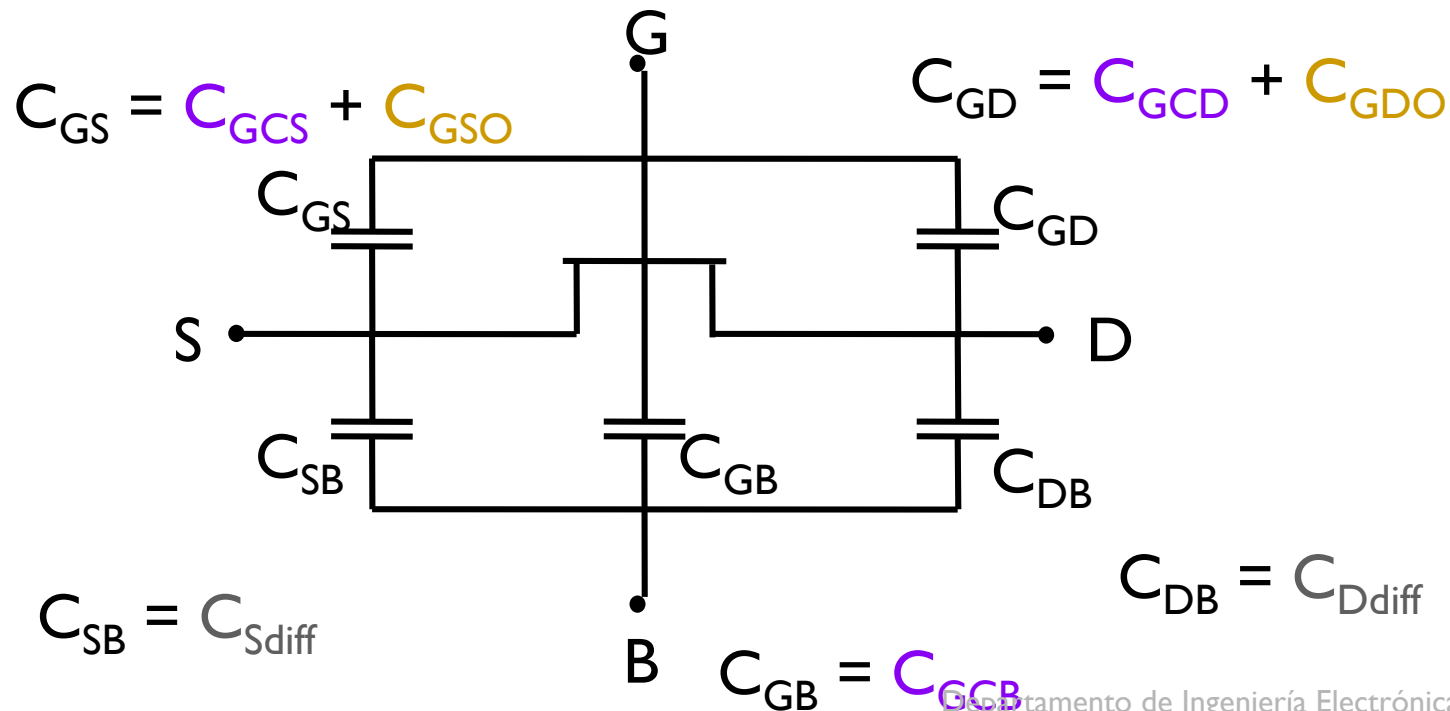
$$R_p = \frac{2V_{DD}}{\mu_p C'_{ox} (V_{DD} - V_{Tp})^2} \frac{L}{W}$$

$$R_n = R'_n \frac{L}{W}$$

$$R_p = R'_p \frac{L}{W}$$

## 2.2 Efecto Capacitivo

- Un modelo detallado distingue en el transistor MOSFET hasta 7 capacidades de diferente naturaleza
- La capacidad dominante es la del canal
- Esta capacidad no es uniforme a lo largo del mismo

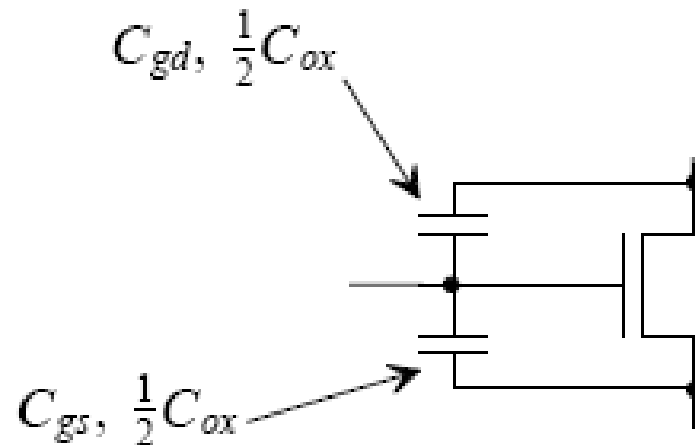


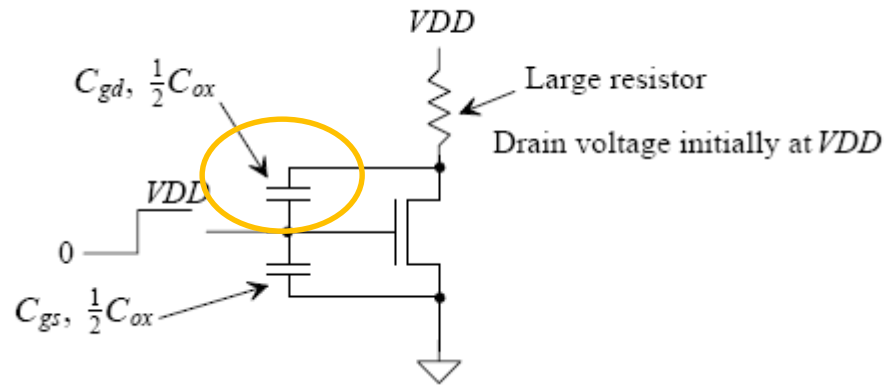
- Simplificamos:

- Sólo se considera la capacidad de puerta por ser dominante

$$C_{OX} = C'_{OX} WL$$

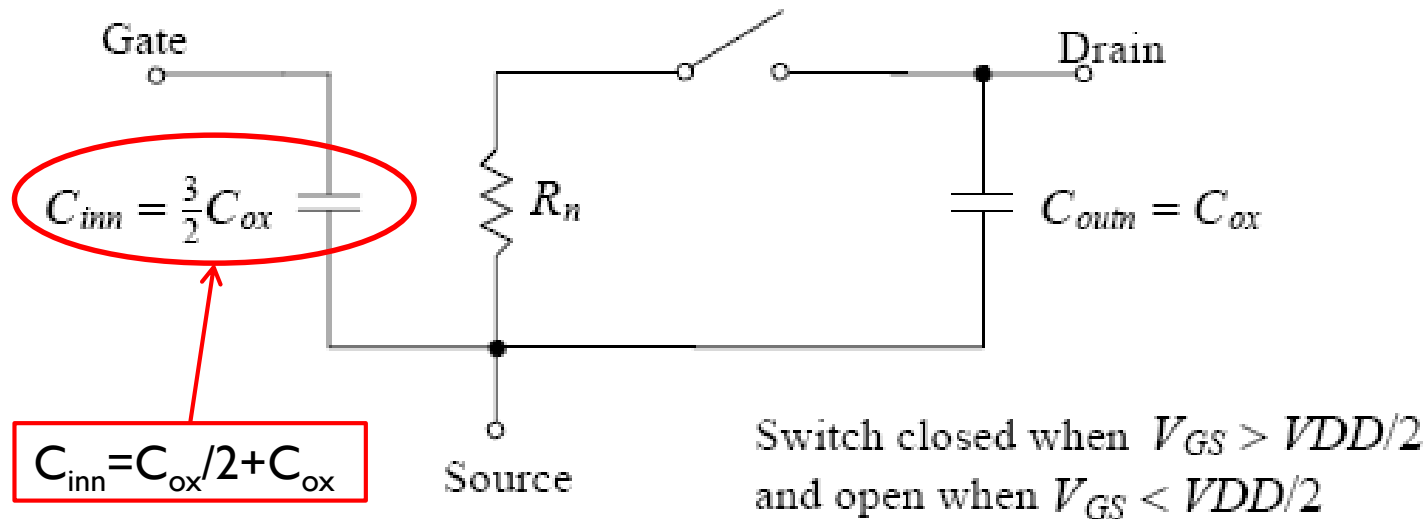
- Se distribuye al 50% como  $C_{GD}$  y  $C_{GS}$ , de valor  $C_{OX}/2$



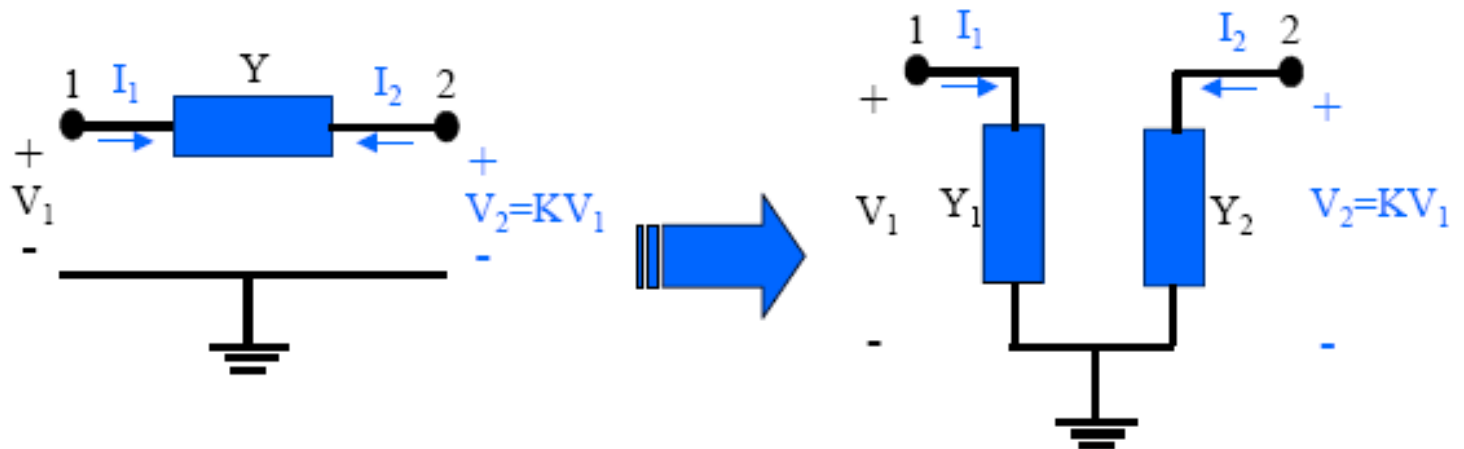


## • Transformación de Miller

- Si  $V_o/V_i = -1$



## Teorema de Miller



$$I_1 = Y(V_1 - V_2) = YV_1(1 - V_2/V_1) = YV_1(1 - K)$$

$$\begin{cases} I_1 = V_1 Y_1 \\ Y_1 = Y(1 - K) \end{cases}$$

$$I_2 = Y(V_2 - V_1) = YV_2(1 - V_1/V_2) = YV_2(1 - 1/K)$$

$$\begin{cases} I_2 = V_2 Y_2 \\ Y_2 = Y(1 - 1/K) \end{cases}$$

## 2.3 Constantes de tiempo intrínsecas

- Definimos:

$$\tau_n = R_n C_{oxn}$$

$$\tau_p = R_p C_{oxp}$$

- Nos indican el retraso en la respuesta del transistor
- Ejemplos:

Una tecnología de  $2\mu\text{m}$  y  $V_{DD}=5\text{V}$ :

$$R_n = \frac{2 \times 5V}{598 \frac{\text{cm}^2}{V \times s} 800 \frac{\text{aF}}{\mu\text{m}^2} (5V - 0,83V)^2} \frac{L}{W} = 12K\Omega \frac{L}{W}$$

$$R_p = \frac{2 \times 5V}{211 \frac{\text{cm}^2}{V \times s} 800 \frac{\text{aF}}{\mu\text{m}^2} (5V - 0,92V)^2} \frac{L}{W} = 36K\Omega \frac{L}{W}$$



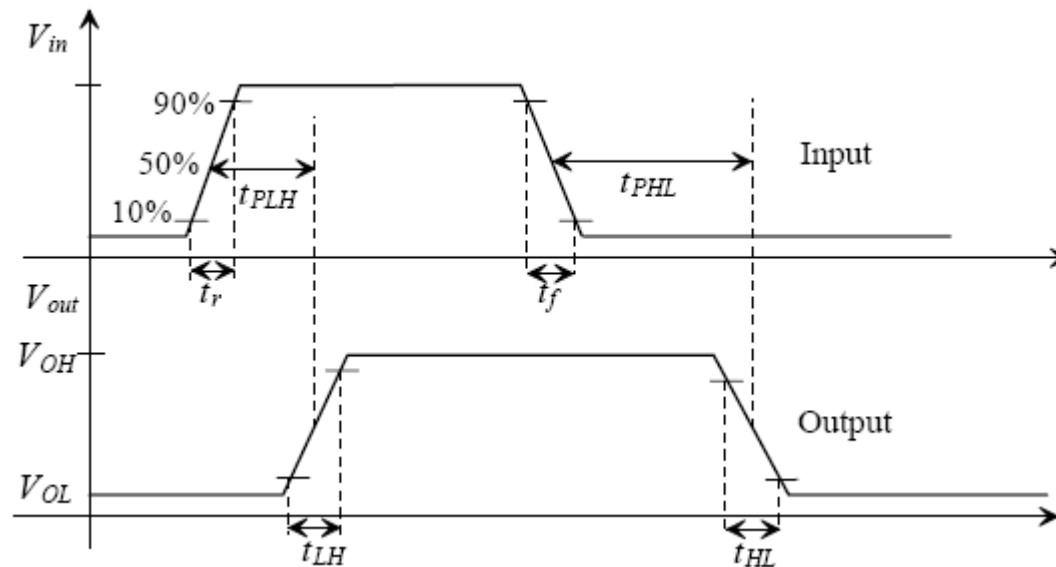
- Las constantes:

$$\tau_n = R'_n \frac{L}{W} C'_{ox} WL = 12 K\Omega \times 800 \frac{aF}{\mu m^2} L^2 = 38 ps$$

$$\tau_p = R'_p \frac{L}{W} C'_{ox} WL = 36 K\Omega \times 800 \frac{aF}{\mu m^2} L^2 = 114 ps$$

# 3. Tiempos de transición y de propagación

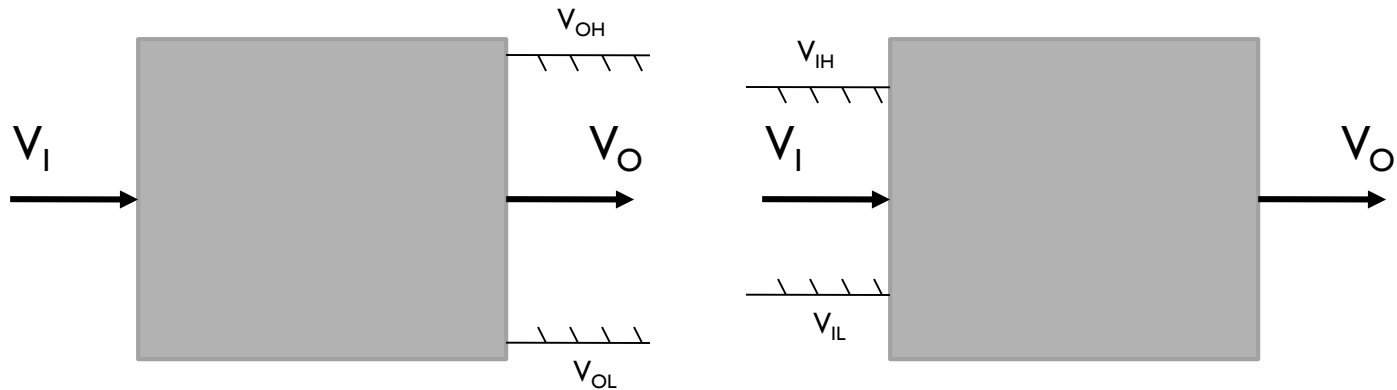
- Caracterizan el comportamiento de un circuito o parte de él.
- En lógica CMOS atendemos a los tiempos en que las señales se afectan por la acción de los circuitos...
- ... y NO a los niveles de tensión



- Transición: afecta a los cambios L->H ó H->L
- Propagación: afecta a las respuestas, se mide al 50% del las tensiones bajas y altas

# 3.1 Márgenes de ruido

- Para que dos circuitos digitales se “entiendan”:
- $V_{OL} < V_{IL}$
- $V_{OH} > V_{IH}$



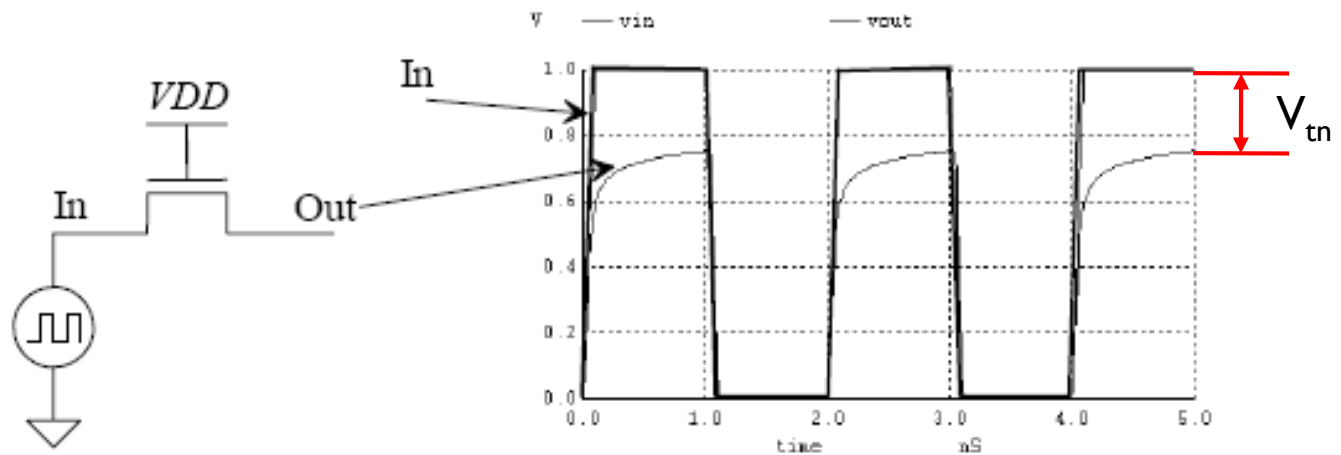
- Definimos, pues, márgenes de ruido:
- $NM_L = V_{IL} - V_{OL}$
- $NM_H = V_{OH} - V_{IH}$

$V_{IL}$  y  $V_{IH}$  se calculan haciendo

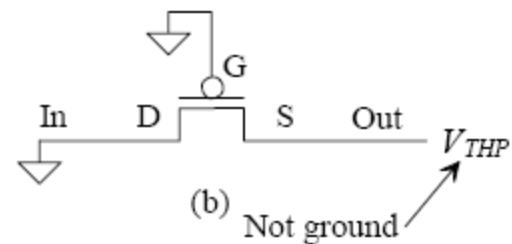
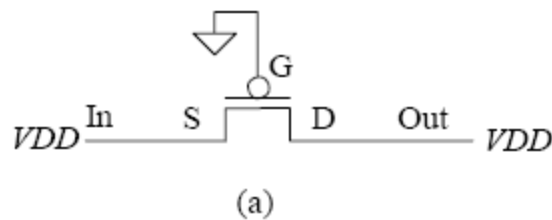
$$\frac{dV_o}{dV_i} = -1$$

# Mosfets en serie

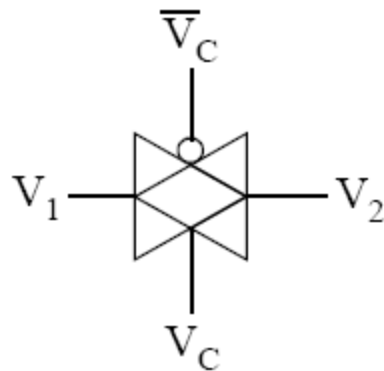
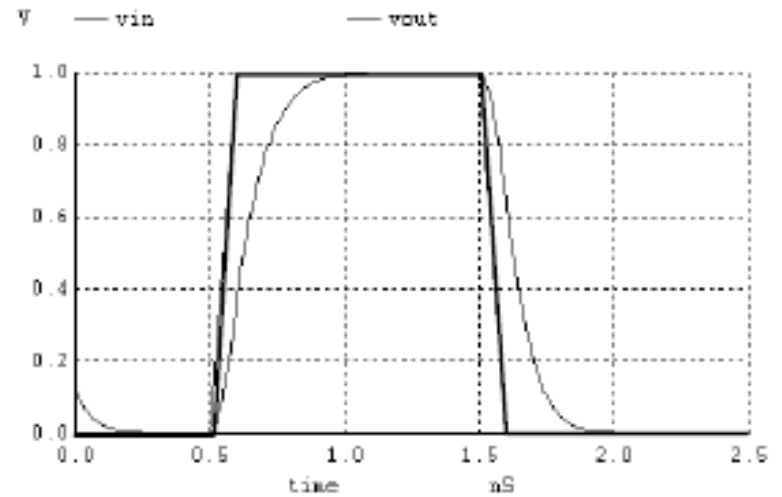
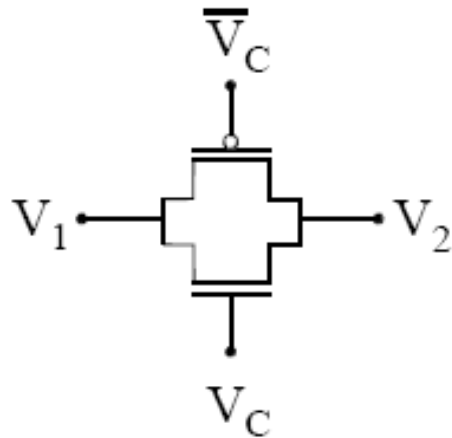
- Son transistores MOS conectados para transmitir señal, como puerta de paso.



- El transistor n deja pasar el valor bajo  $V_{GND}$
- El máximo valor alto transmitido es  $V_{DD}-V_T$
- El transistor p deja pasar el valor alto  $V_{DD}$  (figura a)
- El mínimo valor bajo transmitido es  $V_T$  (figura b)

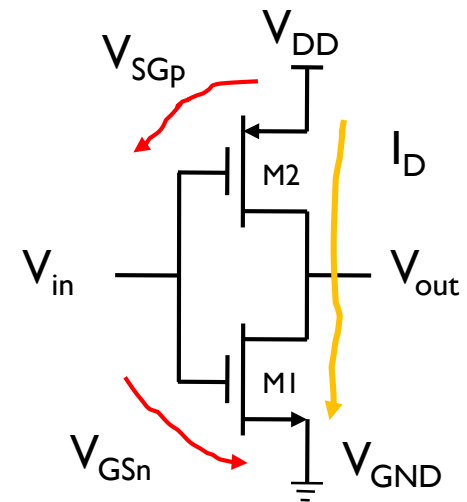


# Puerta de transmisión



# 4. El inversor CMOS

1. Pareja de transistores de enriquecimiento canal-p y canal n
2. Funcionan en conmutación
3. La intensidad que circula es la misma
4. La tensión  $V_{out}$  oscila entre los extremos de los intervalos
5. El consumo estático es cero



$$I_{Dn} \equiv I_{Dp}$$
$$V_{GSn} = V_{in} \qquad V_{SGp} = V_{DD} - V_{in}$$
$$V_{DSn} = V_{out} \qquad V_{SDp} = V_{DD} - V_{out}$$



# 4.1 Característica estática

## Para M1:

Corte  $V_{in} \leq V_{Tn}$

Lineal  $V_{out} \leq V_{in} - V_{Tn}$

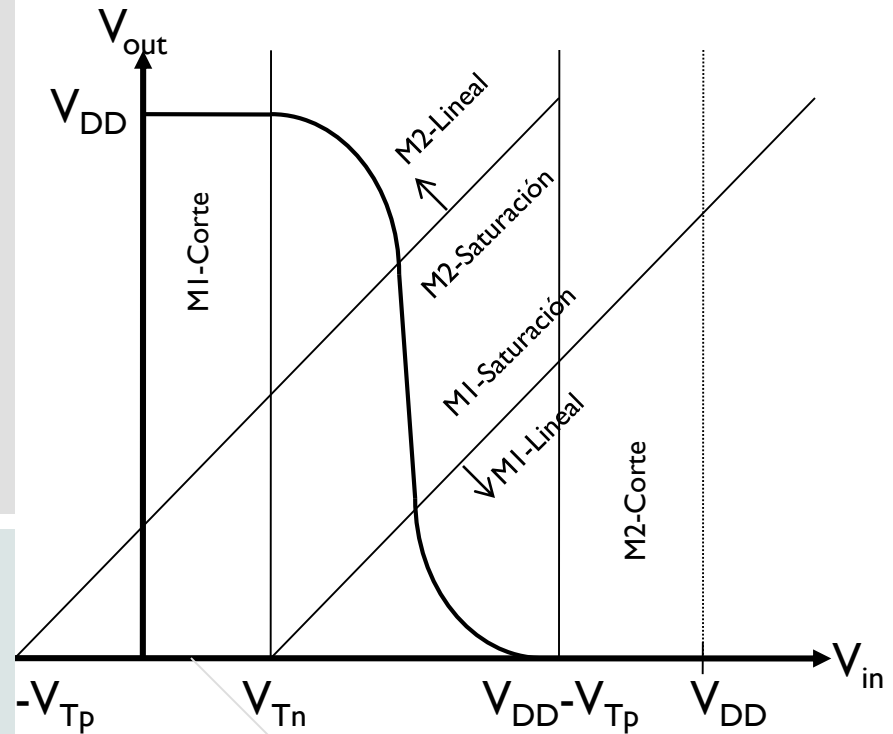
Saturación  $V_{out} \geq V_{in} - V_{Tn}$

## Para M2:

Corte  $V_{in} \geq V_{DD} - V_{Tp}$

Lineal  $V_{out} \geq V_{in} + V_{Tp}$

Saturación  $V_{out} \leq V_{in} + V_{Tp}$



nota : la condición de zona lineal en el MOS P es :

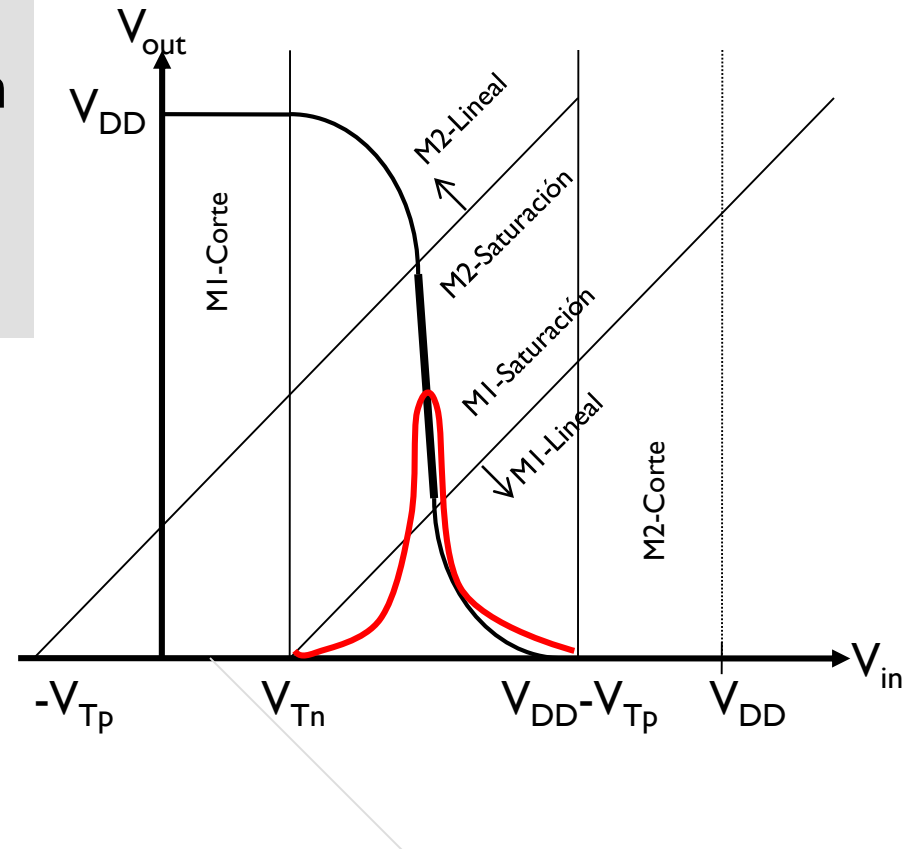
$$V_{SDp} \leq V_{SGp} - V_{Tp}$$

# Análisis del zona de saturación

M1 y M2 están en saturación  
Es la zona de conducción

$$I_{Dn} = \mu_n C'_{ox} \frac{W}{L} \left( \frac{V_{in} - V_{Tn}}{2} \right)^2$$

$$I_{Dp} = \mu_p C'_{ox} \frac{W}{L} \left( \frac{V_{DD} - V_{in} - V_{Tp}}{2} \right)^2$$



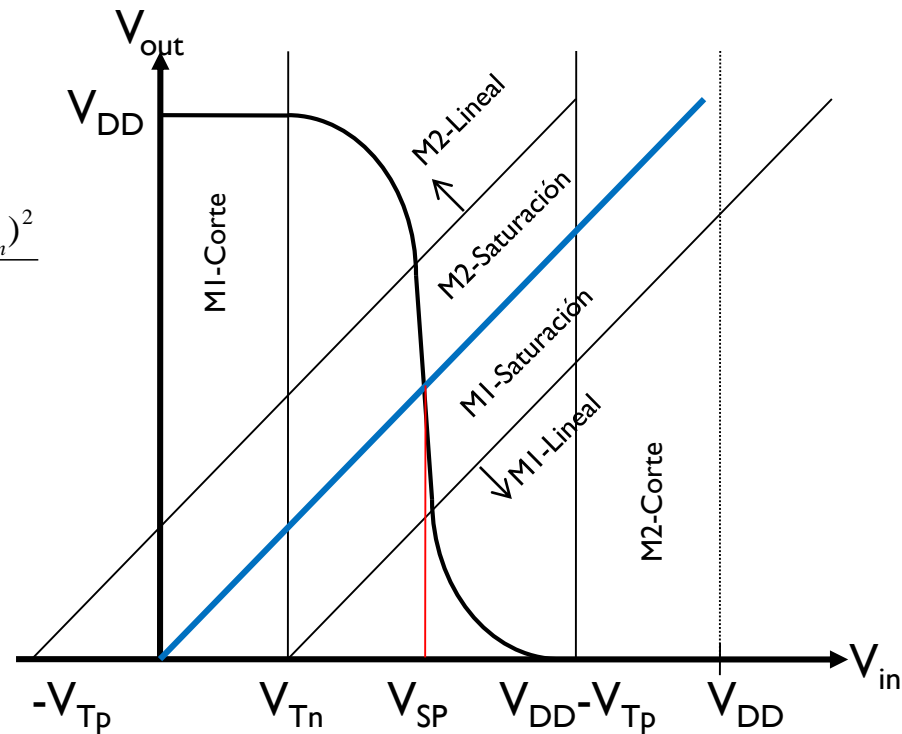
# 4.2 Punto de conmutación

- Es una simplificación del cálculo de los márgenes de ruido
- Se define como el punto de corte de la curva característica con la recta de 45°
- Se obtiene igualando las intensidades en saturación.

$$\mu_p \left( \frac{W}{L} \right)_p \frac{(V_{DD} - V_{in} - V_{Tp})^2}{2} = \mu_n \left( \frac{W}{L} \right)_n \frac{(V_{in} - V_{Tn})^2}{2}$$

$$\sqrt{\left( \frac{\mu_n}{\mu_p} \right) \left( \frac{W}{L} \right)_n} (V_{in} - V_{Tn}) = (V_{DD} - V_{in} - V_{Tp})$$

$$V_{SP} = V_{in} = \frac{\sqrt{\left( \frac{\mu_n}{\mu_p} \right) \left( \frac{W}{L} \right)_n} V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{\left( \frac{\mu_n}{\mu_p} \right) \left( \frac{W}{L} \right)_n}}$$



- El punto de conmutación nos proporciona una condición de diseño.
- Relaciona  $(W/L)_n$  y  $(W/L)_p$  con los márgenes de ruido.
- El punto ideal es aquel en que  $V_{SP} = V_{DD}/2$ . Esto se obtiene de la ecuación anterior:

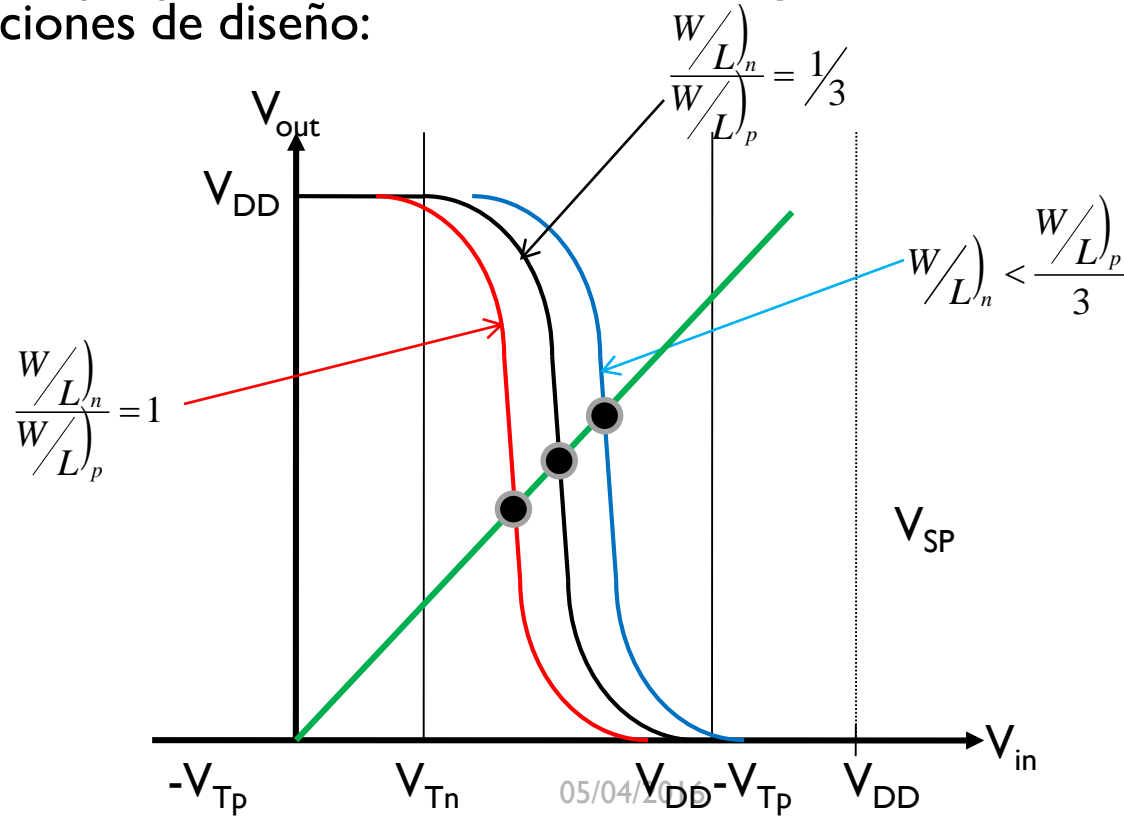
$$\frac{\mu_n}{\mu_p} \approx 3 \quad \text{si} \quad \frac{(W/L)_n}{(W/L)_p} = 1/3$$

$$V_{SP} \approx V_{DD}/2$$

- También es interesante el tamaño mínimo, donde  $(W/L)_n = (W/L)_p$
- En este caso:

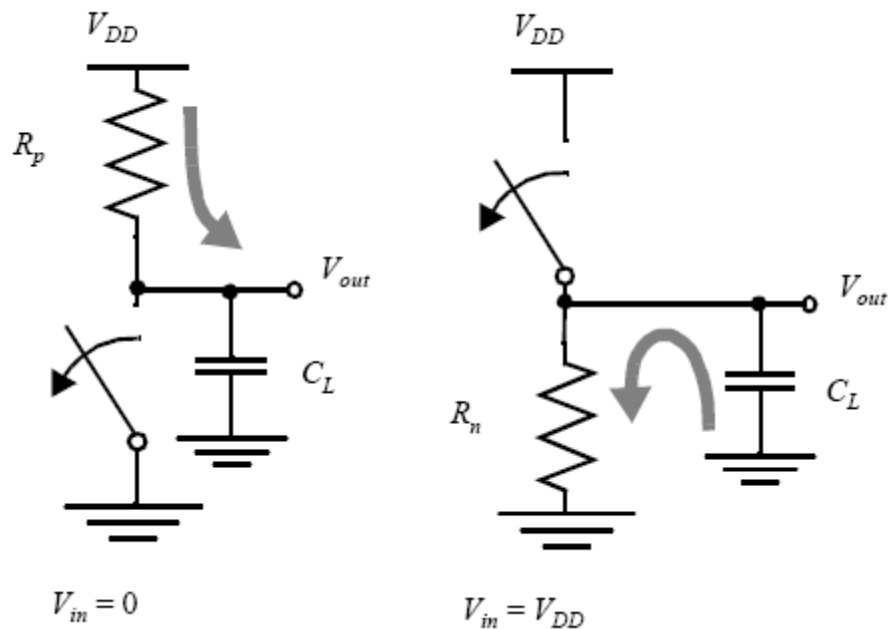
$$V_{SP} \approx \frac{V_{Tn} \sqrt{3} + V_{DD} - V_{Tp}}{1 + \sqrt{3}} < V_{DD} / 2$$

- Significa que podremos controlar los márgenes de ruido con condiciones de diseño:



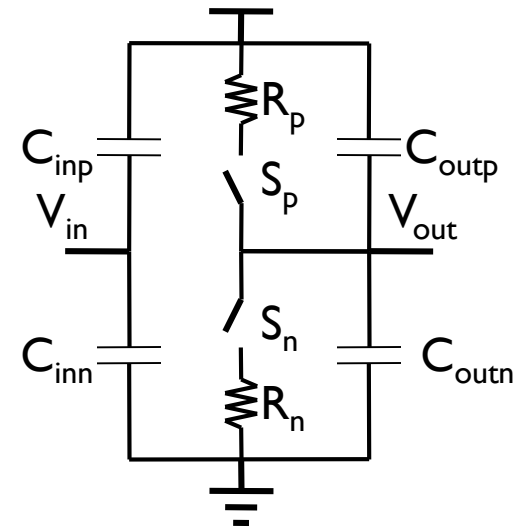
# Operación

- El transistor p está en conducción cuando  $V_{in} = V_{GND}$ , y el n está cortado. Durante un transitorio conduce para cargar una carga capacitiva  $C_L$
- El transistor n está en conducción cuando  $V_{in} = V_{DD}$ , y el p está cortado. Durante un transitorio conduce para descargar una carga capacitiva  $C_L$
- No obstante tiene una capacidad intrínseca que también ha de considerarse.
- La capacidad de carga teórica (fanout) es infinita. En la práctica está limitada por la electromigración



# Característica en conmutación

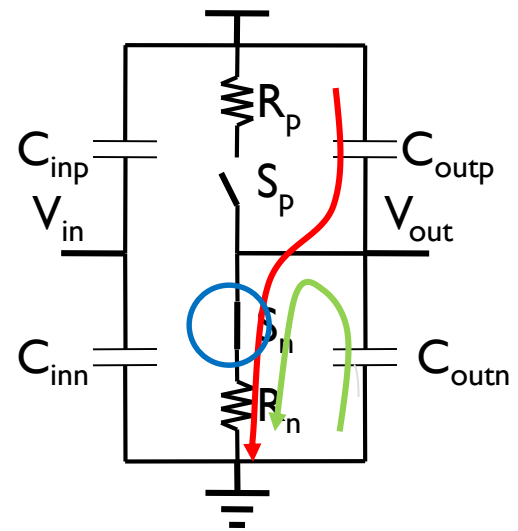
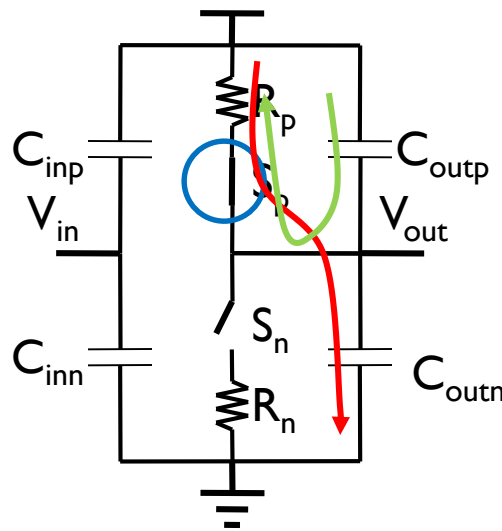
- Sustituyendo los transistores por los modelos simplificados se obtiene el circuito de la figura.
- Si  $V_{in} = V_{GND}$   $S_n = OFF$  y  $S_p = ON$
- Si  $V_{in} = V_{DD}$   $S_n = ON$  y  $S_p = OFF$



- El retardo intrínseco se debe a capacidades internas

$$t_{pHL} = R_p \times (C_{outp} + C_{outn})$$

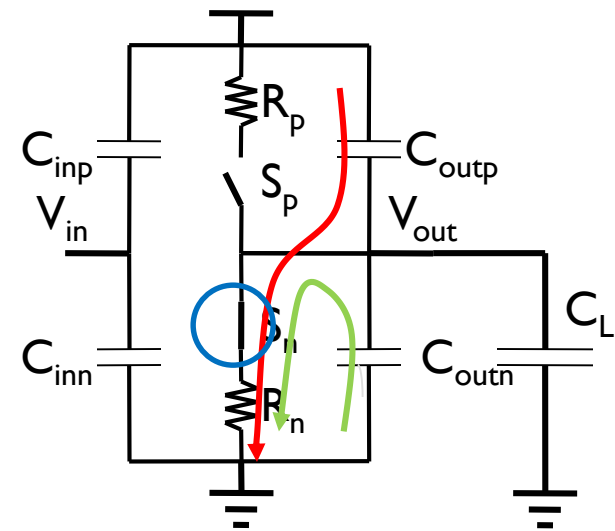
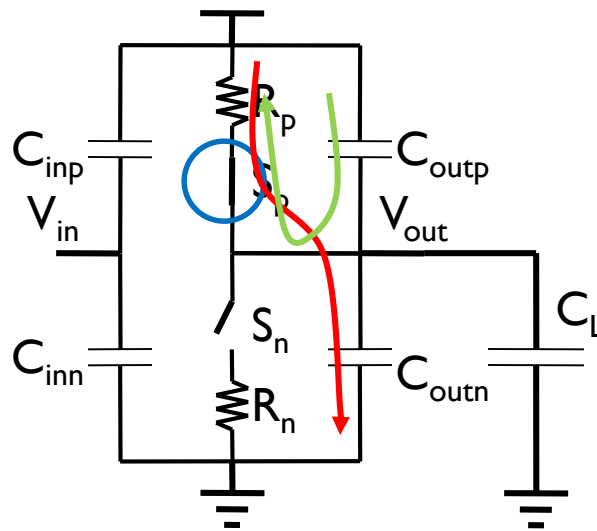
$$t_{pLH} = R_n \times (C_{outp} + C_{outn})$$





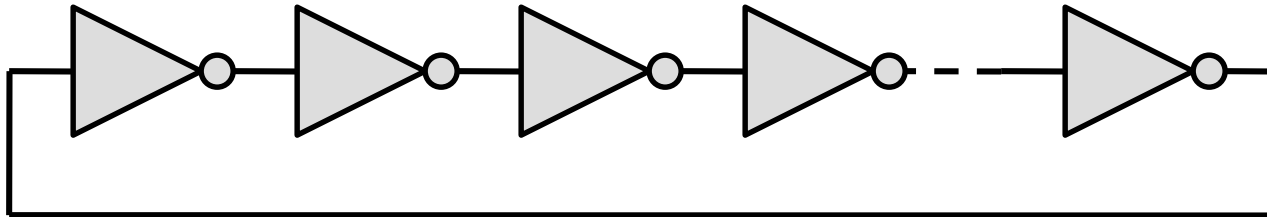
- Para añadir el efecto de una capacidad externa

$$t_{pHL} = R_p \times (C_{outp} + C_{outn} + C_L) \quad t_{pLH} = R_n \times (C_{outp} + C_{outn} + C_L)$$



# 5. Oscilador con inversores

- Una aplicación inmediata es la implementación de un oscilador
- Sean  $n$  inversores en anillo, con  $n$  impar



- El circuito conmuta espontáneamente a una frecuencia:

$$f = \frac{1}{n(t_{pLH} + t_{pHL})}$$

- Se utiliza como mecanismo de medida de la temperatura interna de un circuito

# 6. Disipación de potencia de un circuito CMOS

- Potencia estática
  - Idealmente valen cero
  - Corriente de fugas
  - Corrientes subumbrales
  - Corrientes de sustrato
- Potencia dinámica
  - Disipación por conmutación CMOS (10 a 15%)
  - Disipación por carga y descarga de capacidades de puerta y otras

# Carga/descarga de capacidades

- Cada semiciclo se carga y se descarga la capacidad  $C$

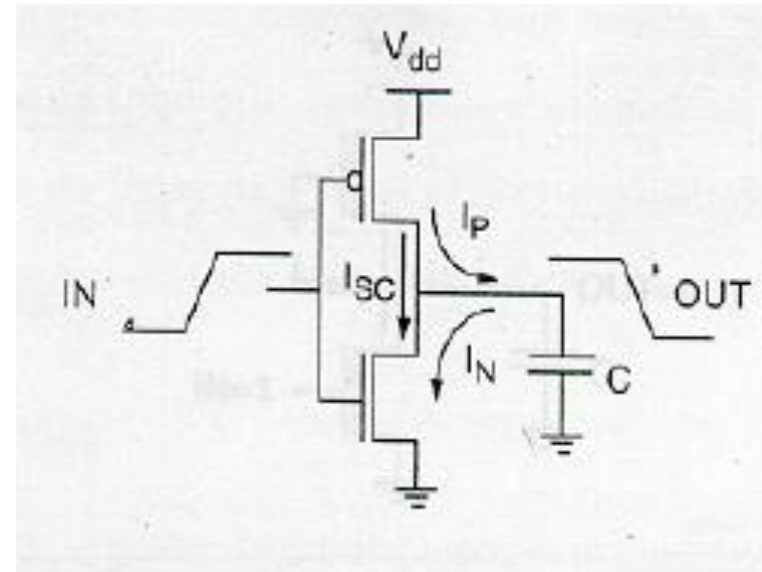
$$Q = CV_{DD}$$

$$I = \frac{\Delta Q}{\Delta t} = C \frac{V_{DD}}{T}$$

$$P_C = I \times V_{DD} = C \times V_{DD}^2 \times f$$

- Si sumamos todas las puertas del circuito,  $N$  y un factor de conmutación  $\alpha$ :

$$P_C = N \times \alpha \times C \times V_{DD}^2 \times f$$



# Consumo por conmutación

- Los tiempos de conmutación no son cero. Las señales tardan en conmutar  $t_{sc}$ .

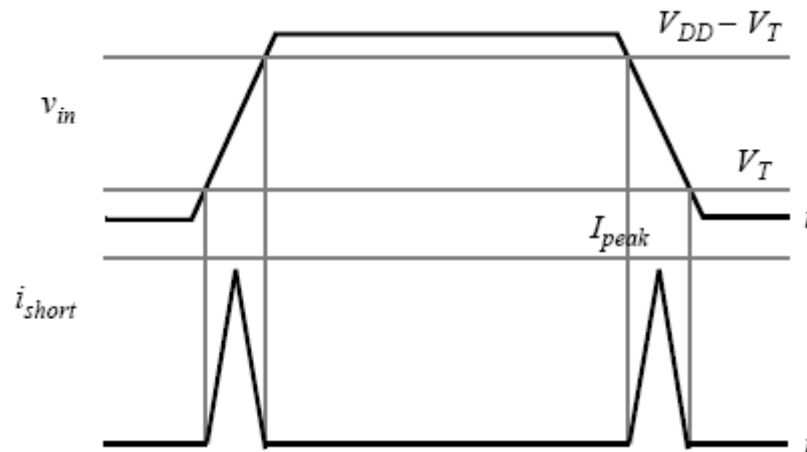
- La potencia disipada en conmutación es, aproximadamente:

$$P_{conm} = V_{DD} I_{pico} t_{sc} / 2$$

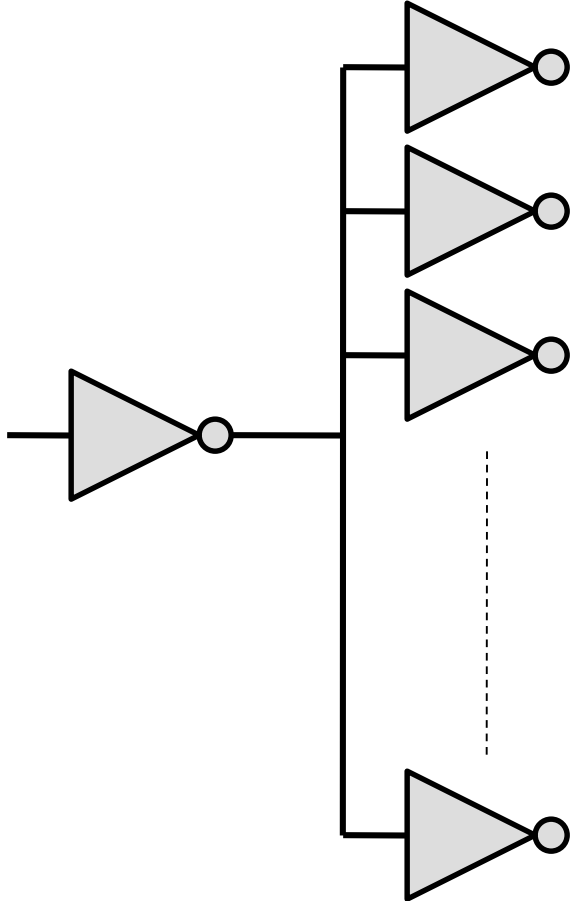
- En un periodo completo:

$$P_{conm} = V_{DD} I_{pico} t_{sc}$$

Si multiplicamos por  $N$  y  $\alpha$ , tendremos la estimación total



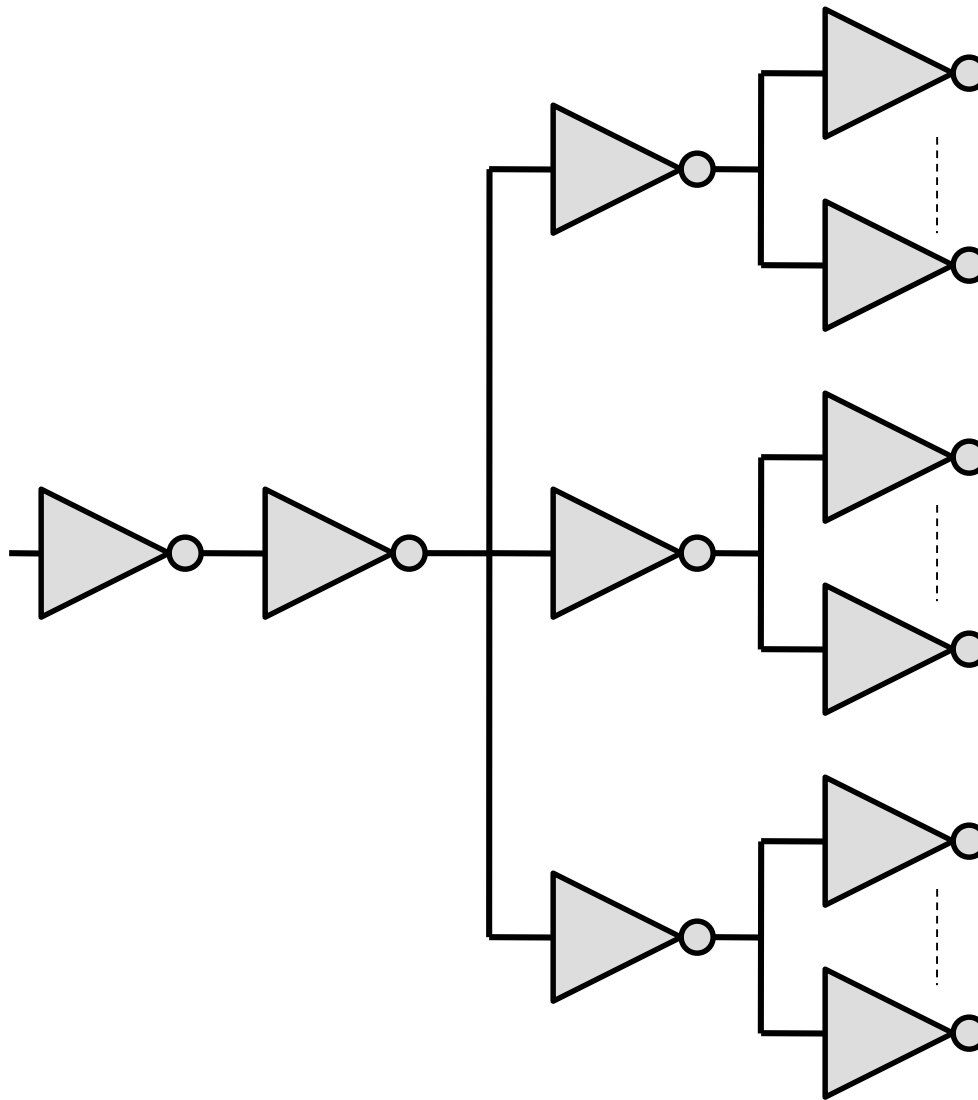
# 7. Drivers distribuidos



Si N es elevado...

$$t_{pLH} = R_n \times (C_{out} + N \times C_{in})$$

$$t_{pHL} = R_p \times (C_{out} + N \times C_{in})$$

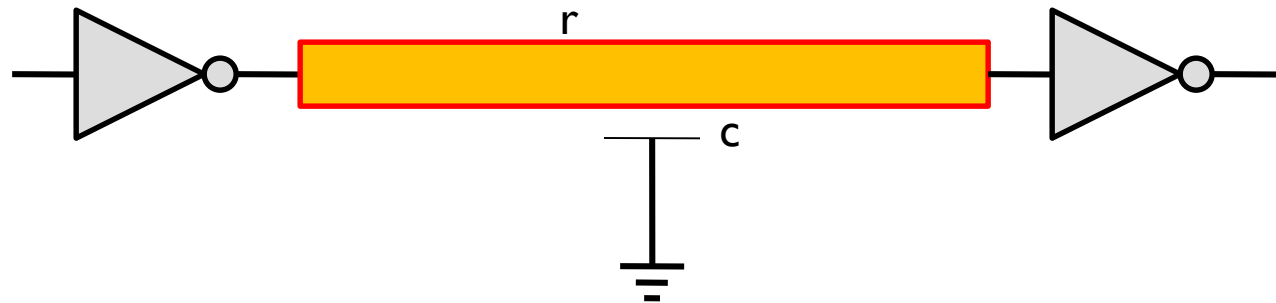


$$t_{pLH} = R_p \times (C_{out} + n \times C_{in}) + R_n \times (C_{out} + N/n \times C_{in}) + t_{pLHinv} + t_{pHLinv}$$

$$t_{pHL} = R_n \times (C_{out} + n \times C_{in}) + R_p \times (C_{out} + N/n \times C_{in}) + t_{pLHinv} + t_{pHLinv}$$

# 8. Carga de conductores largos

- Cuando los conductores de conexión entre puertas son de longitud apreciable, su  $R$  y  $C$  han de ser consideradas.
- $R$  y  $C$  no son de parámetros concentrados





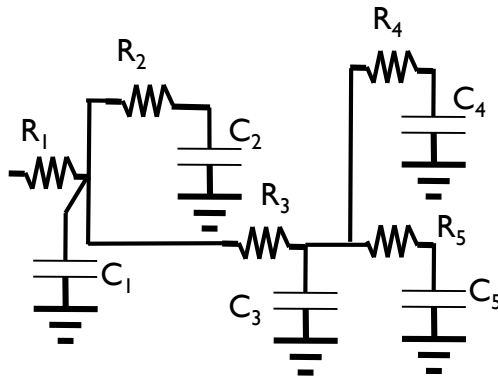
- Empíricamente:

$$t_{pHL} + t_{pLH} = (R_p + R_n) \times (C_{out} + c \times l + C_L) + 0.35 \times r \times c \times l^2 + r \times l \times C_L$$

# 10. Redes complejas

- Cota de Elmore
- El retardo de una carga “vista” desde un nodo

$$t_n = \sum_{\text{Camino de } l \text{ a } n} R_i C_{ij} \quad C_{ij} = \sum_{\text{Capacidades vistas desde } i} C_k$$



$$t_4 = R_1 \times (C_1 + C_2 + C_3 + C_4 + C_5) + R_3 \times (C_3 + C_4 + C_5) + R_4 \times C_4$$