

# Arquitectura interna FPGAs

Hipólito Guzmán Miranda  
Profesor Titular  
Universidad de Sevilla

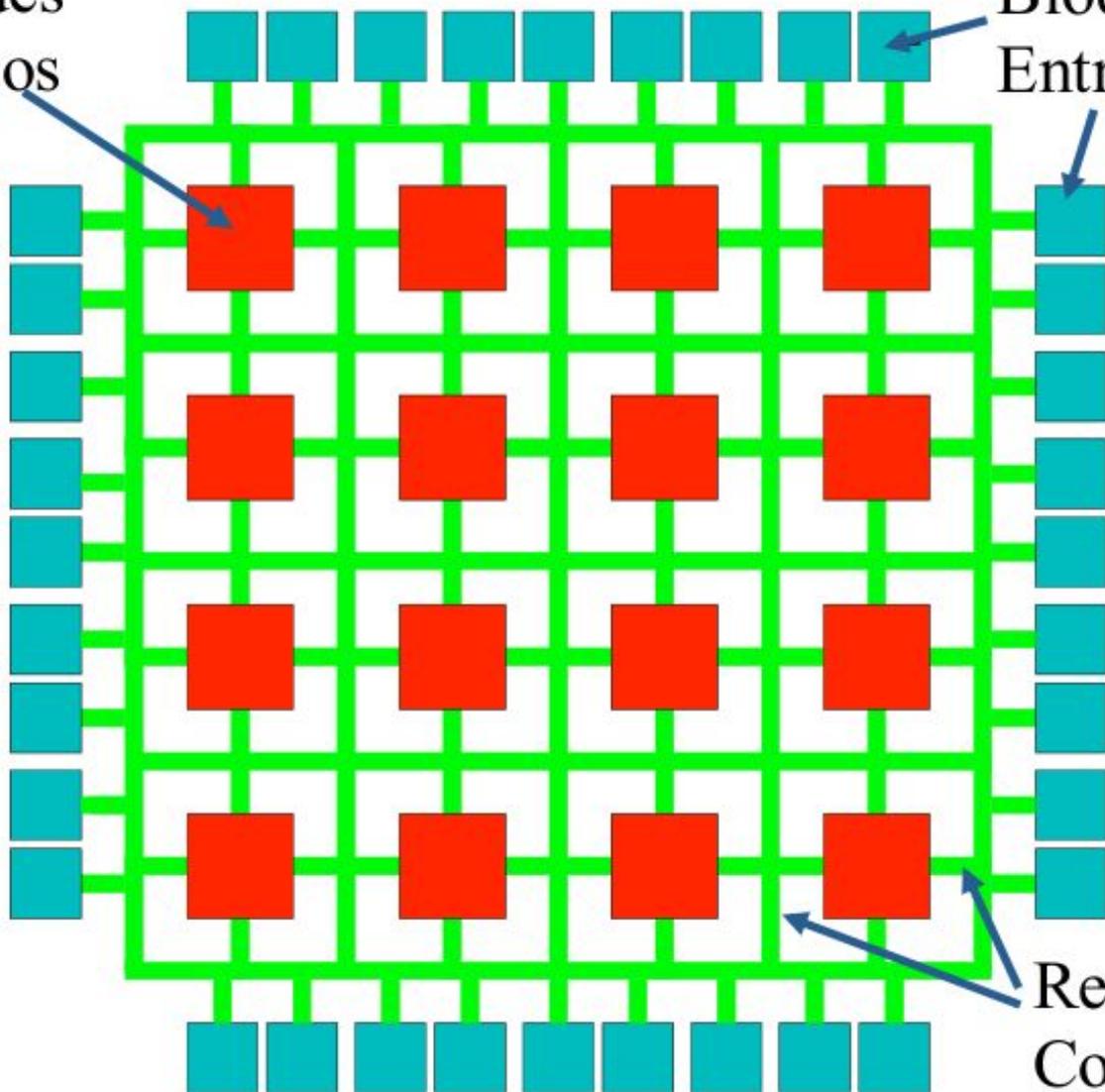
## Arquitectura interna de una FPGA

- IOBs: In/Out Blocks (Bloques de Entrada/Salida)
- CLBs: Configurable Logic Blocks (Bloques Lógicos Configurables)
- Routing Resources (Recursos de Conexión)
- (Re)Programabilidad

# Arquitectura de una FPGA

Bloques Lógicos

Bloques de Entrada/Salida



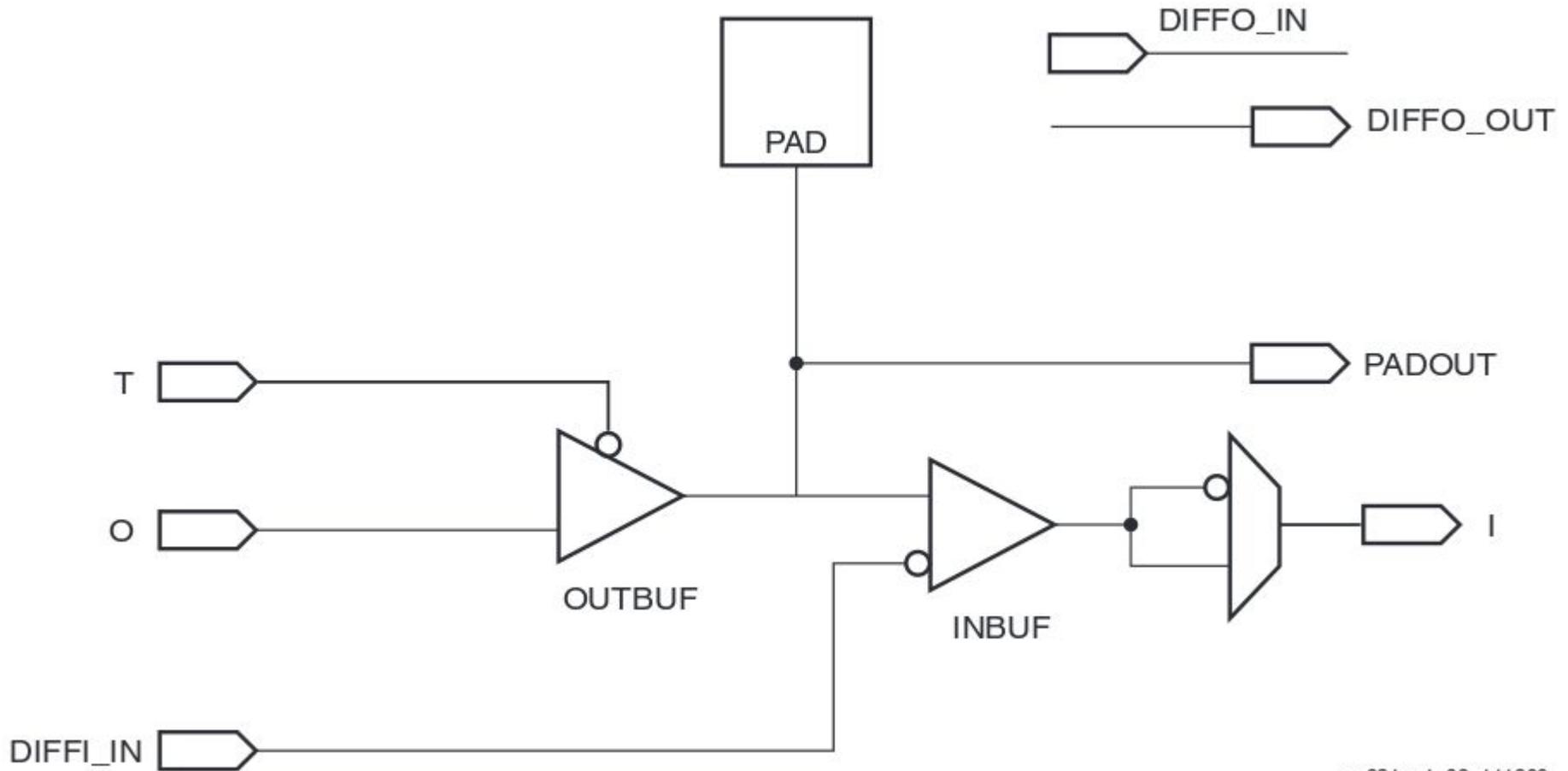
Programabilidad

Recursos de Conexión

## In-Out Blocks (IOBs)

- PAD (conexión al exterior)
- Buffer de entrada
- Buffer de salida (triestado)
- Soporte para entradas/salidas diferenciales (dependiendo de la familia)

# IOB Spartan-6



ug381\_c1\_02\_111309

## Configurable Logic Blocks (CLBs)

Compuestas por:

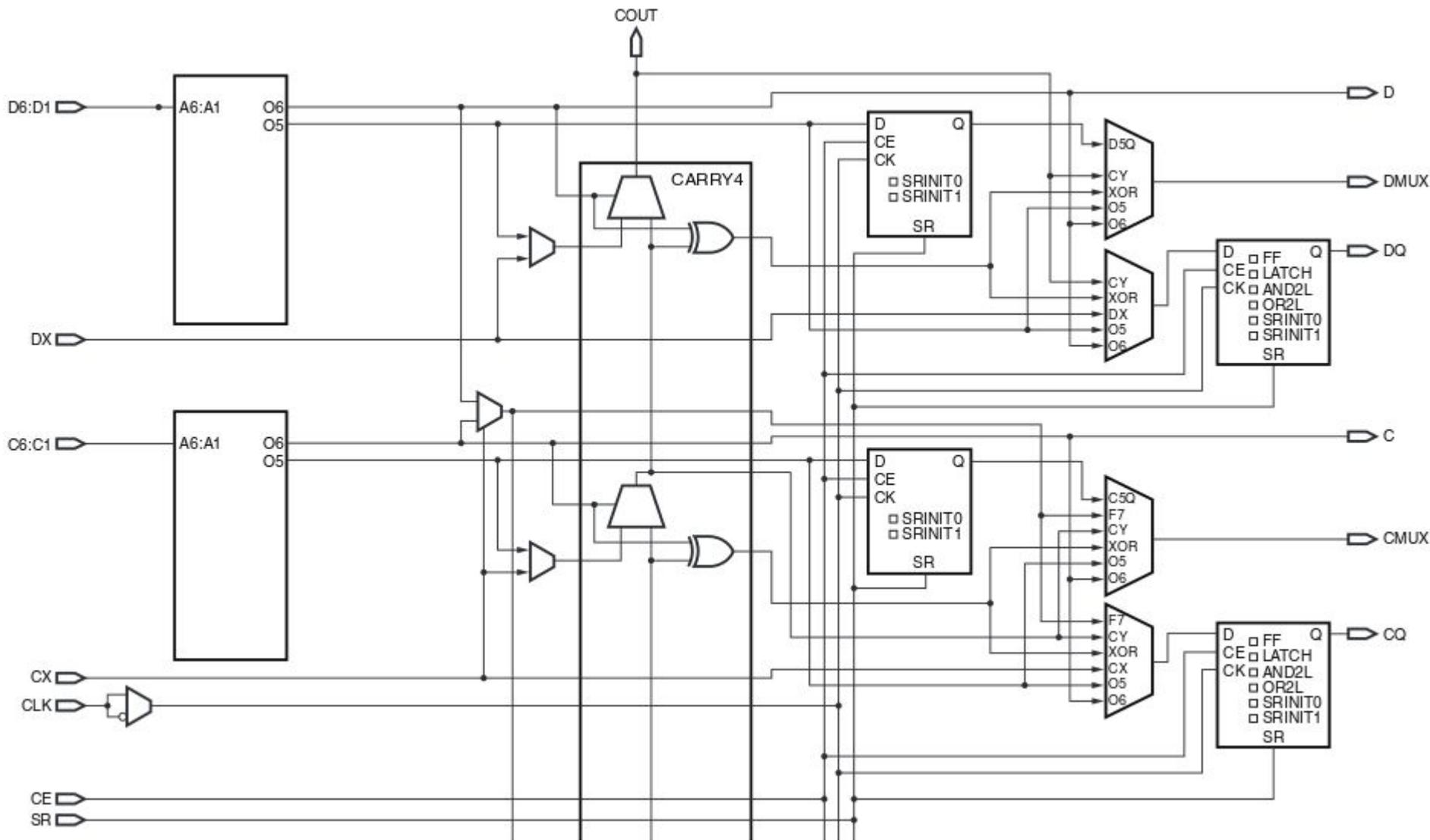
- $K * N$ -input LUT (Look-Up Tables de  $N$  entradas)
- $K * \text{Flip-flops configurables}$

$K = 2$  en tecnologías antiguas,  $4+$  en tecnologías modernas.

$N$  crece también en tecnologías modernas (6 en Spartan-6)

Los CLB se pueden dividir en 'Slices'

# 1/2 Slice Spartan-6 ( = 1/4 CLB)

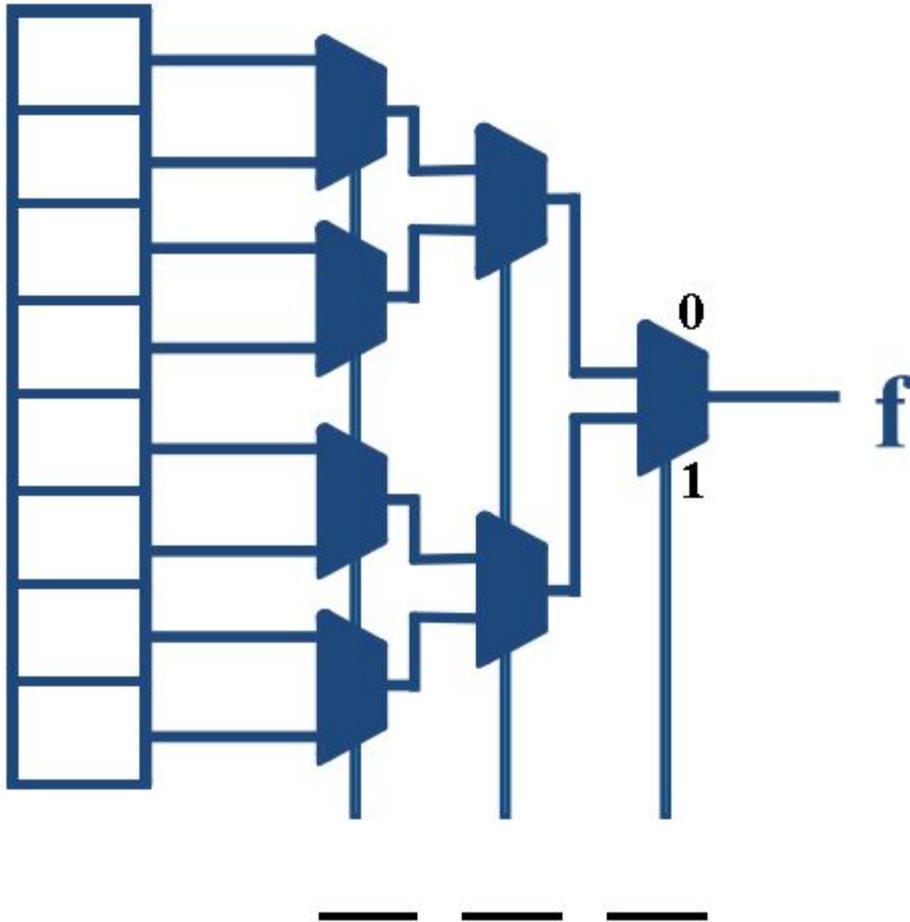


## Look-Up Tables (LUTs)

En lugar de implementar las funciones lógicas con puertas lógicas, en FPGA se implementan con tablas de verdad

- Ej: Una LUT de 4 entradas ('4-LUT') puede implementar cualquier función lógica de 4 entradas

SRAM



3-LUT

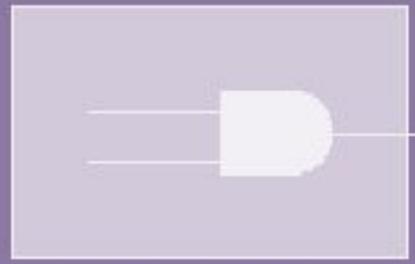
## Ejercicio

Configura la LUT de forma que implemente la función

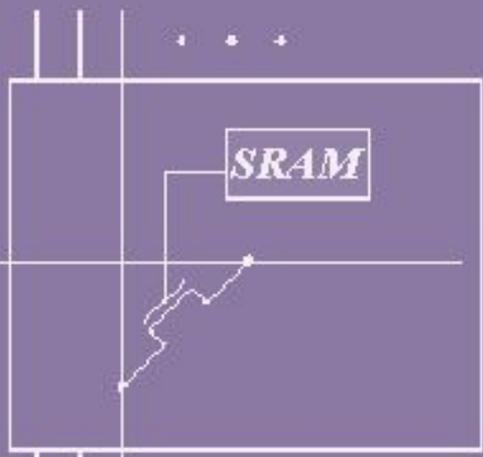
$$F = ABC + A\bar{B}\bar{C}$$

## Recursos de Rutado

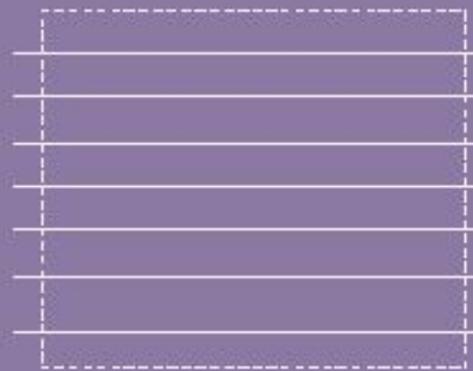
- PIP: Programmable Interconnection Points (Puntos de Interconexión Programable)
- Líneas cortas y largas
- Recursos dedicados para relojes (ej: BUFG)



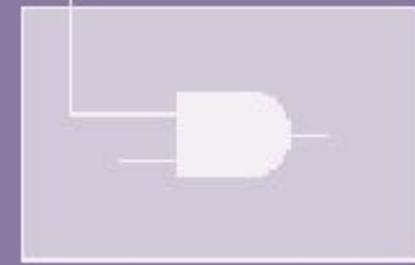
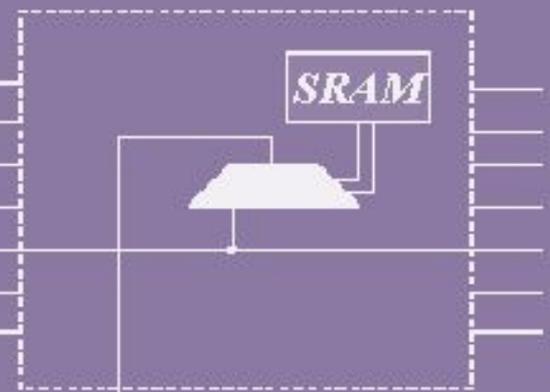
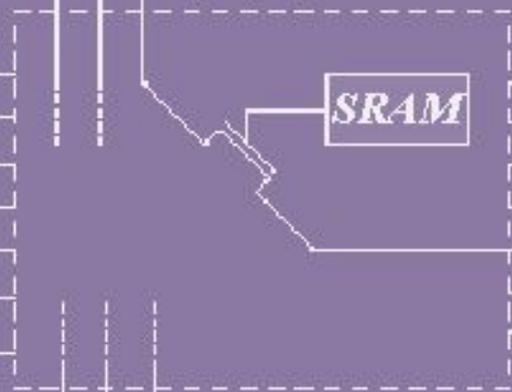
*Celdas Lógicas*



*Celdas Lógicas*



*Celdas Lógicas*



*Celdas Lógicas*

## Configurabilidad y Reconfigurabilidad

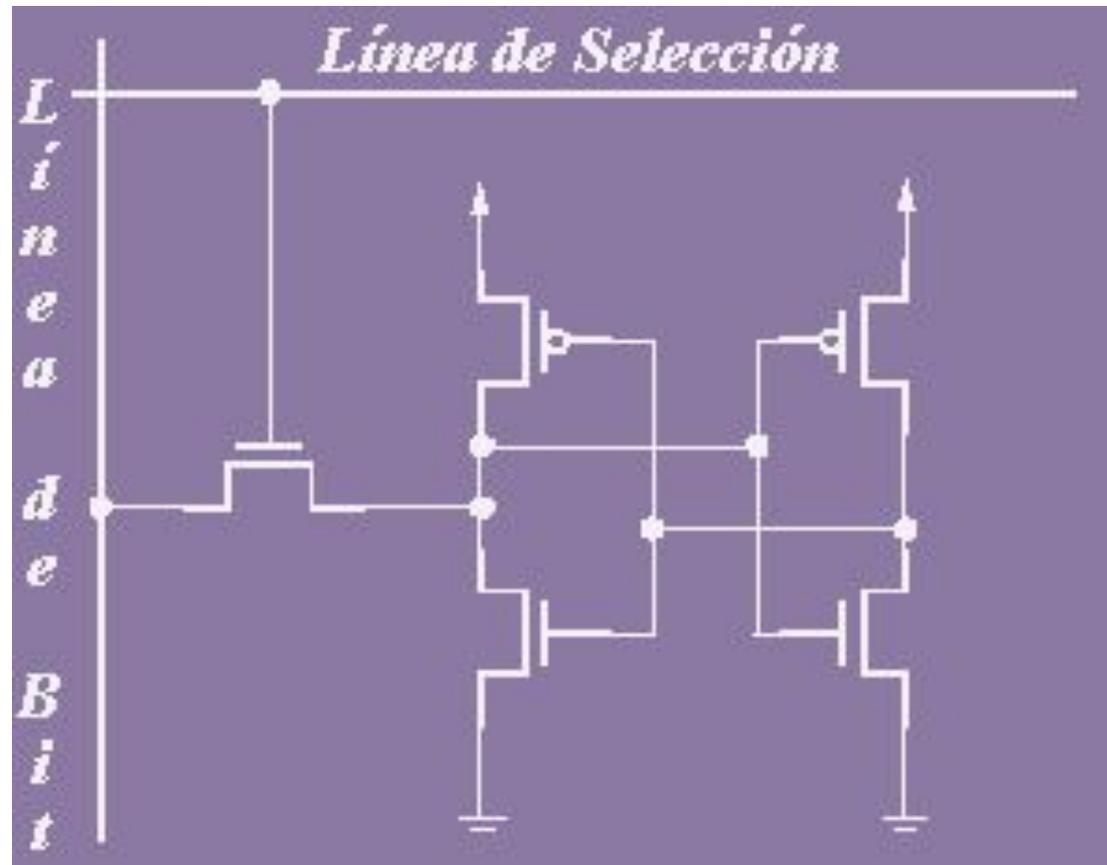
Existen varias tecnologías:

- SRAM: reconfigurable, volátil, muy extendida, aprovecha proceso CMOS estándar
- Flash: reconfigurable, no volátil, proceso no estándar
- Antifusible: no reconfigurable, proceso no estándar

## Celda SRAM

Son dos  
inversores  
realimentados

4 transistores,  
pero CMOS  
estándar



## Tecnologías Flash

Se basan en el uso de FGMOS (Floating-Gate MOS)

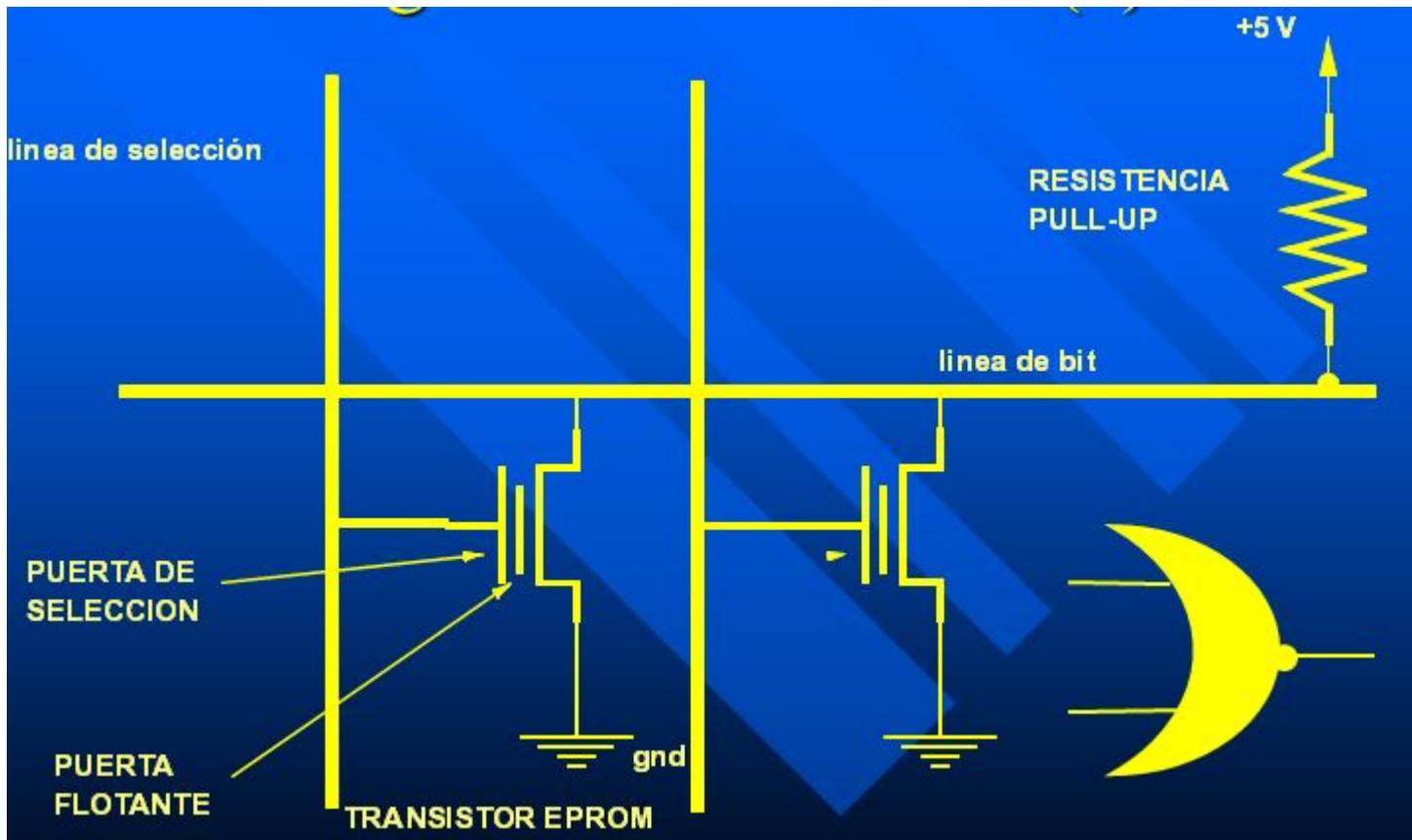
- Por lo que requieren de tecnologías con 2 niveles de polisilicio

Si la puerta flotante está cargada:

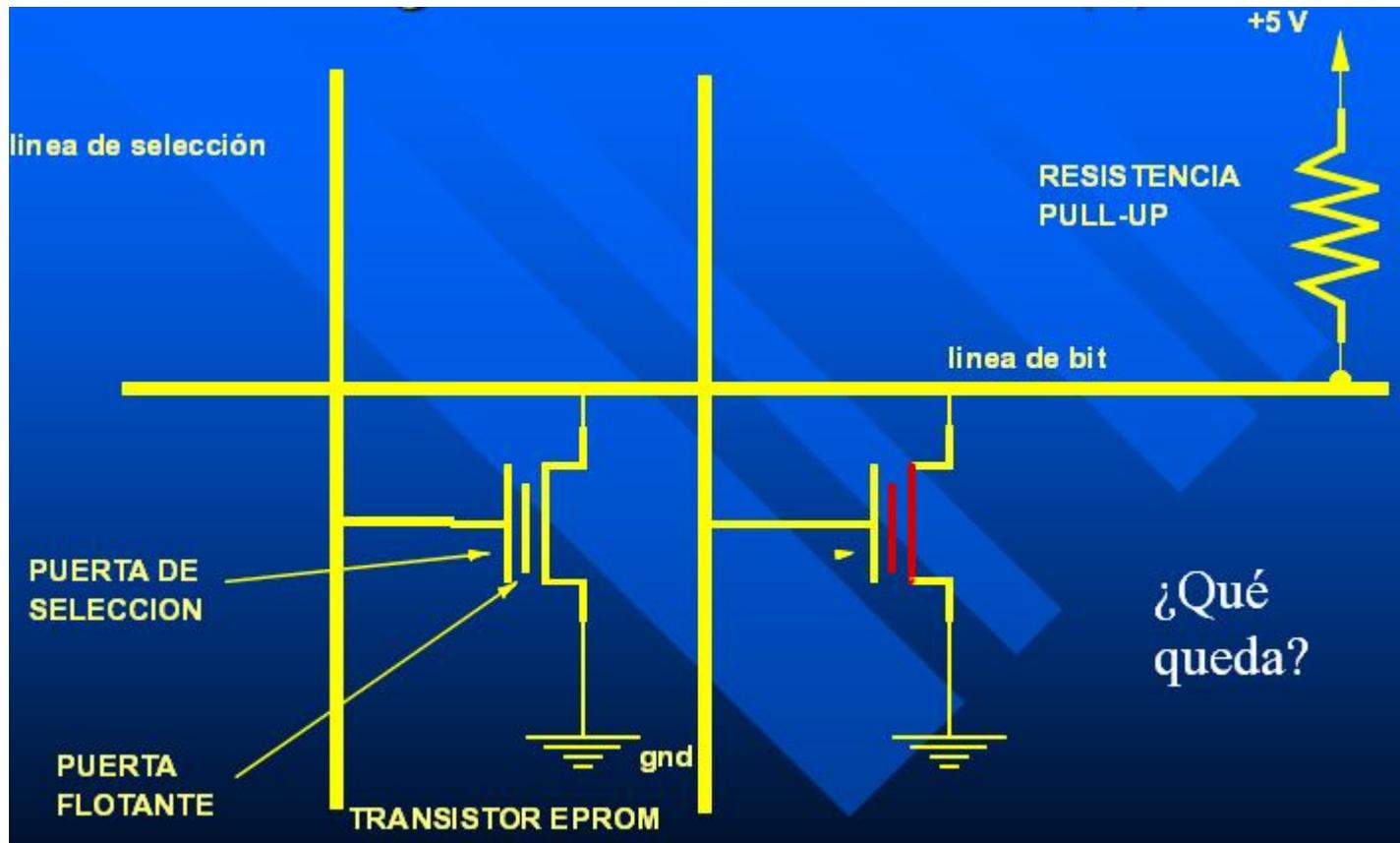
-> Incremento de la  $V_t$

-> Transistor no puede encenderse ni con  $V_{dd}$  en la puerta

## Ejemplo configurabilidad Flash



## Ejemplo configurabilidad Flash



## Tecnologías Antifusible

- OTP: One Time Programmable
- Requieren un proceso específico (no CMOS estándar)

