

Tema 14 - Alternativas en soft processors

Sistemas Electrónicos para Automatización
Grado en Ingeniería Electrónica, Robótica y
Mecatrónica

Hipólito Guzmán Miranda

Contenido

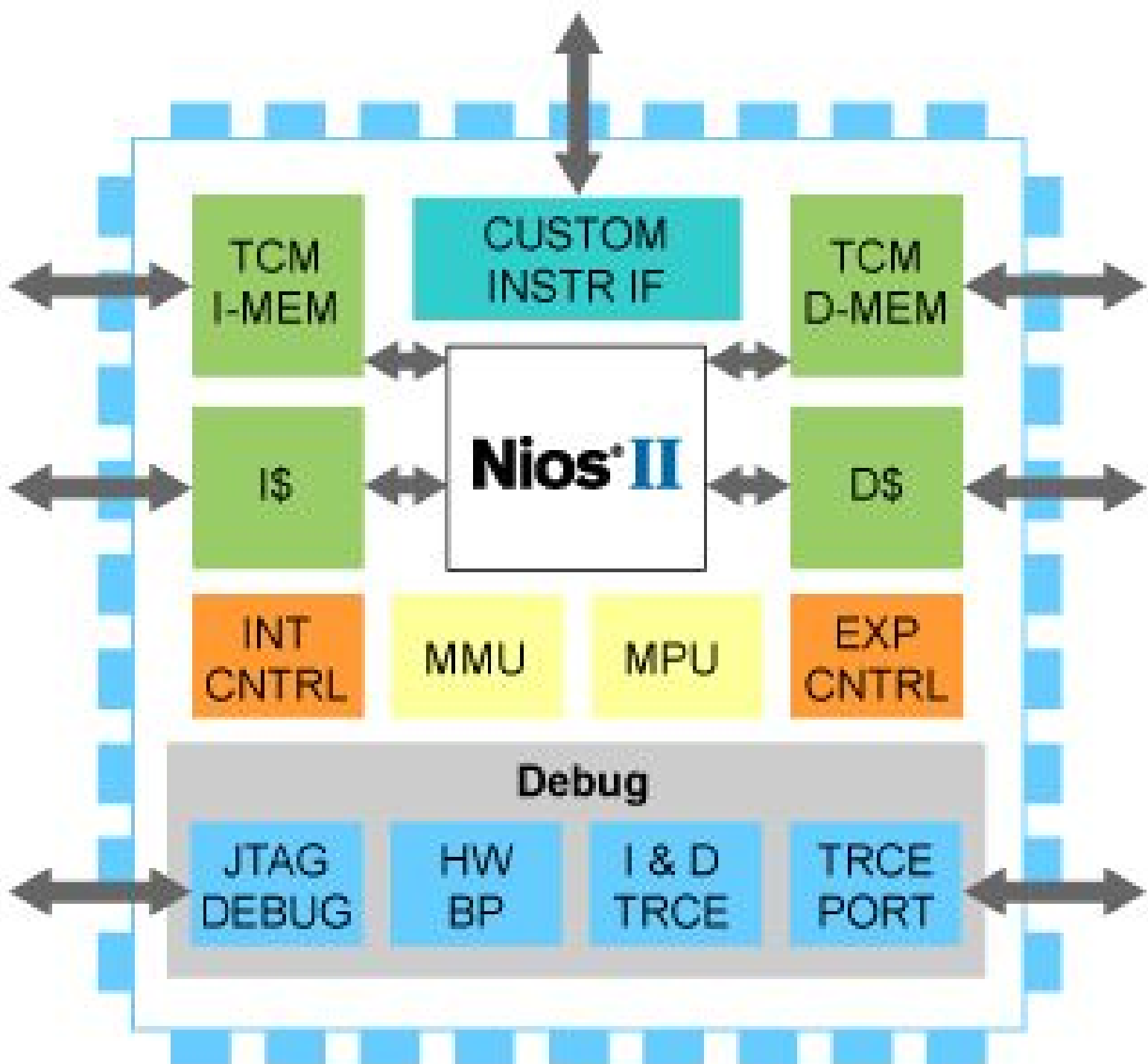
- Otros microprocesadores
- Alternativas libres en diseño FPGA
- Microcontroladores soft-core

Otros microprocesadores

- Nios II (Altera)
- Leon 3 y 4 (Aeroflex Gaisler)
- OpenRisc
- OpenSPARC
- PowerPC 440 (hard macro Virtex-5)
- ARM Cortex A-9 (hard macro Zynq-7)
- OpenMSP 430

Nios II

- Soft processor de Altera
- Optimizado para arquitectura de FPGAs de Altera
- No disponible para FPGAs de otros fabricantes
- Software: Quartus Prime, Nios II EDS (Embedded Design Suite)



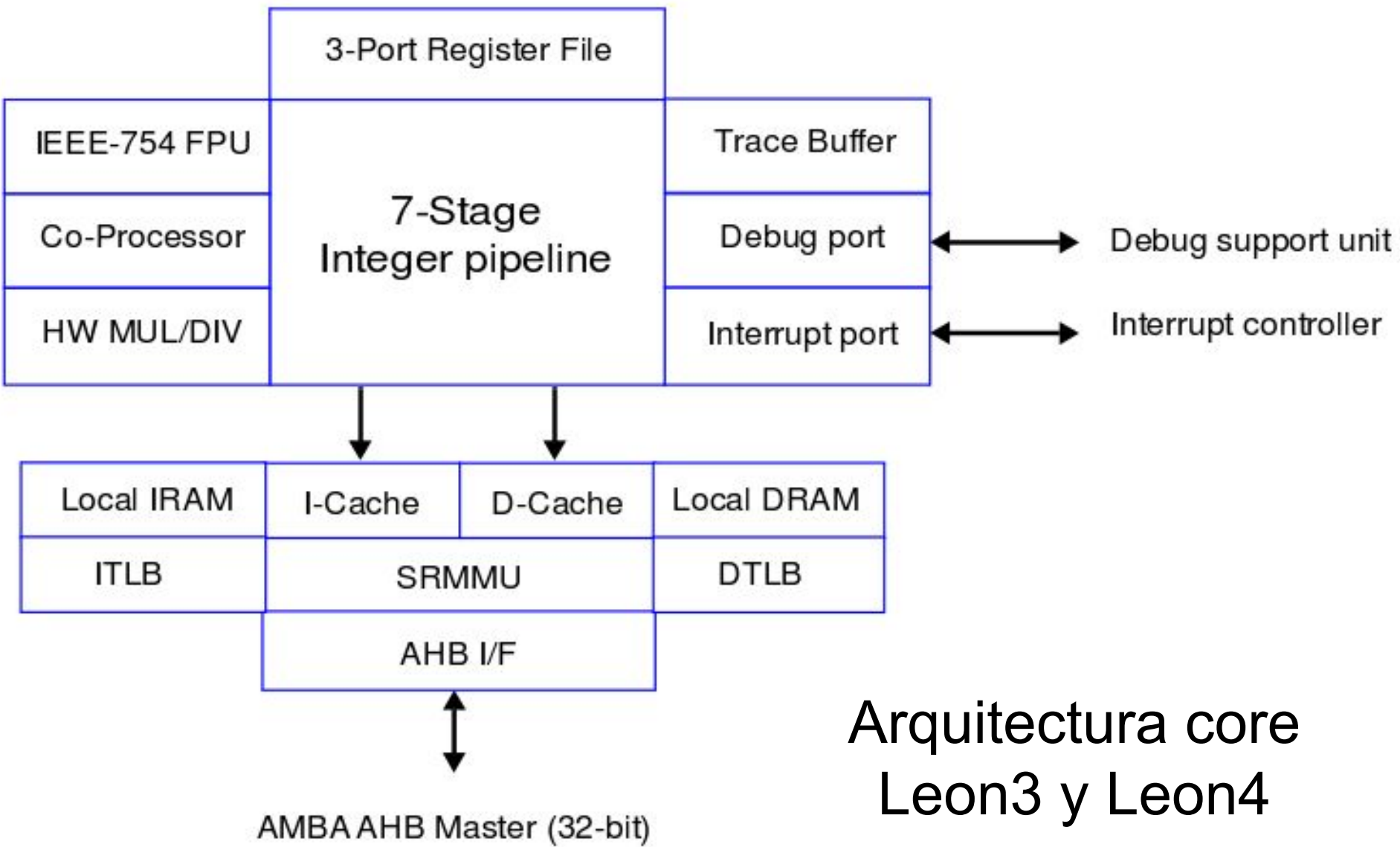
Leon 3 y 4

- IEEE 1754 (SPARC V8)
- Descritos en VHDL perfectamente legible
- Licencia GNU GPL (General Public License)
- Posibilidad de configuración
Multiprocesador
- Acompañado de la librería GRLIB (Gaisler Research IP Library)

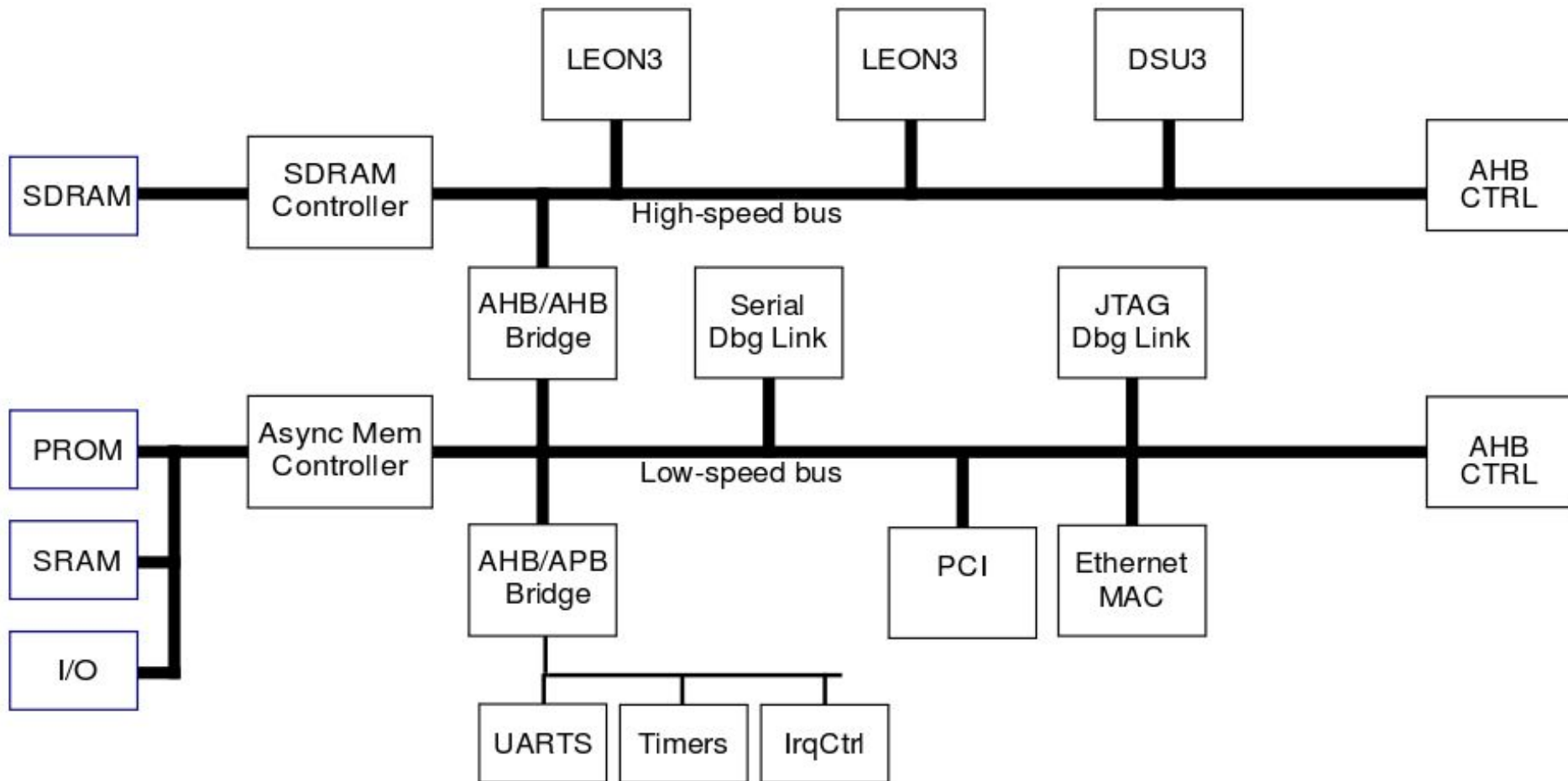
Leon 3 y 4

- Desarrollado originalmente (Leon1) en la ESA
- Leon3 dispone de versión “Fault Tolerant” para aplicaciones aeroespaciales
- Es buena idea, si os interesa, mirar el código para ver conceptos de VHDL avanzado que se usan en la industria

Otros microprocesadores



Arquitectura core
Leon3 y Leon4



Leon3 multi-core

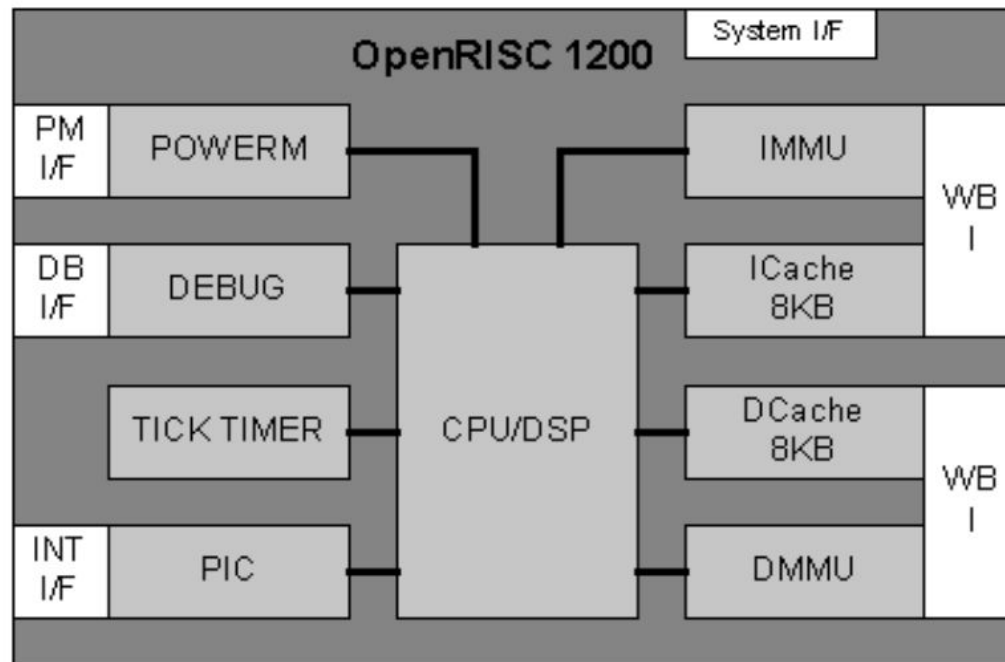
Leon 3 y 4

Arquitecturas muy parecidas, pero Leon4 añade:

- Predicción de salto estática añadida al pipeline
- Caché de nivel 2 opcional
- Camino al interfaz AMBA AHB de 64 o 128 bits
- Mayores prestaciones: 1.7 DMIPS/MHz frente a 1.4 DMIPS/MHz (según fab.)

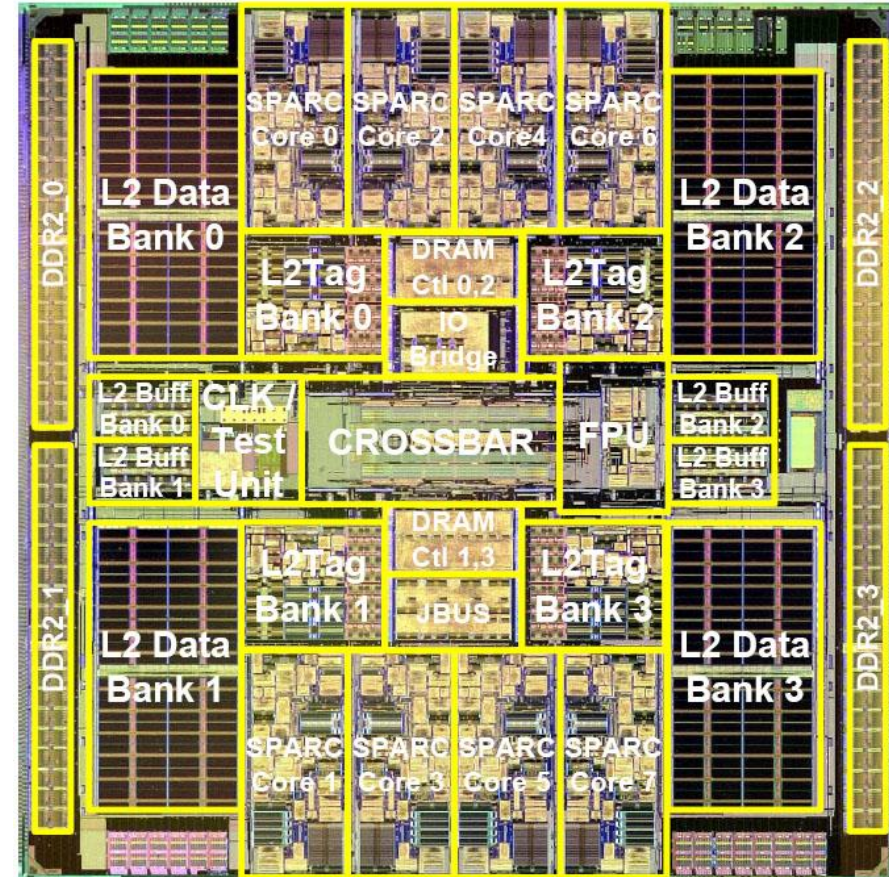
OpenRisc

- Licencia GNU GPL
- Arquitectura RISC 32 y 64 bits
- Especificación e implementaciones libres



OpenSPARC

- Sun Microsystems / Oracle
- Licencia GNU GPL
- Arquitectura SPARC
- Opensparc T1 y T2: microprocesadores multi-core de 64 bits

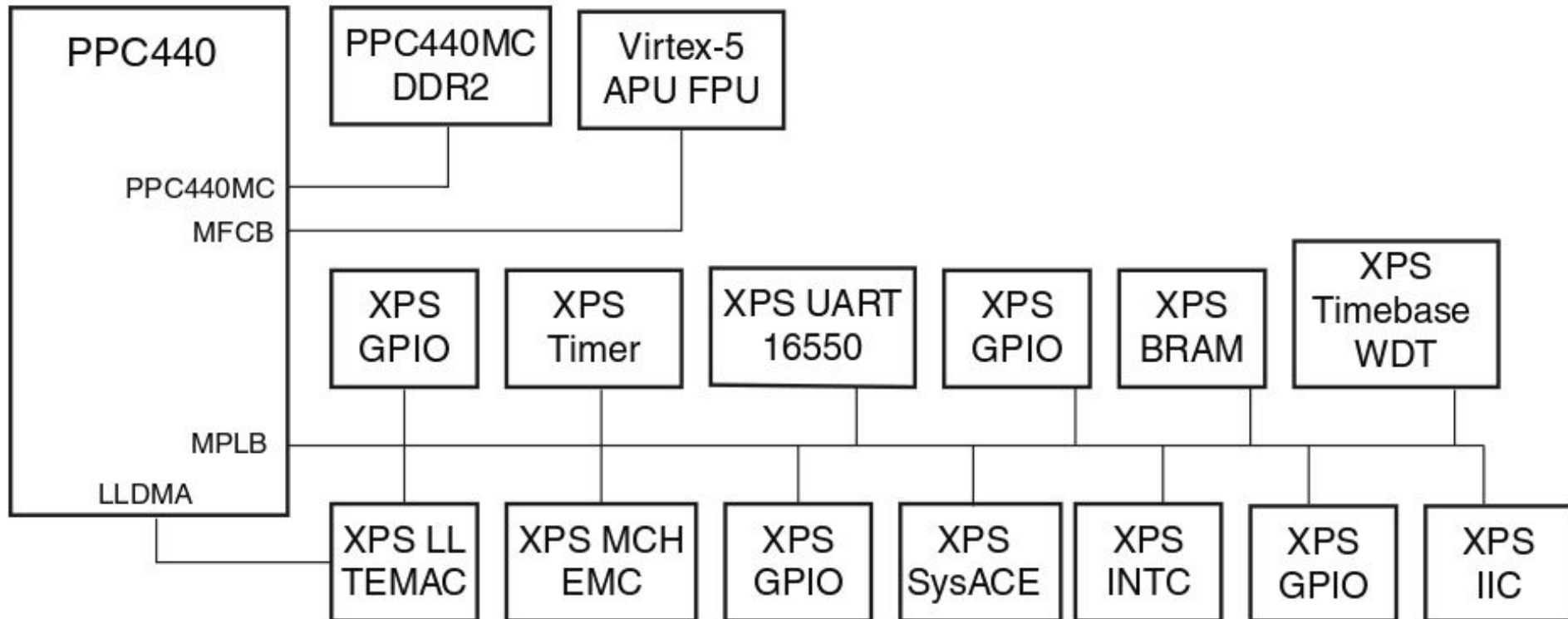


PowerPC 440

Disponibile en las FPGAs de la familia Virtex-5 FX:

- Manejo con EDK
- Bus PLB
- Hasta 400 MHz en Virtex-5 (Microblaze hasta 100 MHz en la misma familia)
- Chips de la familia FX son más caros

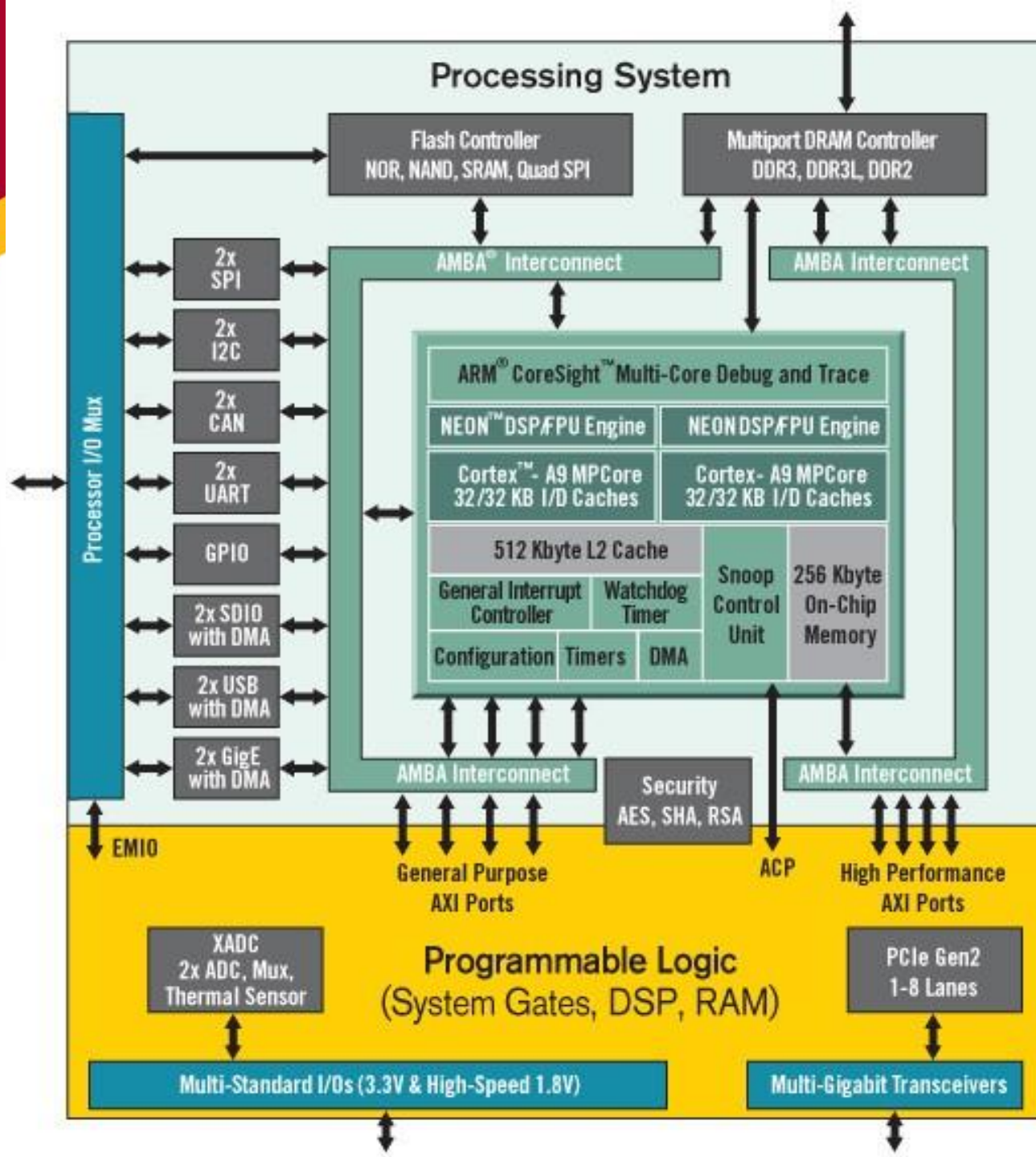
PowerPC 440



UG511_01_01_070108

ARM Cortex A9

- Disponible en el SoC Zynq-7000 (Xilinx)
- 2.5 DMIPS/MHz por CPU (es dual-core)
- Arquitectura ARM v7-A
- Memorias caché de Nivel 1 (32KB) y 2 (512KB)
- Hasta 1 GHz



Alternativas libres en diseño FPGA

- www.opencores.org
- Gaisler GRLIB

GRLIB tiene licencia GPL

En opencores podemos encontrar IP cores con diferentes tipos de licencia (GPL, LGPL, BSD)

- [PROJECTS](#)
- [FORUMS](#)
- [ABOUT](#)
- [HowTo/FAQ](#)
- [MISC](#)
- [PARTNERS](#)
- [SHOP](#)

Tools

Google™ Custom Search

+ Arithmetic core

+ Prototype board

+ Communication controller

+ Coprocessor

+ Crypto core

+ DSP core

+ ECC core

+ Library

+ Memory core

+ Other

- Processor

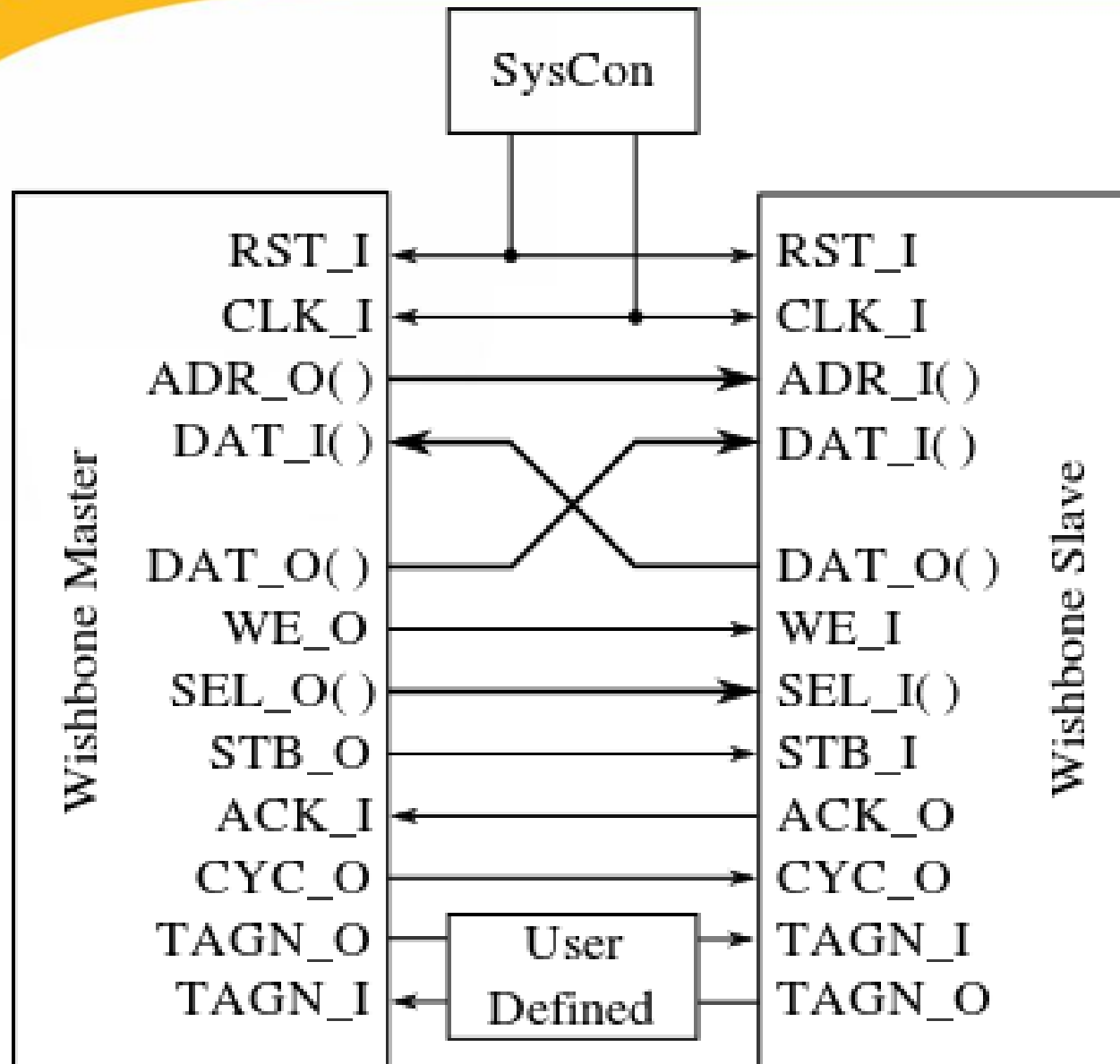
Project	Files	Statistics	Status	License
Virtual Semicom Processor Lab	■	Stats		LGPL
16 Bit Microcontroller	●	Stats	wbc	LGPL
16-bit CPU based loosely on Caxton Foster's Blue architecture	●	Stats		LGPL
16-bit Open uRISC core Processor	●	Stats		LGPL
1664 microprocessor	●	Stats		Others
32 Bit RISC Processor Design	■	Stats		LGPL
4004 CPU and MCS-4 family chips	●	Stats		Others

El bus Wishbone

- Un bus ‘lógico’, es decir, que no especifica al respecto de niveles de tensión
 - Pensado para diseños HDL
- Estándar de facto para diseños HW libres
- Muchos cores en opencores.org son “Wishbone compliant”



El bus Wishbone

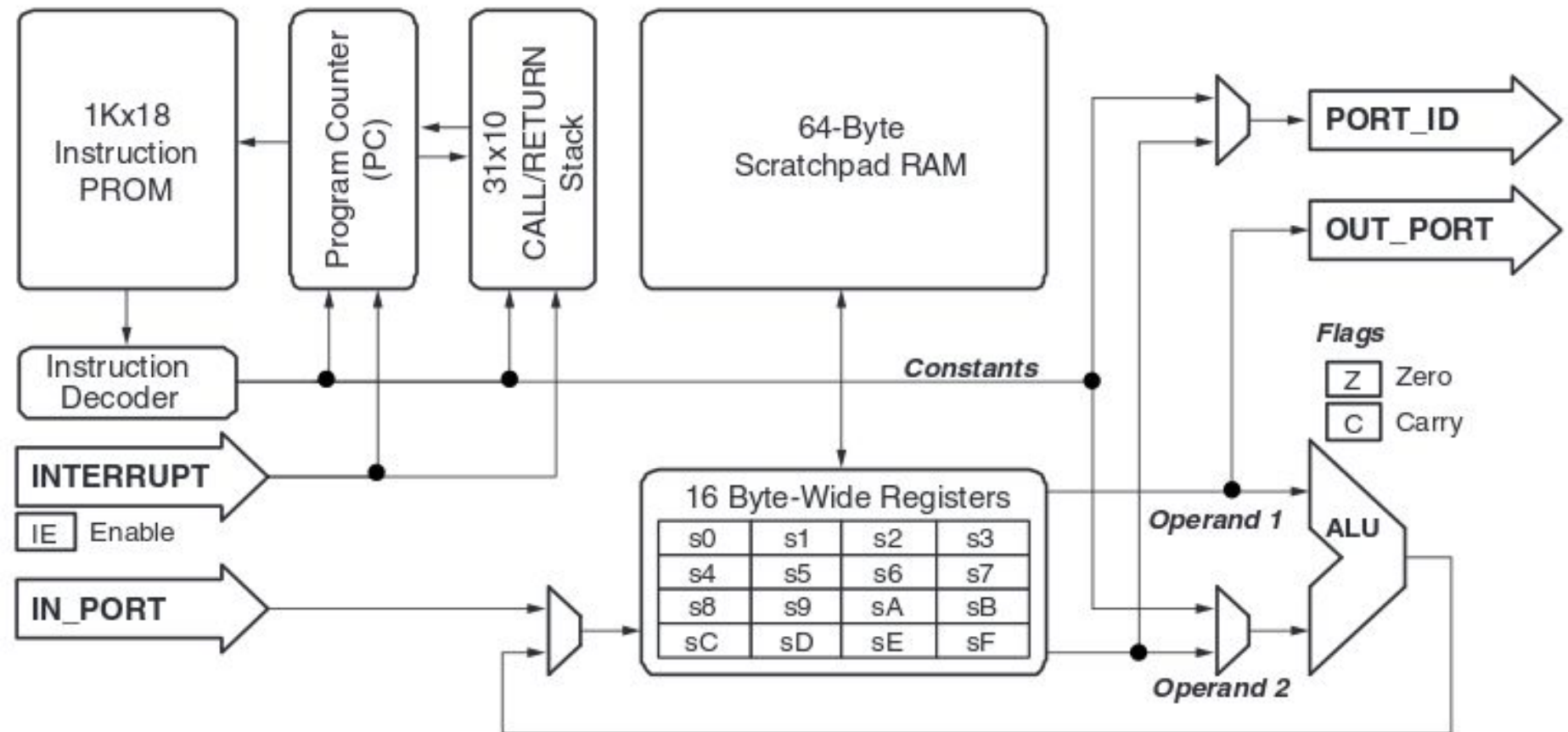


Microcontroladores soft-core

- Si no necesitamos un procesador completo de 32 bits, puede ser más útil gastar pocos recursos y poner un micro*controlador* de 8 bits
 - 8051
 - PicoBlaze
 - ...

PicoBlaze

- Microcontrolador de 8-bit de Xilinx
- 16 registros de datos
- 1K instrucciones de memoria de programa
- ALU de 8 bits
- RAM interna 'scratchpad' de 64-bytes
- 256 puertos de entrada y 256 puertos de salida
- Siempre 2 ciclos de reloj por instrucción
- Respuesta a interrupciones en 5 ciclos de reloj o menos
- Optimizado para arquitecturas Xilinx: 96 slices y 1 block RAM en Spartan 3



UG129_c1_01_051204

Arquitectura de PicoBlaze

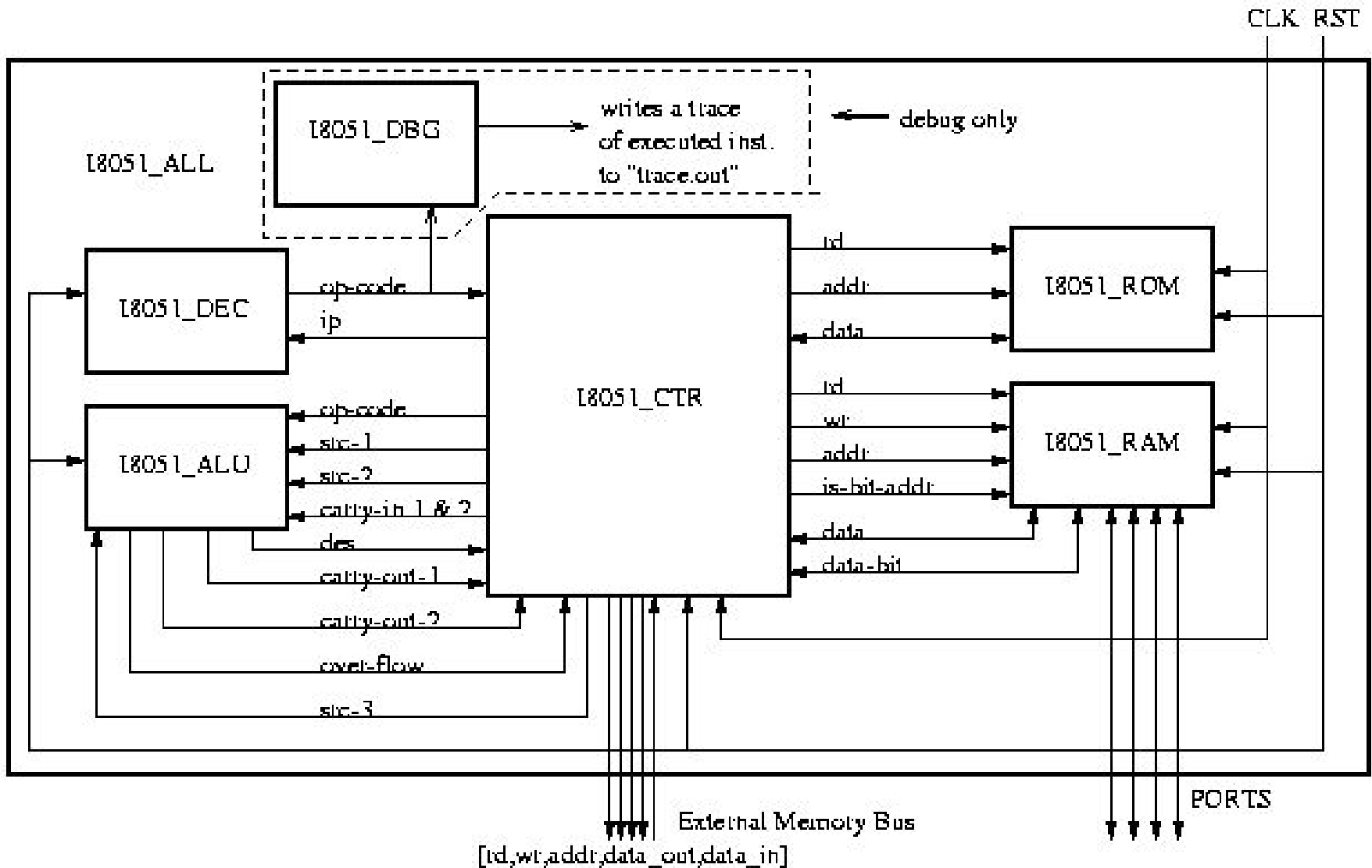
Componente PicoBlaze

```
component kcpsm3 is
  port (
    address      : out std_logic_vector(9 downto 0);
    instruction   : in  std_logic_vector(17 downto 0);
    port_id      : out std_logic_vector(7  downto 0);
    write_strobe : out std_logic;
    out_port     : out std_logic_vector(7  downto 0);
    read_strobe  : out std_logic;
    in_port      : in  std_logic_vector(7  downto 0);
    interrupt    : in  std_logic;
    interrupt_ack : out std_logic;
    reset        : in  std_logic;
    clk          : in  std_logic
  );
end component;
```


8051 sintetizable

- Disponible en <http://www.cs.ucr.edu/~dalton/i8051/i8051syn/>
- Hasta 64K de memoria de instrucciones
- Hasta 64K de memoria de programa
- No es compatible 100% con el Intel 8051 original:
 - El timing no es cycle-accurate
 - Manejo de interrupciones no está implementado
 - Sin periféricos (pero con puertos externos para acceso al exterior)

Microcontroladores soft-core



Conclusiones

- Existen más alternativas que las que da Xilinx
- Si no queremos estar atados a un fabricante, podemos utilizar una alternativa descrita en HDL
- Podemos diseñar System-on-Chip complejos a bajo coste utilizando procesadores e IP cores libres
- El toolchain y conseguir que el procesador arranque suelen ser problemas no triviales

Referencias

- Altera, [Nios II Processor Reference Handbook](#)
- Gaisler Research, [GRLIB IP Core User's Manual](#)
- Jiri Gaisler, [LEON-1 Processor - First Evaluation Results](#)
- [Opencores HDL Modeling Guidelines](#)
- The OpenRisc project:
http://opencores.org/or1k/Main_Page

Referencias (II)

- OpenSparc overview:
<http://www.oracle.com/technetwork/systems/opensparc/index.html>
- [Zynq-7000 All Programmable SoC Overview](#)
- [PicoBlaze 8-bit Embedded Microcontroller User Guide](#)
- Dalton Project, University of California,
[Synthesizable Model of 8051](#)