

Tema 13 - Arquitectura de microprocesadores avanzados

Sistemas Electrónicos para Automatización
Grado en Ingeniería Electrónica, Robótica y
Mecatrónica

Hipólito Guzmán Miranda

Contenido

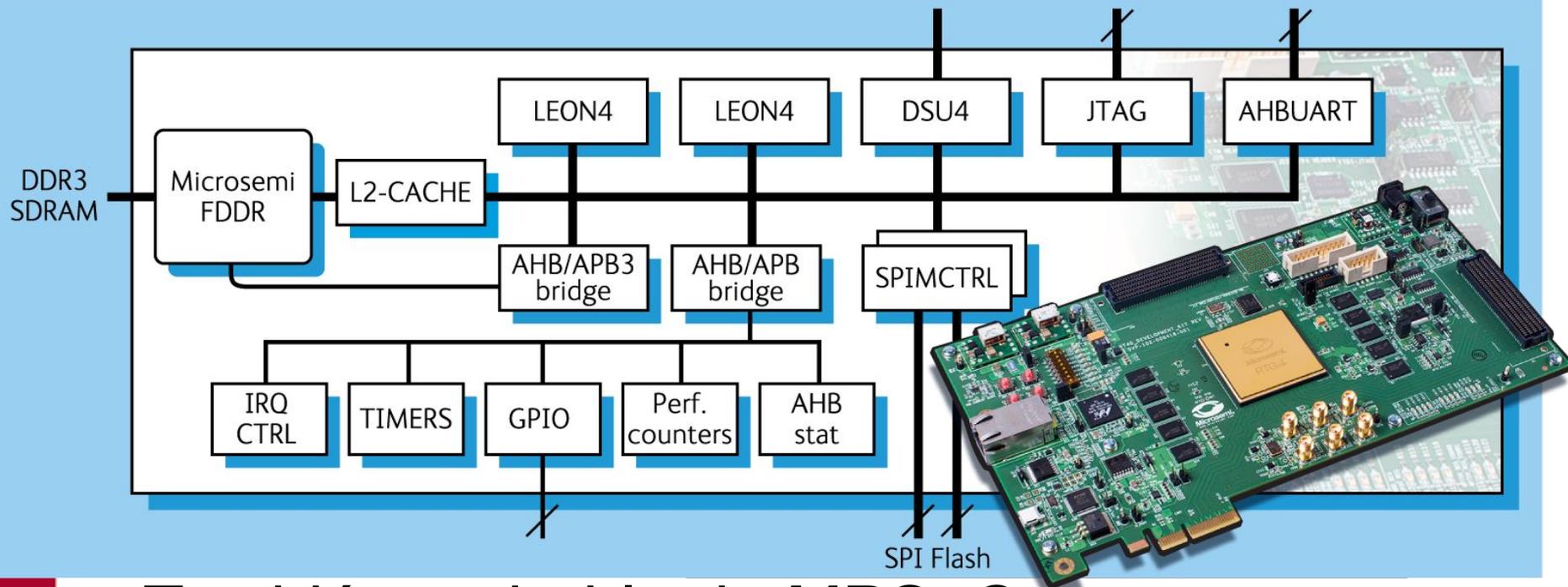
- Sistemas multiprocesador
- Procesadores superescalares
- Super-pipeline
- Procesadores VLIW

Contenido

- **Sistemas multiprocesador**
- Procesadores superescalares
- Super-pipeline
- Procesadores VLIW

Sistemas multiprocesador

Sistemas con dos o más CPUs



También se habla de MPSoC
(Multiprocessor System-on-Chip)

Sistemas multiprocesador

A nivel software:

- Usar un único core (desactivando los demas)
- Ejecutar software diferente en cada procesador (Asymmetric Multiprocessing)
- Ejecutar un único software en varios procesadores (Symmetric Multiprocessing)

Asymmetric multiprocessing

- Cada microprocesador tiene su propio programa independiente:
 - Ej: mp0: main0.c , mp1: main1.c
 - Ej: programa bare-metal en mp0, sistema operativo en mp1
- Cada procesador debe tener sus propios periféricos dedicados (timers, etc)
- Es necesario implementar exclusión mutua para acceso a periféricos compartidos

Symmetric multiprocessing

- Se utiliza un sistema operativo capaz de gestionar múltiples procesadores
- En sistemas embebidos son comunes Linux, VxWorks y RTEMS (The Real-Time Executive for Multiprocessor Systems)

En sistemas con más de dos microprocesadores se puede mezclar multiproceso simétrico y asimétrico (ej: 2+1+1)

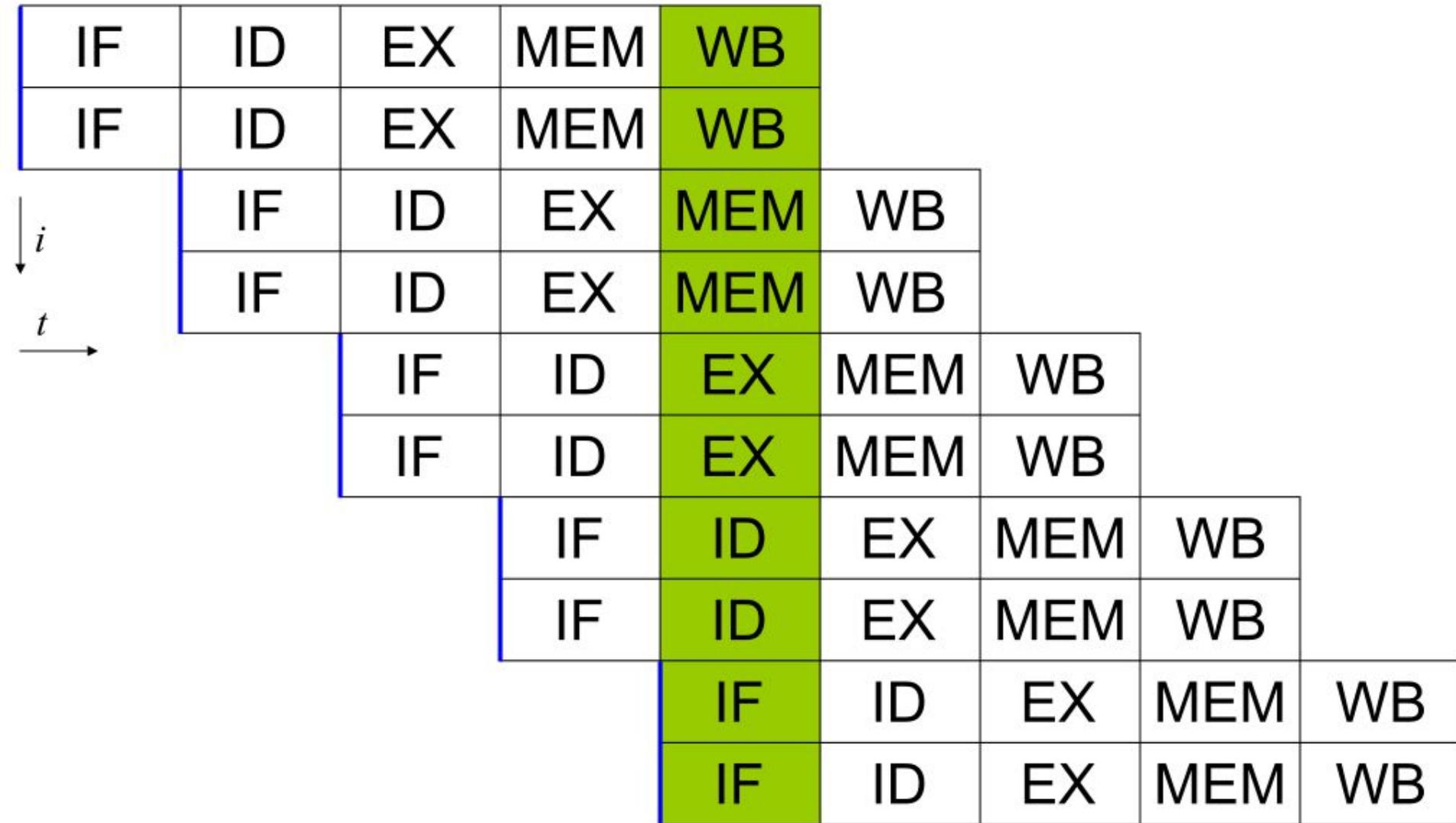
Contenido

- Sistemas multiprocesador
- **Procesadores superescalares**
- Super-pipeline
- Procesadores VLIW

Procesadores superescalares

- Como contraposición a procesadores escalares
 - Que como mucho, pueden ejecutar una instrucción por ciclo de reloj (throughput)
- Implementan paralelismo a nivel de instrucción
- No se duplica/multiplica el procesador entero, sino los recursos (etapas del pipeline)

Pipeline superescalar



Se procesan dos instrucciones simultáneamente

Contenido

- Sistemas multiprocesador
- Procesadores superescalares
- **Super-pipeline**
- Procesadores VLIW

Super-pipeline

- Subdividir el pipeline en etapas aún más sencillas
- Permite incrementar la frecuencia de reloj
- Se incrementa la latencia pero también el número de instrucciones que puede haber en el pipeline
- También llamado deep pipelining

Pipeline RISC clásico:

1. Instruction Fetch
2. Instruction Decode (and register fetch)
3. Execute
4. Memory access
5. Register Writeback

Pipeline LEON4:

1. FE: Instruction Fetch
2. DE: Instruction Decode
3. RA: Register Access
4. EX: Execute
5. ME: Memory access (caches)
6. XC: Exceptions (resolve traps/interrupts)
7. WR: Write results to register file

Pipeline Pentium 4:

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Ejecución fuera de orden, predicción de salto

Existe una variante de Pentium 4 con 31 etapas (Prescott)

Explicación de las etapas en:

https://www.cs.uaf.edu/2013/fall/cs441/Pres/Intel_Pentium_4.pdf

Contenido

- Sistemas multiprocesador
- Procesadores superescalares
- Super-pipeline
- **Procesadores VLIW**

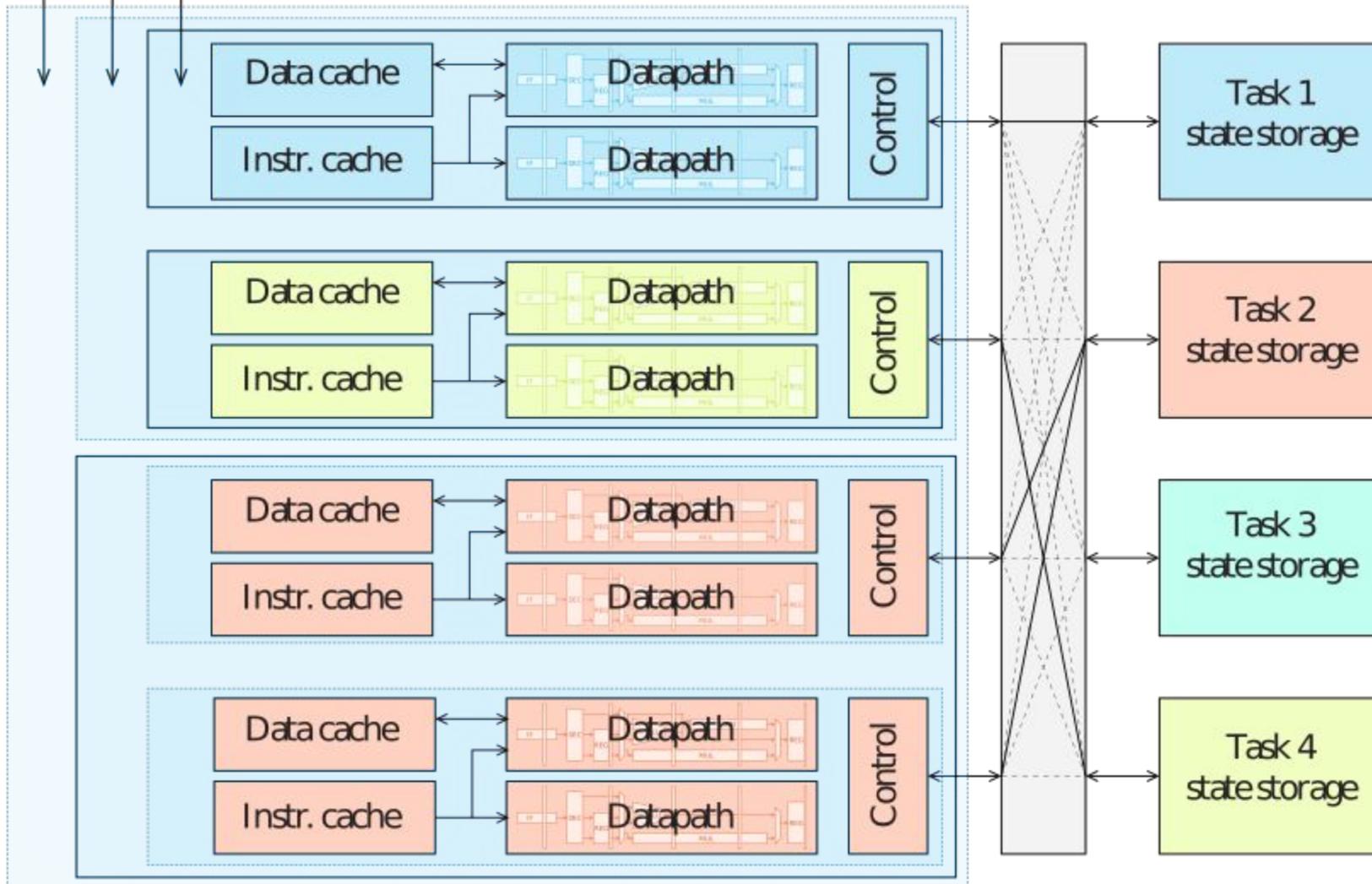
VLIW: Very Long Instruction Word

- Ejecutan múltiples instrucciones en paralelo
- La selección de qué instrucciones se ejecutan en paralelo se decide *en tiempo de compilación*

The ρ -VEX can work as...

- One 8-way datapath,
- Two independent 4-way datapaths,
- Four independent 2-way datapaths, or
- One 4-way + two 2-way datapaths

ρ -vex es
VLIW y
reconfigurable



Superescalar vs VLIW

- Superescalar: va asignando recursos conforme va teniendo que procesar instrucciones
- La planificación se puede adaptar dinámicamente a las necesidades de ejecución
- VLIW: la planificación de la ejecución es fija
- Le pasamos el problema al compilador, que tiene que ser más complejo
- VLIW no se puede adaptar dinámicamente
- Hardware más sencillo

Referencias

- Gaisler, [Multi-Core Software Considerations](#) (GRLIB-AN-0005)
- Gaisler, [Quad-Core LEON4 SPARC V8 Processor LEON4-N2 Data Sheet and User's Manual](#)
- Glenn Hinton et al., [The Microarchitecture of the Pentium 4 Processor](#)
- TU Delft, [\$\rho\$ -VEX: the Dynamically Reconfigurable VLIW Processor](#)