

Creación de un monitor de protocolo

Práctica 2, Sistemas Lógicos Programables Avanzados.

Hipólito Guzmán Miranda
 Departamento de Ingeniería Electrónica
 Universidad de Sevilla
hguzman@us.es

Creación de un monitor de protocolo

Se desea crear una entidad VHDL, no necesariamente sintetizable, para facilitar los esfuerzos de verificación de un diseño digital. Esta entidad se encarga de monitorizar el movimiento de pines en un bus y, en caso de que se detecte un movimiento de pines correcto en el mismo, debe generar una transacción de salida con la palabra de 32 bits de datos recibida, junto con un campo que indica que el dato es válido.

El protocolo se corresponde con el protocolo utilizado en la práctica anterior, personalizado según el DNI del alumno. Se recuerda la conveniencia de utilizar el package `protocol_common`, que ya se ha utilizado en la práctica anterior.

Funcionamiento del monitor:

El monitor debe recibir como entradas una señal de reloj, `clk`, y las señales del protocolo: `data`, `ena`, `startp` y `endp`. Como salida tendrá una única salida, `output_tran`, del tipo `record protocol_type`. Se describen los puertos de la entidad en la siguiente tabla:

Nombre	Tipo de dato	Dirección	Función
<code>clk</code>	<code>std_ulogic</code>	<code>in</code>	Entrada de reloj. En caso de realizar una entidad no sintetizable, se recomienda muestrear los datos recibidos en el flanco de bajada del reloj (<code>falling_edge(clk)</code>). En caso de realizar una entidad sintetizable, se puede utilizar el mismo flanco de reloj que se utilizara al desarrollar el driver.
<code>data</code>	<code>std_ulogic_vector</code> (de anchura dependiente del DNI del alumno)	<code>in</code>	Datos de entrada
<code>ena</code>	<code>std_ulogic</code>	<code>in</code>	Señal de habilitación del protocolo
<code>startp</code>	<code>std_ulogic</code>	<code>in</code>	Señal de inicio de transmisión
<code>endp</code>	<code>std_ulogic</code>	<code>in</code>	Señal de fin de transmisión
<code>output_tran</code>	<code>protocol_type</code>	<code>out</code>	Transacción de salida

Una vez detectado el envío correcto de un dato completo de 32 bits, el monitor debe generar una transacción de salida, simplemente indicando los datos recibidos en el campo `data` de `output_tran`, y poniendo un '1', durante un ciclo de reloj, en el campo `valid` de `output_tran`.

Realización y evaluación de la práctica:

Se debe desarrollar el monitor de protocolo adaptado al DNI/NIE/etc. del alumno. Este protocolo es exactamente el mismo cuyo driver se desarrolló en la práctica anterior.

La funcionalidad básica del monitor de protocolo es generar una transacción si la señal ena se ha activado y se han enviado suficientes bloques de datos como para reconstruir una señal de 32-bits (es decir, si se cumple aproximadamente el protocolo, sin intentar detectar errores).

Se valorarán ampliaciones sobre la funcionalidad básica tales como:

- Asegurar que el monitor no genera ninguna transacción si ha habido un movimiento de pines que haya sido incorrecto (es decir, que incumpla el protocolo).
- Informar de cuándo se inicia y se termina una transacción sobre el bus utilizando la sentencia report.
- Informar de que se ha detectado un error en el movimiento de pines en el bus.
- Informar de que se ha detectado un error en el movimiento de pines en el bus, indicando la causa (es decir, qué parte del protocolo se ha incumplido).

Se debe desarrollar una memoria de la práctica en la que se describa el trabajo realizado y se demuestre que se ha implementado correctamente el monitor de protocolo. La demostración de funcionamiento debe basarse en simulaciones y puede hacerse reutilizando el bloque driver desarrollado en la práctica anterior. Adicionalmente a la memoria de la práctica, debe entregarse todo el código desarrollado, incluyendo los testbenches y el package `protocol_common`.