

# Sistemas Digitales Avanzados y Aplicaciones

**Curso 2024-2025**

Contenidos Proyecto Docente  
Parte Sistemas Lógicos Programables  
Avanzados

Hipólito Guzmán Miranda

[hguzman@us.es](mailto:hguzman@us.es)

## Clases teoría

- 18-Noviembre (G1), 19-Noviembre (G2)
- 2-Diciembre (G1), 3-Diciembre (G2)
- 16-Diciembre (G1), 10-Diciembre (G2)
  
- 13-Enero (G1), 14-Enero (G2) (principio de las clases): Parcialito

3 clases de teoría de 2h50min cada una

# Clases prácticas

## 3 grupos de prácticas:

- 2 en horario de clase (g1, g2)
- 1 en otro horario (g3)
  
- **Práctica 1:**
  - 7 de enero (g1) (martes con horario de lunes)
  - 17 de diciembre (g2)
  - Por determinar (g3)
  
- **Práctica 2:**
  - 13 de enero (tras el parcialito) (g1)
  - 14 de enero (tras el parcialito) (g2)
  - Por determinar (g3)

## Temario: Teoría

- Repaso arquitectura FPGAs
- Metodologías de diseño digital avanzado
- VHDL avanzado
- Capacidades de verificación en circuitos digitales

# Temario: Prácticas

- Práctica 1: Diseño de un driver de protocolo
- Práctica 2: Diseño de un monitor de protocolo

# Software (I)

- Para las prácticas usaremos un simulador de VHDL
- El simulador ISim incluido en Xilinx ISE es antiguo pero ocupa bastantes gigas menos que Vivado y nos vale perfectamente para la asignatura.
  - Descargable desde [la web de Xilinx](#)
  - Licencia webpack, o 2100@baldr.us.es
  - No funciona bien nativo en windows 10 (simula pero a veces se rompe el interfaz gráfico, por ejemplo no se pueden arrastrar archivos a la ventana)
    - La versión “Windows 10” es una máquina virtual de Linux con ISE instalado
    - Hay por ahí tutoriales de cómo arreglar algunas cosas para que sea usable en windows 10

## Software (II)

- Realmente podéis usar cualquier otro simulador de VHDL que queráis ([Eda Playground](#), GHDL, Vivado XSim, etc)
- Si vais a utilizar un simulador que no sea ISE:
  - Aseguraos de que lo tenéis correctamente instalado y sabéis manejarlo ANTES de la práctica
  - No podremos dedicar tiempo durante la práctica a solucionaros problemas de instalación o de manejo del simulador
  - No obstante, en tutorías antes y después de la práctica sí os podremos ayudar
- Si es la primera vez que trabajáis con VHDL, os recomiendo ISE (por el material de repaso)

# ‘Particularidad’ de la asignatura

- En la asignatura tenemos alumnos con experiencia con VHDL y alumnos que ni siquiera conocen el lenguaje
- Pero tenemos que dar materia nueva
  - No podemos volver a dar diseño con VHDL
- Quienes no sepáis VHDL, tenéis que repasar
  - Tenéis material de repaso en la EV de la asignatura
  - Cualquier duda, escribidme!



# Material de repaso

- Transparencias VHDL para síntesis
- Referencia de VHDL para síntesis
  - Con ejemplos
- Tipos de datos y librería numeric\_std
  - Complementa la referencia anterior
- Guía rápida de Xilinx ISE
  - También explica el manejo del simulador, que usaremos en las prácticas
- **Grabación clase de VHDL + ISE**

# Criterios de evaluación

Sistemas lógicos programables avanzados es el 40% de la asignatura

Esta parte = 50% teoría + 50% prácticas

- Teoría: se evalúa mediante examen
  - Preguntas tipo test (sin penalización) + preguntas de desarrollo
- Prácticas: 1 memoria para ambas prácticas.
  - Se evalúan: funcionalidades implementadas (las mínimas que se piden sirven para llegar al 5, se sube nota realizando ampliaciones), calidad de la memoria entregada, calidad y limpieza del código.
  - Entrega a través de Blackboard

# Fecha de entrega de prácticas

- Entrega a través de Blackboard (<https://ev.us.es>)
- Evaluación continua:
  - Fecha propuesta: 23 de enero 2024 (hasta 23:59)
  - Último día lectivo del primer cuatrimestre
  - Al ser evaluación continua, deben entregarse durante el periodo lectivo del cuatrimestre
- Convocatorias oficiales:
  - El día de la convocatoria hasta las 23:59