

Diseño Electrónico e Instrumentación Industrial II

Curso 2023-2024

Contenidos Proyecto Docente
Parte Sistemas Lógicos Programables
Avanzados

Hipólito Guzmán Miranda

hguzman@us.es

Clases teoría

- 7-Diciembre ($\frac{1}{2}$ clase): Teoría
- 14-Diciembre: Teoría
- 21-Diciembre ($\frac{1}{2}$ clase): Teoría
- 11-Enero: Teoría
- 18-Enero ($\frac{1}{2}$ clase): Parcialito

3 clases de teoría de 2h10min cada una

Clases prácticas

- Práctica 1:
 - Grupo 1: por determinar
 - Grupo 2: por determinar
- Práctica 2:
 - Grupo 1: por determinar
 - Grupo 2: por determinar

A partir de que demos la tercera clase de teoría (en 2023-2024, como muy pronto el 11 de enero tras la clase)

Temario: Teoría

- Repaso arquitectura FPGAs
- Metodologías de diseño digital avanzado
- VHDL avanzado
- Capacidades de verificación en circuitos digitales

Temario: Prácticas

- Práctica 1: Diseño de un driver de protocolo
- Práctica 2: Diseño de un monitor de protocolo
- Presenciales

Software (I)

- Para las prácticas usaremos el software Xilinx ISE (disponible en los PCs del Centro de Cálculo), en particular el simulador ISim incluido en ISE.
 - Disponible en los PCs del Centro de Cálculo
 - Descargable desde [la web de Xilinx](#)
 - El número versión no es relevante para esta asignatura (desde la 12.1 en adelante cualquiera os va bien)
 - Licencia webpack, o 2100@baldr.us.es
 - No funciona bien nativo en windows 10 (simula pero a veces se rompe el interfaz gráfico, por ejemplo no se pueden arrastrar archivos a la ventana)
 - La versión “Windows 10” es una máquina virtual de Linux con ISE instalado
 - Hay por ahí tutoriales de cómo arreglar algunas cosas para que sea usable en windows 10

Software (II)

- Realmente podéis usar cualquier otro simulador de VHDL que queráis (GHDL, Vivado XSim, etc)
- Si vais a utilizar un simulador que no sea ISE:
 - Aseguraos de que lo tenéis correctamente instalado y sabéis manejarlo ANTES de la práctica
 - No podremos dedicar tiempo durante la práctica a solucionaros problemas de instalación o de manejo del simulador
 - No obstante, en tutorías antes y después de la práctica sí os podremos ayudar
- Si es la primera vez que trabajáis con VHDL, os recomiendo ISE

‘Particularidad’ de la asignatura

- En la asignatura tenemos alumnos con experiencia con VHDL y alumnos que ni siquiera conocen el lenguaje
- Pero tenemos que dar materia nueva
 - No podemos volver a dar diseño con VHDL
- Quienes no sepáis VHDL, tenéis que repasar
 - Tenéis material de repaso en la EV de la asignatura
 - Cualquier duda, escribidme!

Material de repaso

- Transparencias VHDL para síntesis
- Referencia de VHDL para síntesis
 - Con ejemplos
- Tipos de datos y librería numeric_std
 - Complementa la referencia anterior
- Guía rápida de Xilinx ISE
 - También explica el manejo del simulador, que usaremos en las prácticas
- **Grabación clase de VHDL + ISE**

Criterios de evaluación

Sistemas lógicos programables avanzados es el 40% de la asignatura

Esta parte = 50% teoría + 50% prácticas

- Teoría: se evalúa mediante examen
 - Preguntas tipo test (sin penalización) + preguntas de desarrollo
- Prácticas: 1 memoria para ambas prácticas.
 - Se evalúan: funcionalidades implementadas (las mínimas que se piden sirven para llegar al 5, se sube nota realizando ampliaciones), calidad de la memoria entregada, calidad y limpieza del código.
 - Entrega a través de Blackboard

Fecha de entrega de prácticas

- Fecha: (por determinar)
 - Aprox una semana después de la práctica 2
 - Al ser evaluación continua, deben entregarse durante el periodo lectivo del cuatrimestre
- Entrega a través de Blackboard
(<https://ev.us.es>)