



Programa de la Asignatura: Electrónica Digital para Comunicaciones

Concurso de acceso a plazas de cuerpos docentes universitarios

Concursante: Hipólito Guzmán Miranda

Cuerpo: Profesor Titular de Universidad

Área de conocimiento: Tecnología Electrónica

Departamento: Ingeniería Electrónica

Institución: Universidad de Sevilla

Fecha de resolución: 12 de agosto de 2019 (BOE de 26 de agosto de 2019)

Código de plaza: 2/86/19



Noviembre de 2019

Resolución que origina la convocatoria

El presente documento se redacta de conformidad con la Resolución de 12 de agosto de 2019 (BOE de 26 de agosto de 2019), de la Universidad de Sevilla, por la que se convoca concurso de acceso a plazas de cuerpos docentes universitarios.

Plaza de Profesor Titular de Universidad en el Área de Tecnología Electrónica (código de plaza 2/86/19), adscrita al Departamento de Ingeniería Electrónica.

Perfil Docente: *Electrónica Digital para Comunicaciones (Máster Universitario en Ingeniería de Telecomunicación).*

Perfil Investigador: *Diseño digital para FPGAs SRAM en entornos de radiación ionizante.*

Índice general

Ficha de la asignatura	1
1. Descripción de la asignatura	2
1.1. Contexto de la asignatura	2
1.1.1. Marco normativo	2
1.1.2. Perfil del alumno	2
1.2. Descriptores	3
1.3. Competencias objetivo	3
1.3.1. Competencias Básicas	3
1.3.2. Competencias Generales	4
1.3.3. Competencias Transversales	5
1.3.4. Competencias Específicas	5
1.4. Resultados del aprendizaje	6
2. Reseña metodológica y bibliográfica	8
2.1. Objetivos docentes	8
2.2. Bloques temáticos	8
2.3. Actividades docentes y formativas	9
2.3.1. Clases expositivas	11
2.3.2. Sesiones prácticas	11
2.3.3. Trabajo no presencial	12
2.3.4. Actividades de aprendizaje en cooperación y de apoyo a la realización del trabajo de curso	12
2.4. Planificación temporal	12
2.5. Reseña bibliográfica	13
3. Temario detallado	16
3.1. Contenidos teóricos	16
3.1.1. BT01: Componentes y sistemas digitales para comunicaciones	16
3.1.2. BT02: Lenguajes de Descripción Hardware	17
3.1.3. BT03: Verificación funcional y formal de circuitos digitales	19
3.2. Sesiones prácticas	21
3.2.1. Práctica 1: Creación de un testbench estructurado en VHDL	21
3.2.2. Práctica 2: Integración de testbenches con octave	21

3.2.3. Práctica 3: Verificación formal: chequeo de modelos acotados	21
3.2.4. Práctica 4: Verificación formal: inducción en el tiempo (k-induction) . .	22
3.2.5. Práctica 5: Automatización de simulaciones de sistemas complejos . . .	22
3.2.6. Práctica 6: Herramientas de síntesis, implementación y configuración .	22
3.3. Trabajo de curso	22
4. Sistema y criterios de evaluación y calificación	24
4.1. Métodos de evaluación	24
4.2. Sistemas y criterios de evaluación	24
4.2.1. Evaluación continua	25
4.2.2. Examen final	26
5. Consideraciones y análisis	27
Bibliografía	29



Ficha de la asignatura



<i>Asignatura</i>	<i>Electrónica Digital para Comunicaciones</i>
<i>Área Conocimiento</i>	<i>Tecnología Electrónica</i>
<i>Departamento</i>	<i>Ingeniería Electrónica</i>
<i>Titulación</i>	<i>Máster Universitario en Ingeniería de Telecomunicación</i>
<i>Módulo al que pertenece</i>	<i>Tecnologías de Telecomunicación</i>
<i>Créditos ECTS</i>	<i>5</i>
<i>Naturaleza</i>	<i>Obligatoria</i>
<i>Ubicación</i>	<i>1er Curso, 2º Cuatrimestre</i>
<i>Descriptores</i>	<i>Microelectrónica digital. Dispositivos lógicos programables avanzados. Lenguajes de descripción hardware. Componentes y sistemas electrónicos digitales para comunicaciones.</i>
<i>Competencias Específicas</i>	<i>CET10, CET11, CET12</i>

Descripción de la asignatura

1.1 Contexto de la asignatura

1.1.1 Marco normativo

El programa de la asignatura debe ajustarse a la siguiente normativa:

1. Orden CIN/355/2009, por la que se establecen los requisitos para la verificación de los títulos universitarios oficiales que habiliten para el ejercicio de la profesión de Ingeniero de Telecomunicación [1]
2. Real Decreto 1393/2007, por el que se establece la ordenación de las enseñanzas universitarias oficiales [2], y sus modificaciones en el Real Decreto 861/2010 [3] y el Real Decreto 43/2015 [4]
3. Memoria de Verificación del Máster Universitario en Ingeniería de Telecomunicación de la Universidad de Sevilla [5]
4. Reglamento General de Actividades Docentes de la Universidad de Sevilla [6]
5. Normativa Reguladora de la Evaluación y Calificación de las Asignaturas de la Universidad de Sevilla [7]

En cualquier caso, la Memoria de Verificación del título ha sido elaborada teniendo en cuenta la normativa vigente mencionada anteriormente y aprobada por el Consejo de Universidades tras un informe favorable de la Agencia Andaluza del Conocimiento, por lo que es el documento que sirve de base para el desarrollo del programa de la asignatura.

La asignatura *Electrónica Digital para Comunicaciones* (EDC) se imparte en el segundo cuatrimestre del primer curso del Máster Universitario en Ingeniería de Telecomunicación. La asignatura pertenece al módulo “*Tecnologías de Telecomunicación*” y tiene carácter Obligatorio. La carga académica de la misma es de 5 créditos ECTS, y actualmente es impartida por el Departamento de Ingeniería Electrónica de la Escuela Técnica Superior de Ingeniería de la Universidad de Sevilla.

1.1.2 Perfil del alumno

El perfil del alumno es el de un alumno de primer curso del Máster Universitario en Ingeniería de Telecomunicación. Todos los alumnos que se han matriculado en este Máster desde

su creación han cursado el Grado en Ingeniería de las Tecnologías de Telecomunicación. En este Grado, hay cuatro menciones (intensificaciones): *Sistemas de Telecomunicación*, *Telemática*, *Sonido e Imagen* y *Sistemas Electrónicos*.

Los alumnos provenientes de *Sistemas Electrónicos*, entre las materias de su intensificación, han cursado la asignatura *Sistemas Electrónicos de Comunicaciones*, la cual tiene una elevada carga de diseño VHDL para FPGAs en el campo de la electrónica de comunicaciones. Por otro lado, los alumnos provenientes de las otras tres menciones han cursado, durante el primer cuatrimestre del máster, la asignatura *Complementos de Electrónica*, para nivelar sus conocimientos de electrónica con respecto a los alumnos provenientes de la intensificación. La experiencia del concursante en años anteriores demuestra que los alumnos que acaban de cursar la asignatura *Complementos de Electrónica* tienen un nivel satisfactorio de diseño digital con VHDL sobre el que empezar a desarrollar el temario de *Electrónica Digital para Comunicaciones*. Todos los alumnos tienen conocimientos de Matlab tanto por las asignaturas que han cursado en el Grado como por las que cursan durante el primer cuatrimestre del primer curso del Máster.

En el futuro, se espera que el perfil sea más heterogéneo ya que podrán cursar la asignatura alumnos de otras titulaciones, principalmente por los planes de la Escuela de ofertar el doble máster MUIT + MUIERA (Máster Universitario en Ingeniería Electrónica, Robótica y Automática). La experiencia previa del concursante impartiendo docencia en 1º de MUIERA sugiere que la mayoría de los alumnos de dicho máster deberían cursar al menos una parte de la asignatura de *Complementos de Electrónica* de 1º MUIT, con el objetivo de adquirir los conocimientos teóricos y prácticos de VHDL y FPGAs necesarios para poder cursar con garantías de éxito la presente asignatura.

1.2 Descriptores

Los descriptores de la asignatura son, de acuerdo con la Memoria de Verificación del Máster, los siguientes:

“Microelectrónica digital. Dispositivos lógicos programables avanzados. Lenguajes de descripción hardware. Componentes y sistemas electrónicos digitales para comunicaciones.”

1.3 Competencias objetivo

Se indican a continuación las competencias objetivo de la asignatura, divididas en competencias básicas, generales, transversales y específicas.

1.3.1 Competencias Básicas

Las Competencias Básicas son establecidas en el Real Decreto 1393/2007, de 29 de octubre, por el que se establece la ordenación de las enseñanzas básicas universitarias oficiales [2]. Si



bien cada titulación en su totalidad debe cubrir estas competencias, la Memoria de Verificación no hace ningún reparto explícito por módulos o asignaturas.

CB01: Poseer y comprender conocimientos que aporten una base u oportunidad de ser originales en el desarrollo y/o aplicación de ideas, a menudo en un contexto de investigación.

CB02: Que los estudiantes sepan aplicar los conocimientos adquiridos y su capacidad de resolución de problemas en entornos nuevos o poco conocidos dentro de contextos más amplios (o multidisciplinares) relacionados con su área de estudio.

CB03: Que los estudiantes sean capaces de integrar conocimientos y enfrentarse a la complejidad de formular juicios a partir de una información que, siendo incompleta o limitada, incluya reflexiones sobre las responsabilidades sociales y éticas vinculadas a la aplicación de sus conocimientos y juicios.

CB04: Que los estudiantes sepan comunicar sus conclusiones—y los conocimientos y razones últimas que las sustentan—a públicos especializados y no especializados de un modo claro y sin ambigüedades.

CB05: Que los estudiantes posean las habilidades de aprendizaje que les permitan continuar estudiando de un modo que habrá de ser en gran medida autodirigido o autónomo.

1.3.2 Competencias Generales

Las Competencias Generales son las recogidas en la Orden Ministerial CIN/355/2009 (BOE del 20 de febrero de 2009), por la que se establecen los requisitos para la verificación de los títulos universitarios oficiales que habiliten para el ejercicio de la profesión de Ingeniero de Telecomunicación [1]. De estas competencias generales, las siguientes pertenecen al módulo al que pertenece la asignatura, de acuerdo con la Memoria de Verificación del Título:

CG01: Capacidad para proyectar, calcular y diseñar productos, procesos e instalaciones en todos los ámbitos de la ingeniería de telecomunicación.

CG04: Capacidad para el modelado matemático, cálculo y simulación en centros tecnológicos y de ingeniería de empresa, particularmente en tareas de investigación, desarrollo e innovación en todos los ámbitos relacionados con la Ingeniería de Telecomunicación y campos multidisciplinares afines.

CG06: Capacidad para la dirección general, dirección técnica y dirección de proyectos de investigación, desarrollo e innovación, en empresas y centros tecnológicos

CG07: Capacidad para la puesta en marcha, dirección y gestión de procesos de fabricación de equipos electrónicos y de telecomunicaciones, con garantía de la seguridad para las personas y bienes, la calidad final de los productos y su homologación.

CG08: Capacidad para la aplicación de los conocimientos adquiridos y resolver problemas en entornos nuevos o poco conocidos dentro de contextos más amplios y multidisciplinares, siendo capaces de integrar conocimientos.

CG09: Capacidad para comprender la responsabilidad ética y la deontología profesional de

la actividad de la profesión de Ingeniero de Telecomunicación.

CG11: Capacidad para saber comunicar (de forma oral y escrita) las conclusiones—y los conocimientos y razones últimas que las sustentan—a públicos especializados y no especializados de un modo claro y sin ambigüedades.

CG12: Poseer habilidades para el aprendizaje continuado, autodirigido y autónomo.

CG13: Conocimiento, comprensión y capacidad para aplicar la legislación necesaria en el ejercicio de la profesión de Ingeniero de Telecomunicación.

1.3.3 Competencias Transversales

La Memoria de Verificación del título incluye las competencias transversales establecidas por la *European Network for Accreditation of Engineering Education* (ENAE) para la acreditación EUR-ACE® de programas de Ingeniería. Se describen a continuación las competencias transversales que la Memoria de Verificación establece para el módulo “*Tecnologías de telecomunicación*”. Estas competencias, debido a que son opcionales en los planes de estudios en España, pueden solapar con otras competencias básicas o generales.

Desde la CT01 a la CT05 consisten en “*demostrar las competencias genéricas de los graduados de primer ciclo a un nivel superior característico del nivel de máster, en concreto:*”

CT01: Funcionar de forma efectiva tanto de forma individual como en equipo.

CT02: Utilizar distintos métodos para comunicarse de forma efectiva con la comunidad de ingenieros y con la sociedad en general.

CT05: Reconocer la necesidad y tener la capacidad para desarrollar voluntariamente el aprendizaje continuo.

Mientras que las competencias CT06 y CT07 son específicas del nivel de máster¹:

CT07: Trabajar y comunicarse eficazmente en contextos nacionales e internacionales.

1.3.4 Competencias Específicas

Al igual que las competencias generales, las competencias específicas también están recogidas en la Orden Ministerial CIN/355/2009 (BOE del 20 de febrero de 2009), por la que se establecen los requisitos para la verificación de los títulos universitarios oficiales que habiliten para el ejercicio de la profesión de Ingeniero de Telecomunicación [1]. No obstante, la Escuela ha optado por añadir una competencia específica de Centro, sobre emprendimiento. Se describen a continuación las competencias específicas que, de acuerdo con la Memoria de Verificación del título, pertenecen a la asignatura:

CET10: Capacidad para diseñar y fabricar circuitos integrados.

CET11: Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.

¹La competencia CT06 no se muestra aquí al no ser una competencia del módulo “*Tecnologías de Telecomunicación*”, al que pertenece la asignatura.



CET12: Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.

La CET10 es compartida con la asignatura *Diseño de Circuitos y Sistemas Electrónicos para Comunicaciones*. Debido a que dicha asignatura se centra más en la microelectrónica analógica, en *Electrónica Digital para Comunicaciones* no tiene sentido entrar en las partes de diseño analógico o procesos de fabricación, sino complementar la competencia con diseño avanzado y verificación de circuitos digitales.

La CET11 es exclusiva de *Electrónica Digital para Comunicaciones*. Es necesario pues darle más peso a esta competencia en la asignatura.

La CET12 es compartida con *Diseño de Circuitos y Sistemas Electrónicos para Comunicaciones*, con *Tecnologías de Planificación de Sistemas de Radiocomunicación* y con *Comunicaciones Ópticas*. De esta competencia nos centraremos entonces en el uso de dispositivos lógicos programables (FPGA) y el diseño de sistemas electrónicos avanzados, tomando como caso de estudio el diseño de un sistema de comunicaciones y sus componentes.

1.4 Resultados del aprendizaje

La Memoria de Verificación del título también incluye resultados del aprendizaje, siguiendo las recomendaciones del documento de ANECA “*Guía de apoyo para la redacción, puesta en práctica y evaluación de los Resultados del Aprendizaje*” [8]. De acuerdo con la Memoria de Verificación, en el módulo “*Tecnologías de Telecomunicación*” al que pertenece la asignatura, aparecen todos los resultados del aprendizaje de la titulación, con la excepción del RdA18. Se enumeran a continuación los resultados del aprendizaje del módulo:

Conocimiento y comprensión

RdA01: Profundo conocimiento y comprensión de los principios de su especialidad.

RdA02: Conciencia crítica de los conocimientos de vanguardia de su especialidad.

Análisis en ingeniería

RdA03: Capacidad para resolver problemas fuera de las pautas estándar de su rama de ingeniería, definidos de forma incompleta o que tienen especificaciones inconsistentes.

RdA04: Capacidad de formular y resolver problemas en nuevas áreas emergentes de su especialidad.

RdA05: Capacidad de utilizar su conocimiento y la comprensión adecuada para conceptualizar modelos, sistemas y procesos de ingeniería.

RdA06: Competencia para aplicar métodos innovadores en la resolución de problemas.



Proyectos de ingeniería

RdA07: Capacidad de utilizar su conocimiento y comprensión para aportar soluciones a problemas que involucren conocimientos más allá de los propios de su disciplina.

RdA08: Capacidad creativa para desarrollar ideas y métodos nuevos y originales.

RdA09: Capacidad de utilizar su juicio para trabajar con información incompleta, compleja e incertidumbre técnica.

Investigación e innovación

RdA10: Capacidad de identificar, encontrar y obtener datos.

RdA11: Capacidad para diseñar y llevar a cabo investigaciones basadas en el análisis, la modelización y los datos experimentales.

RdA12: Capacidad de analizar de forma crítica los datos y llegar a conclusiones.

RdA13: Capacidad de investigar la aplicación de nuevas tecnologías de su rama de ingeniería.

Práctica de la ingeniería

RdA14: Capacidad de integrar conocimiento de diferentes campos y manejar su complejidad.

RdA15: Conocimiento integral de métodos y técnicas aplicables y de sus limitaciones.

RdA16: Conocimiento de todas las implicaciones de la práctica de la ingeniería.

Competencias transversales

RdA17: Demostrar las competencias genéricas de los graduados de primer ciclo (CT01 a CT05) a un nivel superior característico del nivel de máster.

RdA19: Trabajar y comunicarse eficazmente en contextos nacionales e internacionales.



Reseña metodológica y bibliográfica

2.1 Objetivos docentes

A continuación se plantean los objetivos docentes que el alumno debe alcanzar en la asignatura:

O1: Profundizar en el conocimiento y aplicación de Lenguajes de Descripción Hardware para diseño y modelado de circuitos digitales.

O2: Conocer y saber aplicar técnicas avanzadas de verificación funcional de circuitos digitales.

O3: Conocer y saber aplicar técnicas de verificación formal de circuitos digitales.

O4: Conocer la arquitectura interna de los dispositivos FPGA (Field Programmable Gate Array) actuales.

O5: Ser capaz de utilizar IP cores para diseño y librerías de verificación proporcionados por terceros.

O6: Ser capaz de diseñar y verificar módulos digitales de procesamiento de señal.

O7: Aplicar de manera integrada los conocimientos de la asignatura mediante la realización y exposición de un proyecto de diseño digital para comunicaciones real.

La tabla 2.1 muestra la relación entre los objetivos docentes de la asignatura y las competencias básicas, generales, transversales y específicas, así como los resultados del aprendizaje.

2.2 Bloques temáticos

Para alcanzar los objetivos anteriormente mencionados, se organizan los contenidos de la asignatura en los siguientes bloques temáticos:

BT01: Componentes y sistemas digitales para comunicaciones. Se estudiarán las arquitecturas e implementaciones eficientes de bloques básicos en sistemas de comunicaciones digitales. Se profundizará en la arquitectura de los dispositivos FPGA.

BT02: Lenguajes de Descripción Hardware. Conceptos avanzados de VHDL y conceptos aplicables, por su utilidad, a los sistemas de comunicaciones digitales. Nociones de lenguaje Verilog.

Tabla 2.1: Competencias y resultados del aprendizaje en relación a los objetivos docentes.

Objetivo docente	CB	CG	CT	CET	RdA
O1: Profundizar en el conocimiento y aplicación de Lenguajes de Descripción Hardware para diseño y modelado de circuitos digitales.	1, 5	1, 4, 12	1, 5	10, 11	1, 4, 11
O2: Conocer y saber aplicar técnicas avanzadas de verificación funcional de circuitos digitales.	1, 5	1, 4, 7, 12	1, 5	10, 11	2, 4, 8, 11, 15
O3: Conocer y saber aplicar técnicas de verificación formal de circuitos digitales.	1, 5	1, 7, 12	1, 5	10, 11	2, 4, 6, 13, 15
O4: Conocer la arquitectura interna de los dispositivos FPGA (Field Programmable Gate Array) actuales.	1	1	7	12	1, 2, 4, 10, 19
O5: Ser capaz de utilizar IP cores para diseño y librerías de verificación proporcionados por terceros.	5	12	1, 5, 7	12	9, 10, 14, 19
O6: Ser capaz de diseñar y verificar módulos digitales de procesamiento de señal.	2	1, 4	1	12	1, 3, 5, 11, 12, 14, 15
O7: Aplicar de manera integrada los conocimientos de la asignatura mediante la realización y exposición de un proyecto de diseño digital para comunicaciones real.	1, 2, 4, 5	1, 4, 8, 11, 12	1, 2, 5, 7	12	1-17

BT03: Verificación funcional y formal de circuitos digitales. Cómo se estructura un testbench avanzado y qué conceptos intervienen en el mismo. Métricas de verificación. Qué es la verificación formal. Descripción de propiedades y suposiciones sobre un circuito. Manejo de las herramientas.

BT04: Proyecto de diseño y verificación de un emisor y receptor digital, en el que se pondrán en práctica los conceptos vistos en los otros bloques de la asignatura, enfocados a un proyecto real.

2.3 Actividades docentes y formativas

En la Memoria de Verificación [5] se establece una clasificación de las asignaturas en dos tipos: asignaturas expositivas, en las que predominan las clases expositivas y participativas frente al resto de actividades presenciales, como prácticas y aprendizaje cooperativo, y las asignaturas prácticas, en las que las clases expositivas y participativas tienen menor peso en la asignatura que

el resto de actividades presenciales, como pueden ser las prácticas y el aprendizaje cooperativo.

Esta asignatura se plantea, pues, como una asignatura práctica, con mayor peso de prácticas y aprendizaje cooperativo.

La Memoria de Verificación también establece una presencialidad en las materias del máster de 8 horas por crédito, pudiendo ésta reducirse hasta un mínimo de 4 horas por crédito. Para esta asignatura, se adopta una presencialidad de 8 horas por crédito, quedando 17 horas por crédito para el trabajo no presencial del alumno.

También en la Memoria de Verificación se enumeran las actividades formativas que se contemplan para las asignaturas, que son:

1. Clases expositivas / participativas
2. Prácticas
3. Actividades de aprendizaje cooperativo
4. Realización de proyectos en grupo
5. Estudio y trabajo autónomo del estudiante

Siendo las tres primeras actividades presenciales, y las dos últimas no presenciales. En la asignatura confluyen los 5 tipos de actividades.

La tabla 2.2 muestra el desglose de las actividades formativas por horas presenciales, horas de trabajo autónomo, créditos ECTS y porcentaje del tiempo total de la asignatura. El Reglamento General de Actividades Docentes de la Universidad de Sevilla, en su artículo 58.2, establece que “Las actividades de evaluación continua presenciales se realizarán siempre dentro del horario lectivo de la asignatura fijado en su plan de organización docente” [6], por lo que se reserva tiempo dentro de estas horas lectivas presenciales para realizar el examen de teoría de evaluación continua y la presentación del trabajo de curso.

Tabla 2.2: Actividades formativas.

Actividades formativas	Horas presenciales	Horas trabajo autónomo	Créditos ECTS	%
Clases expositivas	12			
Examen de teoría de evaluación continua	1	12	1	20
Clases prácticas	14	11	1	20
Actividades de aprendizaje en cooperación y de apoyo a la realización de proyecto	12			
Presentación del trabajo de la asignatura	1	62	3	60
Total	40	85	5	100



2.3.1 Clases expositivas

La parte teórica de la asignatura se encuentra dividida en 8 temas, como se indica en la tabla 2.3. Como se puede ver en la tabla, se concentran las clases teóricas en las primeras semanas del cuatrimestre, ya que los conocimientos impartidos serán necesarios durante las sesiones prácticas.

Tabla 2.3: Clases expositivas y su distribución temporal.

Clases expositivas	Horas	Semana
<i>BT01: Componentes y sistemas digitales para comunicaciones</i>	2.5	-
Tema 1: Introducción al diseño digital de sistemas de comunicaciones	1.5	1
Tema 2: Arquitectura de FPGAs avanzadas	1	1
<i>BT02: Lenguajes de descripción hardware</i>	4.5	-
Tema 3: VHDL avanzado	1.5	1–2
Tema 4: VHDL para procesado de señal	2	2
Tema 5: Verilog para diseñadores de VHDL	1	2–3
<i>BT03: Verificación funcional y formal de circuitos digitales</i>	5	-
Tema 6: Capacidades de verificación funcional en circuitos digitales	2	3
Tema 7: Métodos de verificación formal para circuitos digitales	2	4
Tema 8: Diseño de planes de pruebas	1	4
Total	12	4

2.3.2 Sesiones prácticas

El objetivo de las sesiones prácticas es triple. El primer objetivo es afianzar y consolidar los conceptos vistos en teoría poniéndolos en práctica. El segundo objetivo es trabajar el manejo de las herramientas software. El tercer objetivo es situar a los alumnos en una condición ventajosa de cara a la realización del trabajo de curso, tanto por el hecho de que ya habrán completado algunos bloques del mismo, como por el hecho de que tendrán definida una metodología para diseñar y verificar el resto de bloques y el sistema completo.

La tabla 2.4 muestra las sesiones prácticas junto con su duración en horas y su distribución temporal. Estas sesiones tendrán lugar desde la semana 5 a la 9 inclusive. Durante las sesiones prácticas se trabajará con bloques constituyentes del trabajo de curso. Las prácticas no aparecen divididas en bloques temáticos puesto que consisten en aplicar los conceptos de los bloques temáticos 2 y 3 a los conceptos del bloque temático 1.



Tabla 2.4: Sesiones prácticas y su distribución temporal.

Sesiones prácticas	Horas	Semana
Práctica 1: Creación de un testbench estructurado en VHDL	3	5
Práctica 2: Integración de testbenches con octave	2	6
Práctica 3: Verificación formal: chequeo de modelos acotados	3	7
Práctica 4: Verificación formal: inducción en el tiempo (k-induction)	3	8
Práctica 5: Automatización de simulaciones de sistemas complejos	2	9
Práctica 6: Herramientas de síntesis, implementación y configuración	1	9
Total	14	5-9

2.3.3 Trabajo no presencial

Una de las intenciones que tiene este programa es la de distribuir las horas no presenciales del alumnado de manera más uniforme a lo largo del cuatrimestre. En teoría, estas horas no presenciales deberían repartirse uniformemente, pero la experiencia en cursos anteriores impartiendo la asignatura demuestra que en general esto no ocurre, por lo que las horas de trabajo se acumulan en su mayoría al final del cuatrimestre. Habiéndose detectado esta situación, se propone una planificación aproximada del trabajo no presencial del alumno para mitigar este problema, la cual se ha incorporado a la planificación temporal de la asignatura, en la tabla 2.5.

2.3.4 Actividades de aprendizaje en cooperación y de apoyo a la realización del trabajo de curso

La asignatura está orientada en su concepción hacia la realización de un trabajo de curso que ponga en práctica los conceptos vistos para conseguir la realización de un sistema de comunicaciones real. Durante el trabajo, los estudiantes tendrán que trabajar y organizarse como un equipo, interpretar las especificaciones del sistema a desarrollar y comprender e integrar módulos desarrollados por terceros.

2.4 Planificación temporal

Si bien el Reglamento General de Actividades Docentes indica, en su Artículo 31, que “*El periodo lectivo de impartición de clases [. . .] será de 30 semanas, 15 en cada cuatrimestre*” [6], en la Escuela Técnica Superior de Ingeniería tradicionalmente se ha venido reduciendo este periodo por necesidades organizativas a 14 semanas. El calendario académico del curso 2019–2020 de la ETSI muestra un calendario de 14 semanas por cuatrimestre para los grados y de 13 semanas por cuatrimestre para los másteres. Es por esta razón por la que se realiza una

planificación de la asignatura que refleja la imposibilidad de disponer de 15 semanas lectivas en cualquier caso. Para paliar la incertidumbre causada por el hecho de que dependiendo del curso pueda haber 14 o 13 semanas de clase, se ha planificado la asignatura de forma que en la última semana se realicen las presentaciones de los trabajos, que serán más fácilmente reorganizables en caso de cambios organizativos provenientes de la dirección de la Escuela. De esta forma, se considera que se dispondrán, para actividades presenciales, de 3 horas semanales durante 13 semanas, y una última hora durante la semana 14. La tabla 2.5 muestra la planificación temporal de la asignatura completa.

Tabla 2.5: Planificación temporal de la asignatura, incluyendo sugerencia de trabajo no presencial para el alumnado. T: Teoría, P: Prácticas, Ap. coop.: aprendizaje cooperativo y de apoyo a la realización del proyecto.

Semana	Presencial (3h)	Autónomo (6.54h)
1	T 1–3	Estudio autónomo, diseño bloques octave
2	T 3–4	Estudio autónomo, diseño bloques octave
3	T 5–6	Estudio autónomo, diseño bloques octave
4	T 7–8	Estudio autónomo, diseño bloques octave, lectura P 1
5	P 1	Estudio autónomo, diseño octave, lectura P 2, trabajar P 1
6	Examen T, P 2	Lectura P 3, trabajar P 2
7	P 3	Lectura P 4, trabajar P 3
8	P 4	Lectura P 5–6, trabajar P 4
9	P 5–6	Desarrollo proyecto, trabajar P 5–6
10	Ap. coop.	Desarrollo proyecto
11	Ap. coop.	Desarrollo proyecto
12	Ap. coop.	Desarrollo proyecto
13	Ap. coop.	Desarrollo proyecto, memoria y presentación
14	Presentación (1h)	

2.5 Reseña bibliográfica

A continuación se indican las referencias bibliográficas que apoyan los contenidos de la asignatura. En la sección 3.1 se desglosa la bibliografía por temas.

Comunicaciones digitales

1. Engels, M., *Wireless OFDM Systems: How to make them work?* Springer, 2002, ISBN: 978-0-306-47685-3



2. Oria Oria, A. C., “Sistemas OFDM: DVB-H y DVB-SH”, en *Contribución a los algoritmos de Estimación de canal y Cancelación de ICI en sistemas DVB-H y DVB-SH*, Tesis Doctoral. Director: Vicente Baena Lecuyer, dic. de 2009, cap. 3, págs. 51-78
3. Bahai, A. R. S., Saltzberg, B. R., *Multi-Carrier Digital Communications: Theory and Applications of OFDM*. Kluwer Academic Publishers, 2002, ISBN: 0-306-46296-6
4. Schiff, M., *Introduction to Communication Systems Simulation*. Artech House, 2006, ISBN: 1-59693-002-0
5. Viswanathan, M., *Simulation of Digital Communication Systems using Matlab*. Amazon, 2013

Dispositivos lógicos programables

6. Woods, R., McAllister, J., Lightbody, G., Yi, Y., *FPGA-based Implementation of Signal Processing Systems*. Wiley, 2017, ISBN: 9781119077954
7. Rodríguez Andina, J. J., de la Torre Arnanz, E., Valdés Peña, M. D., *FPGAs: Fundamentals, Advanced Features, and Applications in Industrial Electronics*. CRC Press, 2017, ISBN: 9781439896990
8. Keating, M., Bricaud, P., *Reuse Methodology Manual for System-on-a-Chip Designs*. Kluwer Academic, 2002, ISBN: 9780306476402

Lenguajes de descripción hardware

9. Mealy, B., Tappero, F., *Free range VHDL*, 1.21. Free Range Factory, 2018
10. *The VHDL Golden Reference Guide*. Doulos, 1995
11. Jasinski, R., *Effective Coding with VHDL: principles and best practice*. The MIT Press, 2016, ISBN: 9780262034227
12. Wilson, P. R., *Design Recipes for FPGAs using Verilog and VHDL*, 2.^a ed. Elsevier, 2016, ISBN: 978-0-08-097129-2
13. Sutherland, S., Mills, D., *Verilog and SystemVerilog Gotchas: 101 Common Coding Errors and How to Avoid Them*. Springer, 2007, ISBN: 978-0-387-71714-2
14. Botros, N., *HDL with Digital Design: VHDL and Verilog*. Mercury Learning and Information, 2015, ISBN: 978-1-938549-81-6

Verificación

15. Salemi, R., *FPGA Simulation: A Complete Step-by-Step Guide*. Boston Light Press, 2009, ISBN: 978-0974164908
16. Seligman, E., Schubert, T., Achutha Kiran Kumar, M. V., *Formal Verification: An Essential Toolkit for Modern VLSI Design*. Elsevier, 2015, ISBN: 978-0-12-800727-3
17. Gisselquist, D. E., *An Introduction to Formal Methods*. dirección: <http://zipcpu.com/tutorial/class-vhdl.pdf>
18. Brinkmann, R., Kelf, D., “Formal Verification—The Industrial Perspective”, en *Formal System Verification: State-of-the-Art and Future Trends*, R. Drechsler, ed., Springer, 2018,



cap. 5, págs. 155-182, ISBN: 978-3-319-57683-1



Temario detallado

3.1 Contenidos teóricos

3.1.1 BT01: Componentes y sistemas digitales para comunicaciones

Tema 1: Introducción al diseño digital de sistemas de comunicaciones

Descripción

Se realiza una introducción a la asignatura y se describe el sistema que se implementará a lo largo del cuatrimestre. Adicionalmente se impartirán unas nociones sobre diseño eficiente de bloques de procesamiento digital de señal. Todos los conceptos están orientados a la realización del trabajo de curso.

Objetivos

- Conocer el papel de las comunicaciones digitales en el actual contexto tecnológico de las Tecnologías de la Información y Comunicaciones.
- Conocer el diseño a nivel de grandes bloques del trabajo de curso.
- Saber plantear el diseño hardware de un bloque de procesamiento de señal de acuerdo a criterios de área y tiempo de procesamiento.

Contenidos

- Tendencias en comunicaciones digitales
- Descripción del sistema a implementar
- Diseño de bloques digitales de procesamiento de señal
- Throughput y latencia
- Pipeline
- Optimización en tiempo y área
- Compartición de recursos

Competencias específicas CET10, CET12

Bibliografía [9]-[14]

Duración 1.5 horas

Tema 2: Arquitectura de FPGAs avanzadas

Descripción

En este tema se realiza una revisión de la arquitectura de los dispositivos FPGA (Field

Programmable Gate Array). También se describe la problemática actual en el diseño de circuitos de gran complejidad y se comentan algunos enfoques posibles para mitigarla.

Objetivos

- Conocer la arquitectura interna de las FPGAs.
- Saber qué es el “*design gap*” y cómo puede mitigarse.
- Conocer las arquitecturas tipo System-on-Chip
- Distinguir entre microprocesador soft-core y hard macro.

Contenidos

- Arquitectura de una FPGA
- Bloques constituyentes
- Configurabilidad
- El “*design gap*”
- FPGAs como System-on-Chip
- Procesadores soft-core y hard macro
- Diseño con IP cores

Competencias específicas CET12

Bibliografía [15], [16]

Duración 1 hora

3.1.2 BT02: Lenguajes de Descripción Hardware

Tema 3: VHDL avanzado

Descripción

Conceptos de VHDL más allá de las descripciones utilizando vectores y operaciones lógicas, aritméticas y secuenciales. Abstracción en la descripción hardware respetando las particularidades de la síntesis lógica.

Objetivos

- Ampliar el vocabulario de sentencias y palabras claves en VHDL.
- Familiarizarse con el potencial de VHDL para elevar el nivel de abstracción en diseño, sin perder de vista el comportamiento en síntesis.
- Adquirir capacidades para reducir la duplicidad de código e incrementar su reutilizabilidad.

Contenidos

- Motivación
- Records
- Funciones y procedimientos
- Sentencias for y generate
- Paquetes y librerías
- std_ulogic versus std_logic
- Versiones del estándar



Competencias específicas CET10, CET11, CET12

Bibliografía [17]-[19]

Duración 1.5 horas

Tema 4: VHDL para procesamiento de señal

Descripción

Revisión de las capacidades del lenguaje VHDL para procesamiento de señal.

Objetivos

- Conocer las capacidades del lenguaje VHDL para procesamiento de señal.
- Evitar fallos comunes a la hora de determinar los tipos de datos a utilizar en un diseño digital de procesamiento de señal.
- Determinar cuándo es necesario utilizar datos de tipo flotante y cuándo no.
- Conocer diferencias de comportamiento entre síntesis y simulación de algunas construcciones típicas del lenguaje.

Contenidos

- Integers y booleanos
- Punto fijo y punto flotante
- Tipos complejos
- Diseño de interfaces
- Filtros y etapas
- FIFOs y memorias

Competencias específicas CET10, CET11, CET12

Bibliografía [17]-[19]

Duración 2 horas

Tema 5: Verilog para diseñadores de VHDL

Descripción

Este tema es una introducción al lenguaje de descripción hardware Verilog. Se explicarán los conceptos más importantes del mismo, relacionándolos con sus equivalentes en VHDL.

Objetivos

- Tener un primer contacto con el lenguaje Verilog.
- Conocer las diferencias entre Verilog y VHDL.
- Ser capaz de describir módulos sencillos en Verilog.
- Ser capaz de comprender módulos descritos en Verilog por terceros.

Contenidos

- Motivación
- Introducción
- Versiones del estándar

- Tipado débil frente a tipado fuerte
- Módulos
- Tipos de datos
- Asignaciones
- Operaciones aritméticas y lógicas
- Bloques always
- Bloques initial
- Assertions
- Instanciación de módulos

Competencias específicas CET10, CET11, CET12

Bibliografía [20]-[22]

Duración 1 hora

3.1.3 BT03: Verificación funcional y formal de circuitos digitales

Tema 6: Capacidades de verificación funcional en circuitos digitales

Descripción

En este tema se profundiza en los conceptos necesarios para construir un banco de pruebas o testbench estructurado, capaz de realizar una verificación en profundidad de un módulo o sistemas.

Objetivos

- Conocer las limitaciones de los testbenches clásicos.
- Conocer las métricas de verificación más comunes, como pueden ser el alcance de código y el alcance funcional.
- Comprender el concepto de modelado a nivel de transacción.
- Adquirir las capacidades conceptuales para construir paso a paso un testbench estructurado.

Contenidos

- Definición
 - Motivación
 - Test dirigido
 - Code coverage
 - Assertions
 - Modelado a nivel de transacción
 - Self-checking testbenches
 - Estímulos automáticos
 - Functional coverage
-

Competencias específicas CET10, CET11, CET12

Bibliografía [23]

Duración 2 horas

Tema 7: Métodos de verificación formal para circuitos digitales

Descripción

En este tema se realiza una introducción a los métodos formales para verificación de circuitos digitales.

Objetivos

- Comprender las limitaciones de la verificación basada en testbenches.
- Conocer las capacidades y limitaciones de la verificación formal.
- Saber describir las suposiciones de un circuito al respecto de sus entradas.
- Saber describir las propiedades de un circuito al respecto de sus salidas y estados internos.
- Comprender los métodos Bounded Model Checking y k-induction.

Contenidos

- Motivación
- Definición
- Propiedades y suposiciones
- Propiedades multi-ciclo
- Bounded Model Checking
- k-induction
- Cover
- Equivalence Checking

Competencias específicas CET10, CET11, CET12

Bibliografía [24]-[26]

Duración 2 horas

Tema 8: Diseño de planes de pruebas

Descripción

En este tema se expone una metodología para diseñar planes de pruebas para circuitos digitales.

Objetivos

- Ser capaz de analizar la descripción o especificaciones de un diseño para extraer una lista de funcionalidades a probar.
- Saber desarrollar un plan de pruebas para un bloque o sistema digital.
- Conocer las diferencias entre tests unitarios y tests a nivel de sistema.

Contenidos

- Motivación



- Funcionalidad del diseño a probar
- Transacciones y operaciones
- Lista de funcionalidades
- Estímulos de entrada
- Respuestas de salida
- Lista de tests
- Tests unitarios
- Tests de sistemas complejos

Competencias específicas CET10, CET12

Bibliografía [23]

Duración 1 hora

3.2 Sesiones prácticas

3.2.1 Práctica 1: Creación de un testbench estructurado en VHDL

Contenido: Creación de un testbench estructurado utilizando las librerías de verificación UVVM (Universal VHDL Verification Methodology) y OSVVM (Open Source VHDL Verification Methodology) para uno de los bloques del trabajo de curso.

Criterios de evaluación: Funcionamiento correcto del testbench y comprensión de los conceptos.

3.2.2 Práctica 2: Integración de testbenches con octave

Contenido: Integración de una simulación del simulador GHDL con un programa octave, de forma que desde octave se generen los ficheros de entrada y salida esperada que utilizará el testbench descrito en VHDL. Se simulará uno de los bloques constituyentes del trabajo de curso contra su modelo octave.

Criterios de evaluación: Funcionamiento correcto y comprensión de los conceptos.

3.2.3 Práctica 3: Verificación formal: chequeo de modelos acotados

Contenido: Durante la práctica se aplicarán técnicas de verificación formal a uno de los bloques del trabajo de curso. Se describirán las propiedades del circuito y las suposiciones sobre sus entradas y se ejecutará un chequeo de modelo acotado utilizando la herramienta *sby* (SymbiYosys).

Criterios de evaluación: Adecuación de las propiedades y suposiciones. Comprensión de los conceptos.



3.2.4 Práctica 4: Verificación formal: inducción en el tiempo (k-induction)

Contenido: Extender la verificación formal del bloque analizado durante la práctica anterior para realizar una demostración de inducción en el tiempo.

Criterios de evaluación: Adecuación de las propiedades y suposiciones. Comprensión de los conceptos.

3.2.5 Práctica 5: Automatización de simulaciones de sistemas complejos

Contenido: Se extenderá el modelo de la práctica 3 a un modelo del sistema completo a desarrollar durante el trabajo de curso. Se aplicarán técnicas de generación de estímulos aleatorios con restricciones (*constrained random*) utilizando octave.

Criterios de evaluación: Funcionamiento de las simulaciones integradas. Facilidad para intercambiar datos entre módulos descritos en octave y los testbenches de los módulos VHDL.

3.2.6 Práctica 6: Herramientas de síntesis, implementación y configuración

Contenido: Se realizará una introducción al toolchain libre para implementación en FPGA: *yosys*, *nextpnr* y *icestorm*. Se configurará un diseño sencillo en la tarjeta IceBreaker utilizando *iceprog*.

Criterios de evaluación: Configuración correcta de la FPGA y modificaciones al diseño.

3.3 Trabajo de curso

El trabajo de curso se realizará por equipos de trabajo. Desde el primer día de clase los alumnos conocerán las especificaciones del sistema que deben desarrollar y, como parte del trabajo autónomo de la asignatura deben desarrollar los modelos octave/Matlab de los distintos submódulos de dicho sistema.

Se diseñarán un transmisor y un receptor de comunicaciones, en el que el procesado en banda base se realizará en una FPGA (en particular, se utilizará la tarjeta IceBreaker [27], que dispone de una FPGA Lattice iCE40UP5k [28]) y la conversión a radiofrecuencia y a banda base la realizará una tarjeta de expansión PMOD (“*Peripheral Module*”) SX1257 [29]. Las especificaciones del sistema—particularmente el procesado en banda base: modulación utilizada, esquemas de detección y corrección de errores, o algoritmos para decodificación—pueden cambiar entre cursos académicos.

Los bloques de mayor complejidad del sistema, como pueden ser bloques FFT/iFFT, correladores o decodificadores Viterbi serán proporcionados a los alumnos como IP cores que deberán integrar en el resto del sistema.

La dificultad del trabajo se puede ecualizar si fuera necesario proporcionando a los equipos más bloques terminados o eliminando la obligatoriedad de desarrollar uno de los extremos de

la comunicación: por ejemplo, si durante un curso hubiera alumnos que de alguna manera no hubieran cursado la asignatura de nivelación *Complementos de Electrónica* u otra equivalente y necesitaran una adaptación curricular, estos alumnos podrían realizar únicamente el transmisor y conectarlo a un receptor funcional.

Al final del periodo lectivo de la asignatura los alumnos deben entregar una memoria y realizar una presentación breve, así como mostrar el sistema funcionando y responder a las preguntas que los profesores quieran plantearles al respecto del trabajo de curso.



Sistema y criterios de evaluación y calificación

4.1 Métodos de evaluación

Dado que estamos ante una asignatura de naturaleza principalmente práctica, se plantean los siguientes métodos de evaluación:

Examen de teoría: dos semanas después de la última clase de teoría se realizará un examen de 1h aproximada de duración sobre los contenidos teóricos de la asignatura. El examen podrá contener cuestiones breves y preguntas tipo test.

Evaluación continua de las prácticas: durante el desarrollo de las sesiones prácticas de la asignatura, se valorarán la asistencia, la consecución de los objetivos, y la capacidad del alumno de generar y prototipar ideas para adaptar los conceptos aprendidos al trabajo de curso.

Evaluación del trabajo de curso: del trabajo de curso se evaluarán diferentes aspectos, tales como las funcionalidades conseguidas, la calidad de la solución implementada, la calidad de la verificación de la solución, la memoria entregada, la presentación oral y la propia organización del equipo.

Examen de contenidos teórico-prácticos: en las convocatorias oficiales, al no poder realizarse actividades de evaluación continua, se realizará un examen de contenidos teórico-prácticos, en el que los contenidos teóricos se evaluarán mediante una prueba escrita, mientras que los contenidos prácticos se evaluarán mediante un examen práctico utilizando medios informáticos.

4.2 Sistemas y criterios de evaluación

Debido a que estamos ante una asignatura práctica, la Memoria de Verificación del título nos indica que los exámenes tienen una ponderación máxima de un 30 % y las presentaciones, trabajos e informes tienen una ponderación mínima de un 70 %. En la asignatura se ponderarán las partes teórica y práctica con el mismo peso con el que están distribuidas sus horas, es decir, con un 20 % la parte teórica y un 80 % la parte práctica.

Ya que la evaluación continua es un sistema que se realiza con carácter previo a las fechas de las convocatorias oficiales, es necesario discernir entre el sistema de evaluación continua y el de examen final, por lo que esta asignatura considerará ambos. El sistema de evaluación continua

estará vigente durante el periodo lectivo de la asignatura, mientras que el sistema de examen final se aplicará en las convocatorias oficiales.

A continuación se describen los dos sistemas de evaluación de la asignatura, con los criterios por los que se calificará al alumno.

4.2.1 Evaluación continua

Evaluación de los contenidos teóricos (20 %): Se realizará un examen de evaluación continua de teoría durante el cuatrimestre. Dicho examen elimina materia si el alumno debe acudir a la siguiente convocatoria oficial.

Evaluación continua de las prácticas (20 %):

- **Asistencia (5 %):** Se valorará la asistencia a las sesiones prácticas con una cuarta parte de la nota de prácticas.
- **Consecución de objetivos (10 %):** La consecución de los objetivos indicados en el enunciado de las prácticas comprenderá la mitad de la nota de prácticas. No será posible obtener la nota máxima en este apartado si se consiguen los objetivos más de una semana después de la realización de la práctica.
- **Adaptación de los conceptos al trabajo de curso (5 %):** El alumno podrá realizar ampliaciones y expansiones sobre las prácticas, de cara a facilitarse el desarrollo del trabajo de curso. Esto se valorará con la cuarta parte de la nota de prácticas.

Proyecto de curso (60 %):

- **Funcionalidades conseguidas (15 %):** Se valorará qué porcentaje del sistema completo funciona correctamente.
- **Metodología de diseño (10 %):** Se valorará la calidad, creatividad y eficiencia de las soluciones implementadas. Se penalizará la existencia de elementos no deseados como latches y listas de sensibilidad incompletas.
- **Metodología de verificación (15 %):** Se valorará la calidad de la verificación realizada, el uso de técnicas como test aleatorio, el uso de métricas como Code Coverage y Functional Coverage, y el uso de técnicas de verificación formal.
- **Organización del equipo (5 %):** Se valorará que el equipo trabaje de manera constante y planificada hacia sus objetivos, así como la capacidad del equipo de establecer formas de trabajar eficientes.
- **Memoria (10 %):** Se valorará la calidad de la documentación entregada.
- **Presentación oral (5 %):** Se valorarán las capacidades expositivas de los alumnos y su capacidad de responder con soltura a las preguntas de los profesores.
- Se podrá penalizar o bonificar la nota de los trabajos en equipo de acuerdo a la aportación de cada miembro del mismo al proyecto, en los casos en los que estas aportaciones sean



notablemente dispares.

Para superar la asignatura será necesario obtener una calificación de 5 o superior en cada una de las tres evaluaciones (examen de teoría, prácticas y trabajo de curso).

4.2.2 Examen final

En caso de no superar la evaluación continua, en las convocatorias oficiales se realizará un examen de contenido teórico-práctico, manteniendo la misma ponderación entre las partes teórica y práctica:

- **Contenidos teóricos (20 %):** Se realizará un examen escrito en el que se evalúen los contenidos teóricos.
- **Contenidos prácticos (80 %):** Se realizará un examen de carácter práctico, en el que el alumno deba demostrar conocimiento y capacidad de aplicar con soltura los conceptos prácticos¹.

Si el alumno ha aprobado en la evaluación continua el examen de teoría no estará obligado a examinarse de los contenidos teóricos en las convocatorias oficiales del mismo curso académico, manteniéndose la nota que hubiera obtenido.

Si el alumno ha aprobado las prácticas y el trabajo de curso durante la evaluación continua, no estará obligado a examinarse de los contenidos prácticos en las convocatorias oficiales del mismo curso académico, manteniéndose la nota que hubiera obtenido.

¹Esto se puede conseguir por ejemplo realizando la implementación en octave y VHDL de un bloque de procesamiento de señal de complejidad elevada, junto con su verificación utilizando técnicas avanzadas.

Consideraciones y análisis

El programa propuesto es una modificación extensa de la asignatura que se está impartiendo actualmente y persigue varios **objetivos**:

- Incrementar la orientación práctica de la asignatura, hasta el punto de que toda la teoría y prácticas que se imparten están enfocadas a la realización del trabajo de curso.
- Reorientar el trabajo de curso hacia la implementación de un sistema de radio digital en hardware real, como contraposición a los trabajos basados en simulación que se vienen realizando con anterioridad en la asignatura, pero sin perder de vista la carga de verificación, que es una de las contribuciones principales de conocimientos en diseño microelectrónico de esta asignatura con respecto a los conocimientos impartidos en el Grado.
- Cubrir mejor los descriptores de la asignatura, en particular incrementando el conocimiento de sistemas lógicos programables avanzados y la carga en verificación. Se han preparado 5 temas nuevos que anteriormente no existían: “*Introducción al diseño digital de sistemas de comunicaciones*”, “*Arquitectura de FPGAs avanzadas*”, “*Verilog para diseñadores de VHDL*”, “*Métodos de verificación formal para circuitos digitales*” y “*Diseño de planes de pruebas*”.
- Cubrir de manera más amplia y aplicada las competencias de la asignatura, en particular las relacionadas con la comunicación y trabajo en equipo y las relacionadas con el aprendizaje continuo.
- Incrementar (prácticamente duplicar) la empleabilidad de los alumnos introduciendo nociones de Verilog.
- Aumentar el atractivo de la asignatura, la cual si bien ha sido valorada positivamente por los alumnos desde su creación, el concursante piensa que se puede beneficiar de un mayor enfoque práctico con la realización del nuevo trabajo de curso.
- Aumentar el atractivo del Máster en general, el cual si bien depende de más factores que del atractivo de una asignatura específica, puede verse beneficiado a su vez por las mejoras en ésta.
- Repartir de manera uniforme el número de horas de dedicación no presencial del alumnado a lo largo del desarrollo de la asignatura.
- Fomentar en los alumnos la constancia en el trabajo autónomo, lo cual tiene un doble impacto: facilita el seguimiento de la asignatura por parte de los alumnos e influye positivamente en el *aprendizaje de por vida* tan importante en el EEES. Para esto, el uso de

herramientas de software libre permite a los alumnos seguir aprendiendo independientemente de si siguen siendo alumnos de la Universidad o no, si están trabajando en empresas que pueden costearse las licencias de software o no, o incluso si deciden emprender sus propios negocios.

Por otro lado, el programa aquí propuesto plantea varios **riesgos**:

- El uso de herramientas de software libre podría suponer unas lagunas en el conocimiento de las herramientas propietarias, las cuales la industria puede esperar que los egresados conozcan. Afortunadamente esto ha sido mitigado en el caso de esta asignatura, ya que en varias asignaturas del Máster se realizan sesiones teóricas y prácticas de repaso de Matlab, el cual a su vez el alumno conoce por haber cursado el Grado. De esta forma, en ningún caso el conocimiento de la alternativa libre *octave* detrae del conocimiento y capacidades del alumno, sino que en todo caso lo amplía. Al respecto de las herramientas de diseño con FPGA, los alumnos conocen bien las herramientas del fabricante Xilinx ya que las han utilizado, o bien en la asignatura *Complementos de Electrónica*, o bien en la asignatura *Sistemas Electrónicos de Comunicaciones* de la intensificación *Sistemas Electrónicos*. Adicionalmente, y dependiendo del perfil del alumno, trabajar con herramientas libres puede suponer una motivación extra para ellos. Al respecto de esto, el curso pasado se realizó una experiencia piloto utilizando el simulador libre GHDL, con resultados satisfactorios tanto en satisfacción del alumnado como en aprendizaje y aplicación de conceptos avanzados (muchos de ellos no soportados por el simulador de Xilinx).
- La mayor amplitud de las tareas que tienen que realizar los alumnos podría suponer problemas de falta de tiempo para completar las prácticas y el trabajo de curso de la asignatura. Esto se ha mitigado con la propuesta de planificación temporal del trabajo no presencial que deben hacer los alumnos. Adicionalmente, y como se comentó en la sección 3.3, la dificultad del trabajo se puede equalizar proporcionando a los equipos más bloques terminados.

Como **fortalezas** de la asignatura podemos constatar que:

- Los alumnos llegan a ella con buen nivel tanto de VHDL como de Matlab, independientemente de si cursaron la especialidad de *Sistemas Electrónicos* en el Grado o no.
- La disponibilidad de las herramientas y el hardware les permitirá trabajar de manera ágil durante el curso aunque dispongan de poco tiempo. Las prácticas “*Integración de testbenches con octave*” y “*Automatización de simulaciones de sistemas complejos*” les permitan crear entornos de trabajo ágiles y personalizados a sus necesidades.

Finalmente, como **oportunidad** para la asignatura podemos constatar que, hasta donde conoce el concursante, actualmente no hay ninguna universidad enseñando con estas herramientas. La Universidad de Sevilla tiene el potencial de publicar este curso online, tanto en español como traducido al inglés, y llegar a más alumnos, dándose visibilidad a nivel nacional e internacional e incrementando el atractivo de la titulación en particular.

Bibliografía

- [1] Ministerio de Ciencia e Innovación, *Orden CIN/355/2009, de 9 de febrero, por la que se establecen los requisitos para la verificación de los títulos universitarios oficiales que habiliten para el ejercicio de la profesión de Ingeniero de Telecomunicación*, Boletín Oficial del Estado. BOE-A-2009-2897, feb. de 2009.
- [2] *Real Decreto 1393/2007, de 29 de octubre, por el que se establece la ordenación de las enseñanzas universitarias oficiales*, Boletín Oficial del Estado. BOE-A-2007-18770, 30 de oct. de 2007.
- [3] *Real Decreto 861/2010, de 2 de julio, por el que se modifica el Real Decreto 1393/2007, de 29 de octubre, por el que se establece la ordenación de las enseñanzas universitarias oficiales*, Boletín Oficial del Estado. BOE-A-2010-10542, 3 de jul. de 2010.
- [4] *Real Decreto 43/2015, de 2 de febrero, por el que se modifica el Real Decreto 1393/2007, de 29 de octubre, por el que se establece la ordenación de las enseñanzas universitarias oficiales, y el Real Decreto 99/2011, de 28 de enero, por el que se regulan las enseñanzas oficiales de doctorado*, Boletín Oficial del Estado. BOE-A-2015-943, 3 de feb. de 2015.
- [5] E.T.S. de Ingeniería, *Memoria de Verificación. Máster Universitario en Ingeniería de Telecomunicación*, 2014.
- [6] Universidad de Sevilla, *Reglamento General de Actividades Docentes*, Última modificación: BOUS núm 3, de 20 de mayo de 2011.
- [7] Universidad de Sevilla, *Normativa Reguladora de la Evaluación y Calificación de las Asignaturas*.
- [8] Evaluación de la Calidad y Acreditación (ANECA), A. N., *Guía de apoyo para la redacción, puesta en práctica y evaluación de los resultados de aprendizaje*.
- [9] Engels, M., *Wireless OFDM Systems: How to make them work?* Springer, 2002, ISBN: 978-0-306-47685-3.
- [10] Oria Oria, A. C., “Sistemas OFDM: DVB-H y DVB-SH”, en *Contribución a los algoritmos de Estimación de canal y Cancelación de ICI en sistemas DVB-H y DVB-SH*, Tesis Doctoral. Director: Vicente Baena Lecuyer, dic. de 2009, cap. 3, págs. 51-78.
- [11] Bahai, A. R. S., Saltzberg, B. R., *Multi-Carrier Digital Communications: Theory and Applications of OFDM*. Kluwer Academic Publishers, 2002, ISBN: 0-306-46296-6.
- [12] Schiff, M., *Introduction to Communication Systems Simulation*. Artech House, 2006, ISBN: 1-59693-002-0.
- [13] Viswanathan, M., *Simulation of Digital Communication Systems using Matlab*. Amazon, 2013.
- [14] Woods, R., McAllister, J., Lightbody, G., Yi, Y., *FPGA-based Implementation of Signal Processing Systems*. Wiley, 2017, ISBN: 9781119077954.
- [15] Rodríguez Andina, J. J., de la Torre Arnanz, E., Valdés Peña, M. D., *FPGAs: Fundamentals, Advanced Features, and Applications in Industrial Electronics*. CRC Press, 2017, ISBN: 9781439896990.
- [16] Keating, M., Bricaud, P., *Reuse Methodology Manual for System-on-a-Chip Designs*. Kluwer Academic, 2002, ISBN: 9780306476402.
- [17] Mealy, B., Tappero, F., *Free range VHDL*, 1.21. Free Range Factory, 2018.
- [18] *The VHDL Golden Reference Guide*. Doulos, 1995.

- [19] Jasinski, R., *Effective Coding with VHDL: principles and best practice*. The MIT Press, 2016, ISBN: 9780262034227.
- [20] Wilson, P. R., *Design Recipes for FPGAs using Verilog and VHDL*, 2.^a ed. Elsevier, 2016, ISBN: 978-0-08-097129-2.
- [21] Sutherland, S., Mills, D., *Verilog and SystemVerilog Gotchas: 101 Common Coding Errors and How to Avoid Them*. Springer, 2007, ISBN: 978-0-387-71714-2.
- [22] Botros, N., *HDL with Digital Design: VHDL and Verilog*. Mercury Learning and Information, 2015, ISBN: 978-1-938549-81-6.
- [23] Salemi, R., *FPGA Simulation: A Complete Step-by-Step Guide*. Boston Light Press, 2009, ISBN: 978-0974164908.
- [24] Seligman, E., Schubert, T., Achutha Kiran Kumar, M. V., *Formal Verification: An Essential Toolkit for Modern VLSI Design*. Elsevier, 2015, ISBN: 978-0-12-800727-3.
- [25] Gisselquist, D. E., *An Introduction to Formal Methods*. dirección: <http://zipcpu.com/tutorial/class-vhdl.pdf>.
- [26] Brinkmann, R., Kelf, D., “Formal Verification—The Industrial Perspective”, en *Formal System Verification: State-of-the-Art and Future Trends*, R. Drechsler, ed., Springer, 2018, cap. 5, págs. 155-182, ISBN: 978-3-319-57683-1.
- [27] Esden-Tempski, P., *icebreaker: Small and low cost FPGA educational and development board*, Online. Accedido el 10 de septiembre de 2019. dirección: <https://github.com/icebreaker-fpga/icebreaker>.
- [28] Lattice Semiconductor, *iCE40 UltraPlus™ Family Data Sheet*, ago. de 2017.
- [29] *SX1257. Low Power Digital I and Q RF Multi-Phy Mode Transceiver*, Rev. 1.2, SX1257 Data Sheet. DS.SX1257.W.APP, SEMTECH, mar. de 2018. dirección: https://www.semtech.com/uploads/documents/DS_SX1257_V1.2.pdf.

