

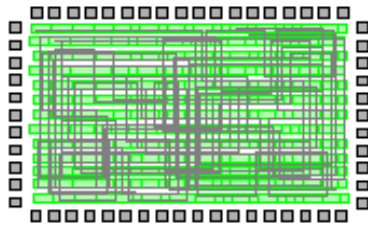


Departamento de Tecnología Electrónica. Tema 8

Dispositivos Programables
por el usuario (I)

Introducción a los Dispositivos Programables por el Usuario

Circuitos Completamente a medida

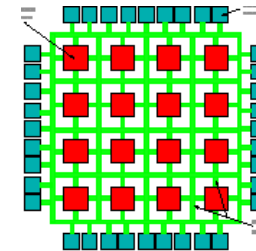


Células Estándar (Fab.
Todas las máscaras)

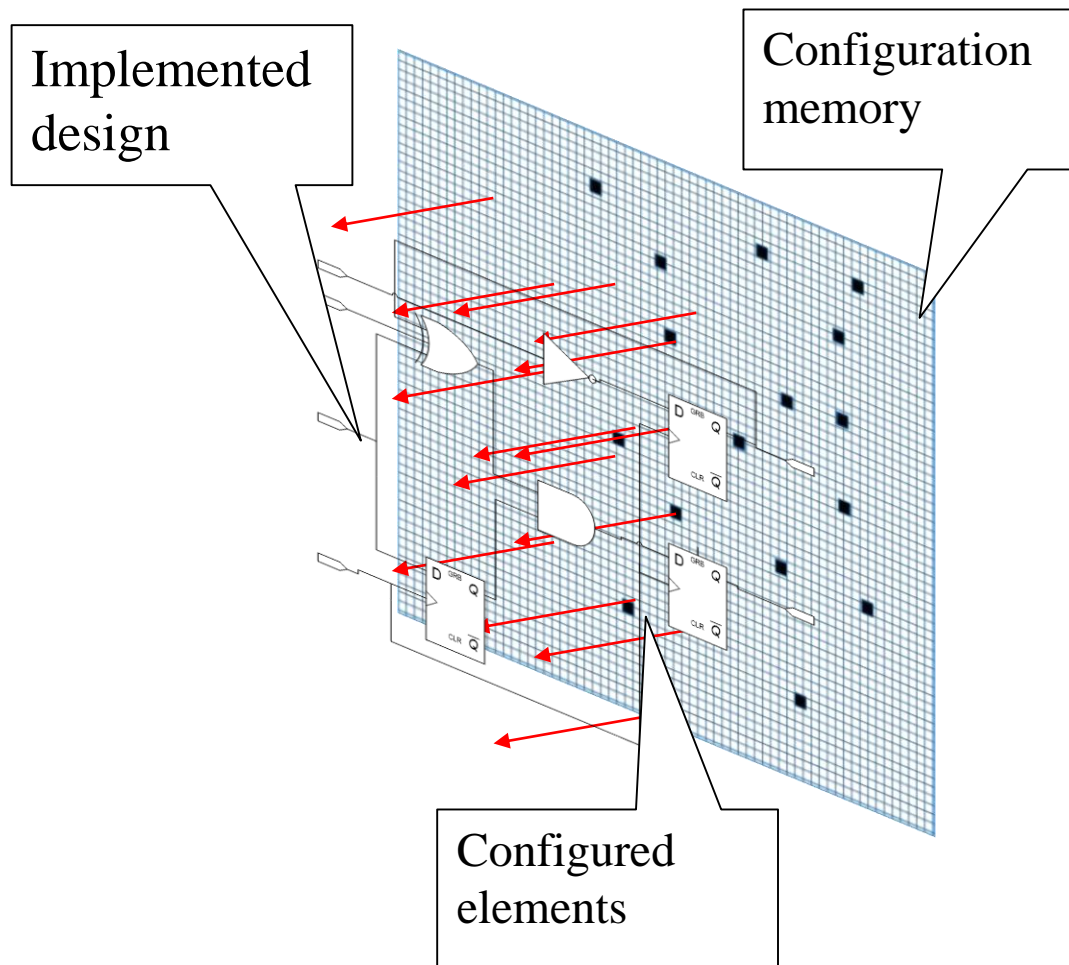


Predifundidos (Fab.
Últimas máscaras)

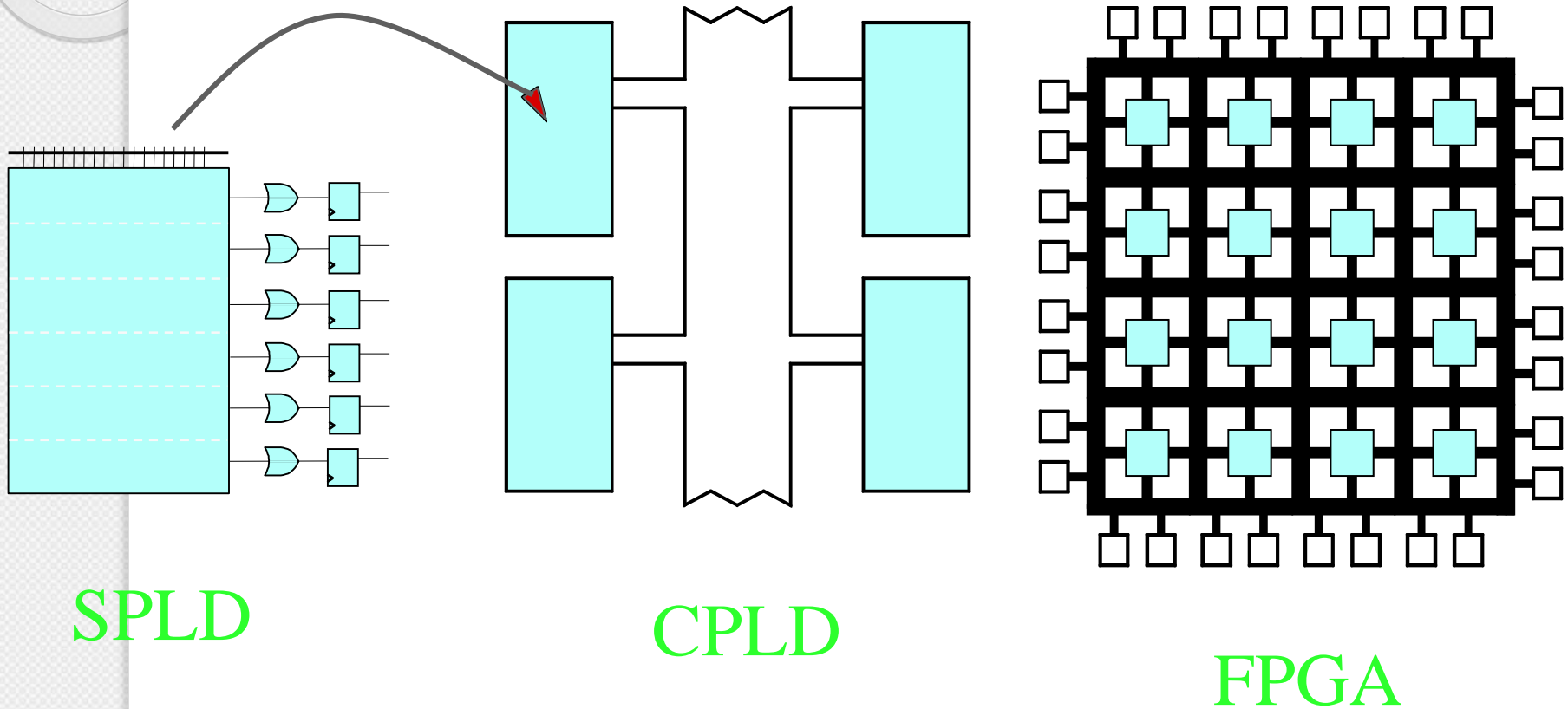
Dispositivos Programables
por el usuario



Concepto de Dispositivo Programable



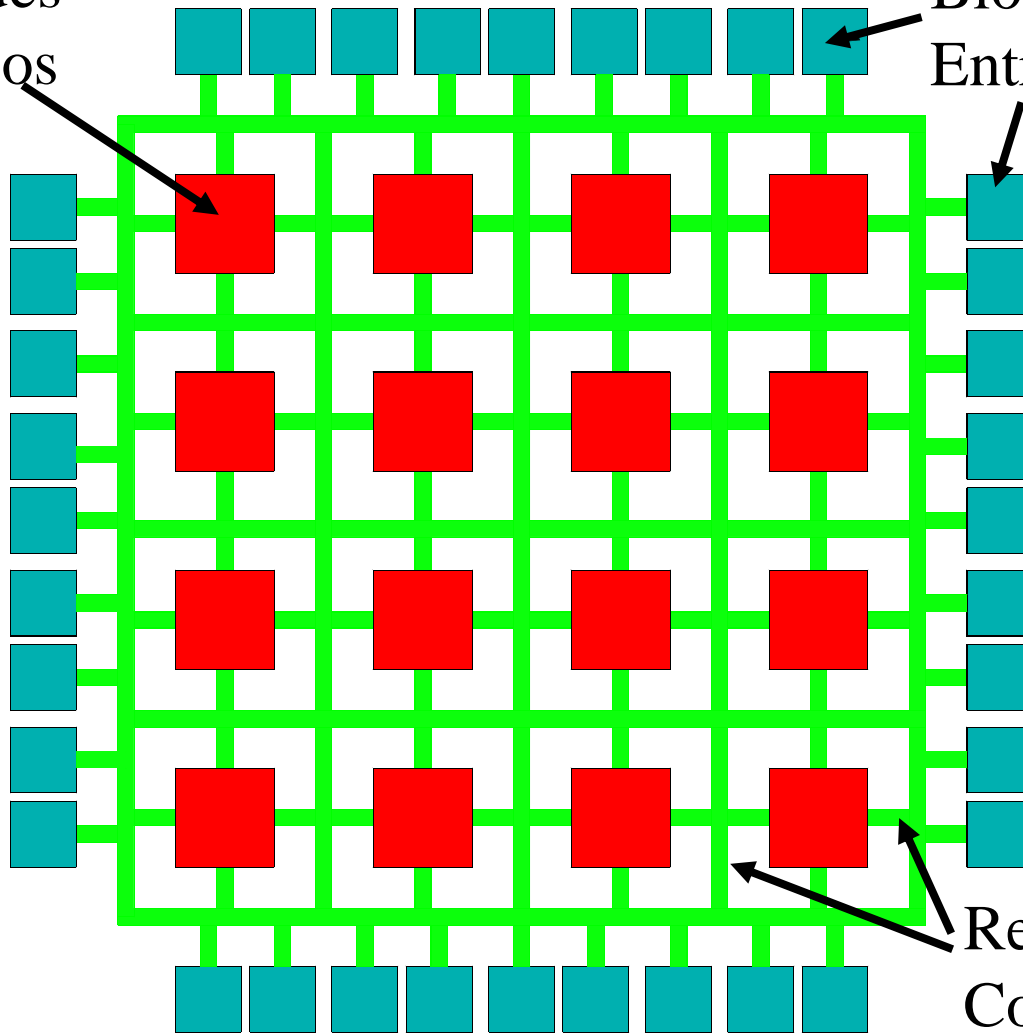
Tipos de dispositivos programables por el usuario



Modelo de FPGAs

Bloques Lógicos

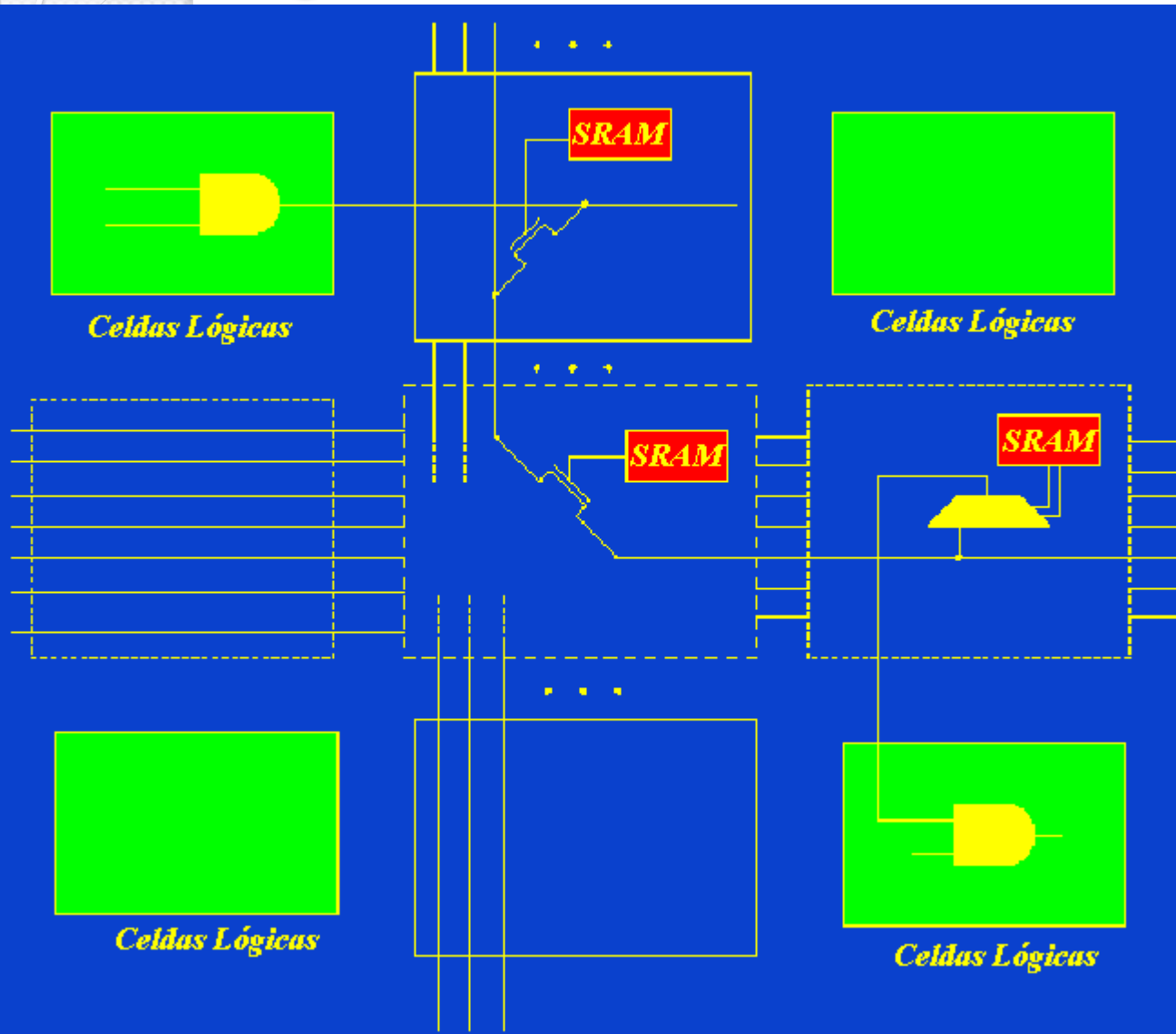
Bloques de Entrada/Salida



Programabilidad

Recursos de Conexión

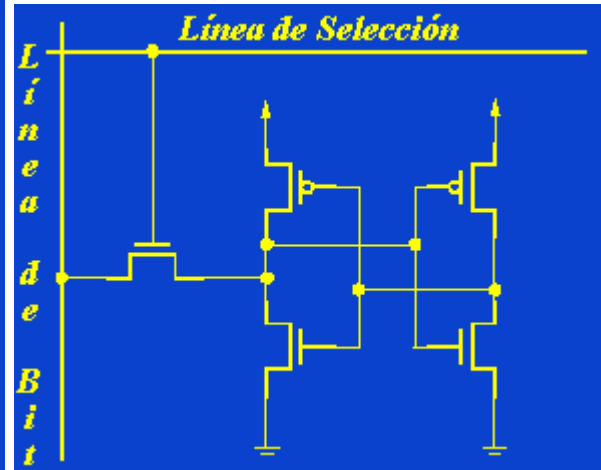
Programación: SRAM



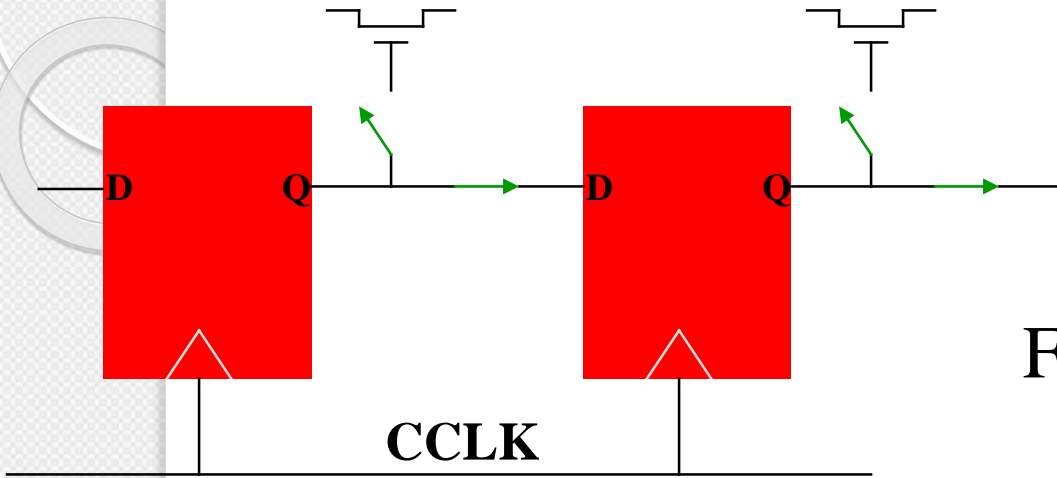
Proceso CMOS Estándar

Volátil (ROM ext.) (reprogrammable)

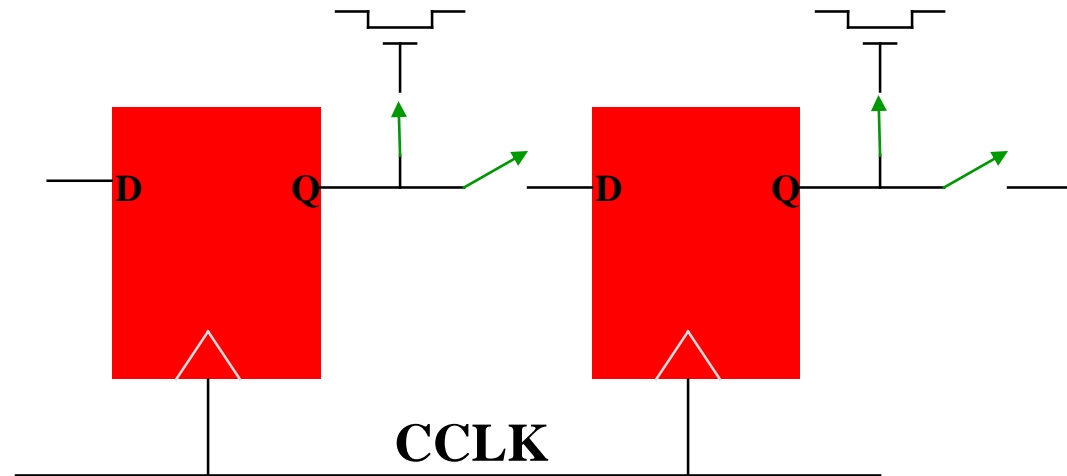
Area!



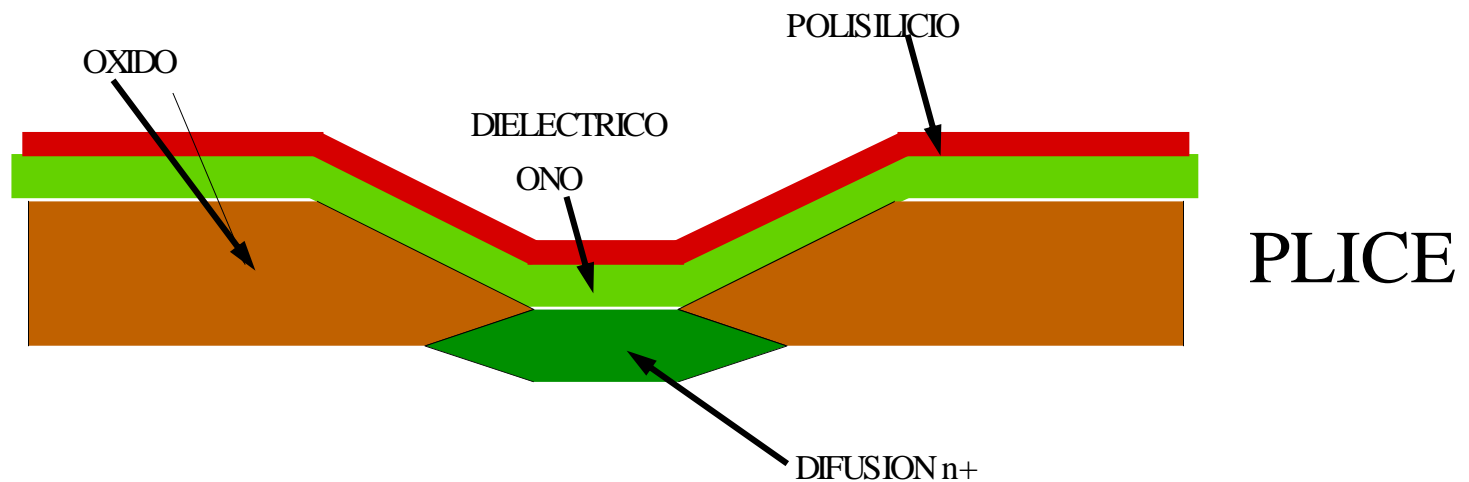
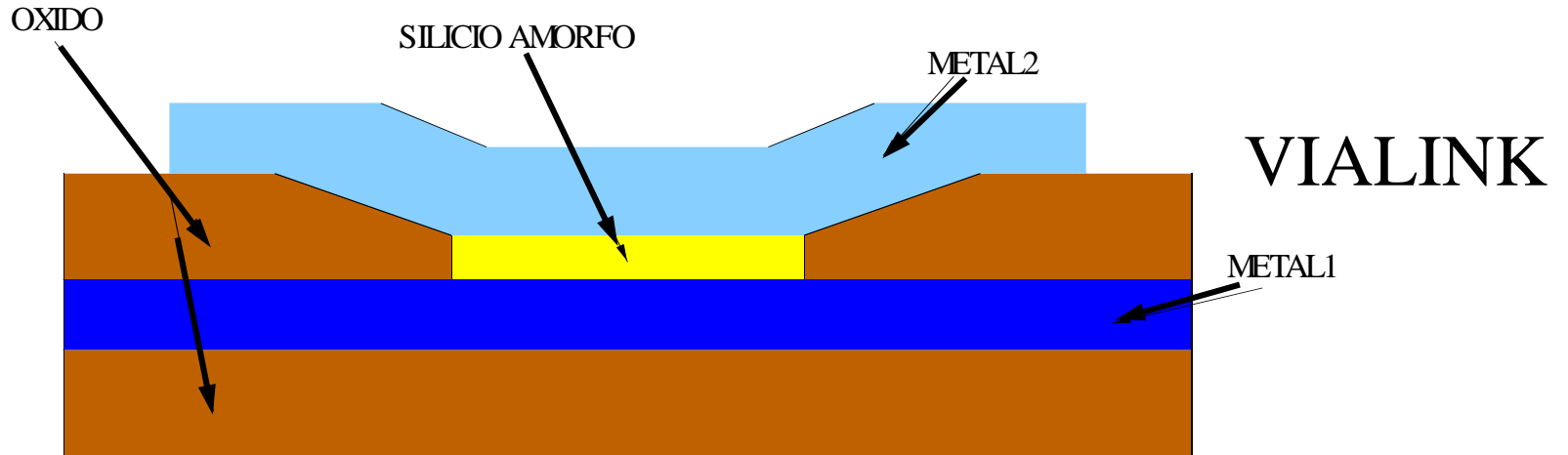
Modo de Configuración



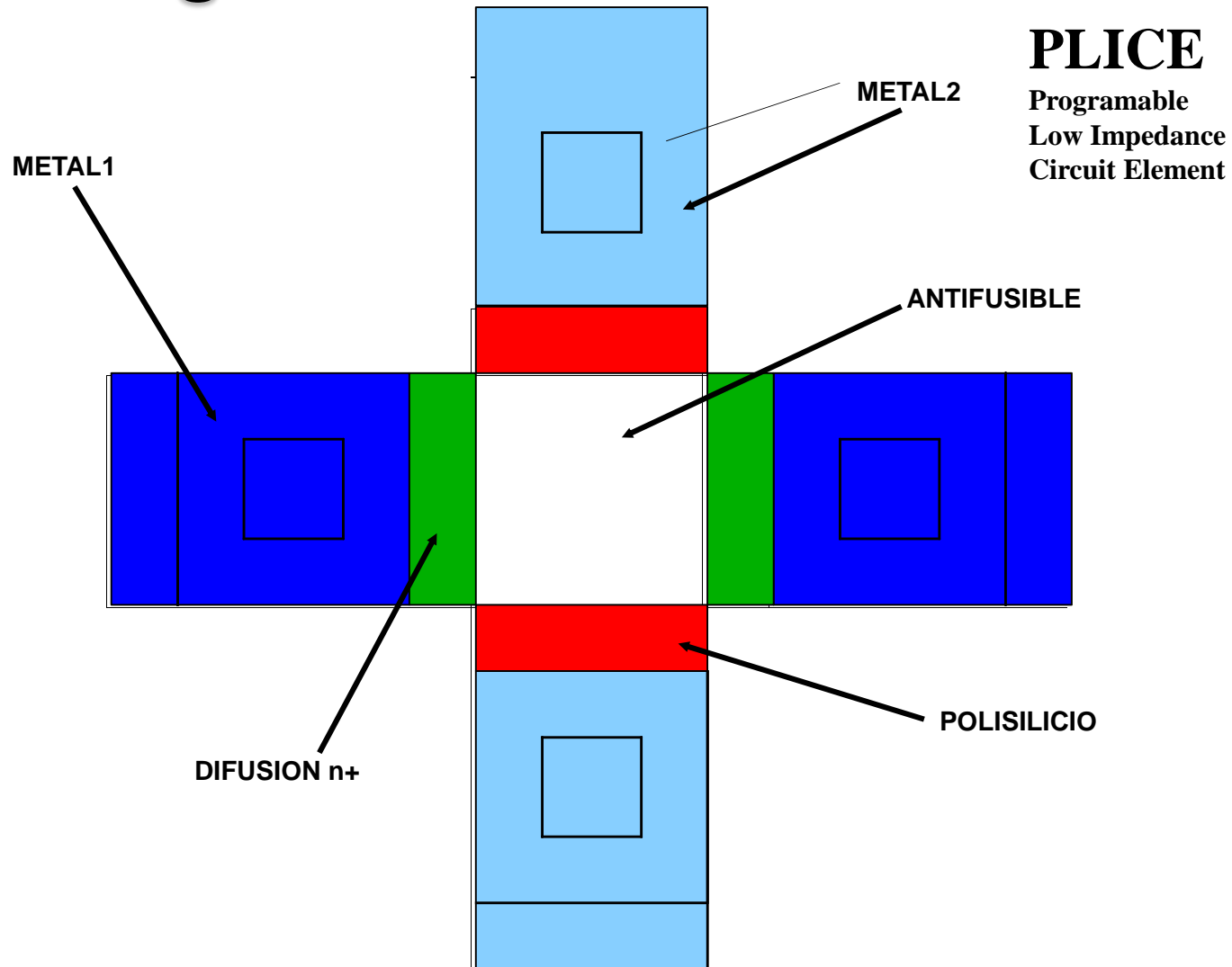
Funcionamiento Normal



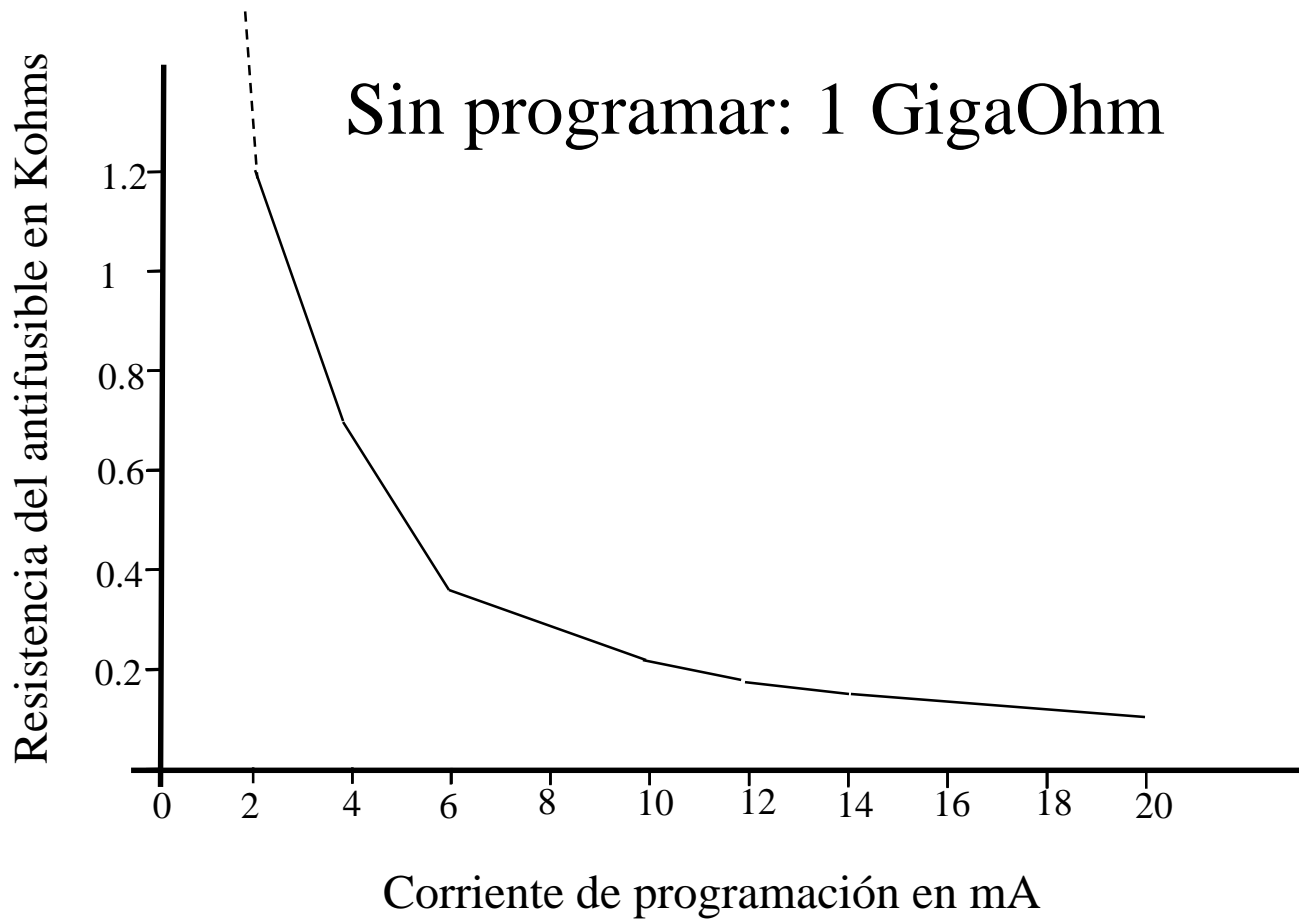
Programación: ANTIFUSIBLES (I)



Programación: ANTIFUSIBLES (2)



Resistencia de programación de un antifusible

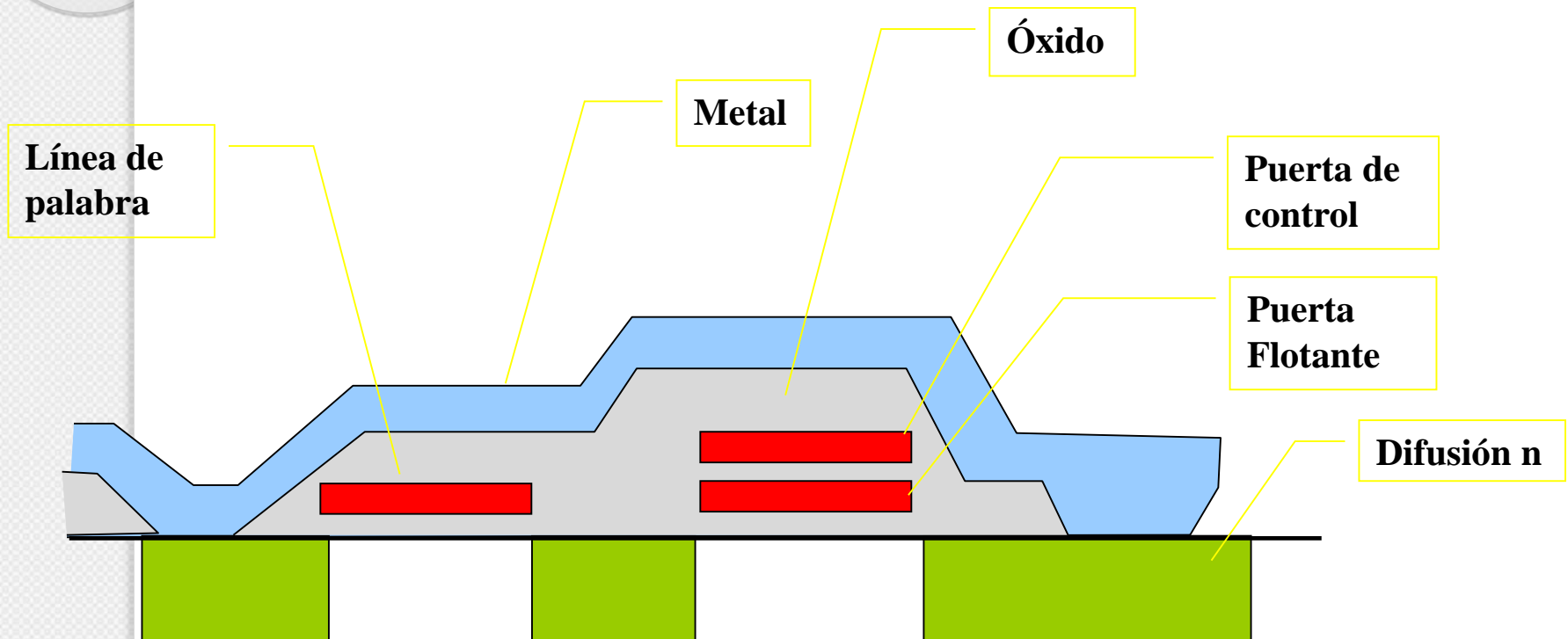


Características del antifusible

- Se programa cada antifusible mediante la aplicación de una tensión de 16V durante 1ms.
- Se añaden tres capas en el proceso de fabricación CMOS estándar.
- Durabilidad de 40 años

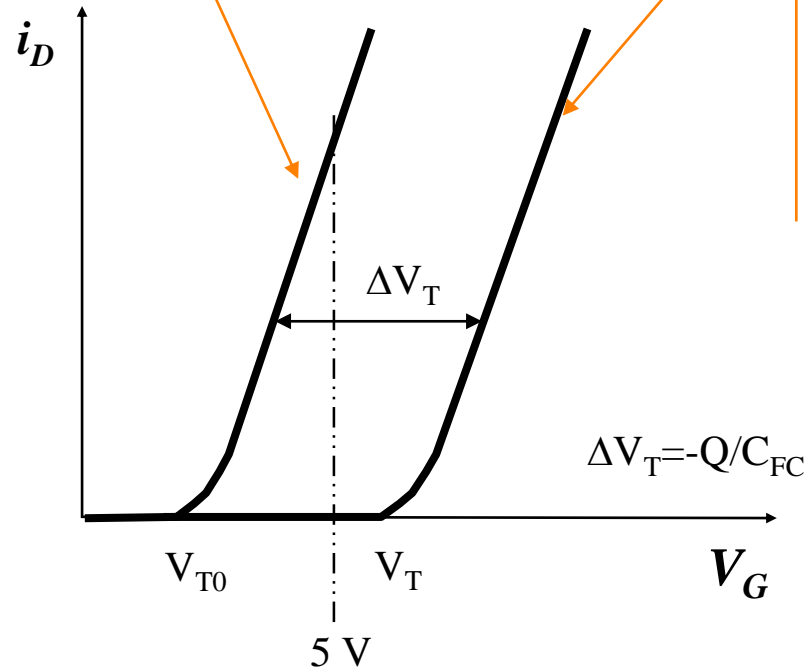


Programación: EPROM (I)



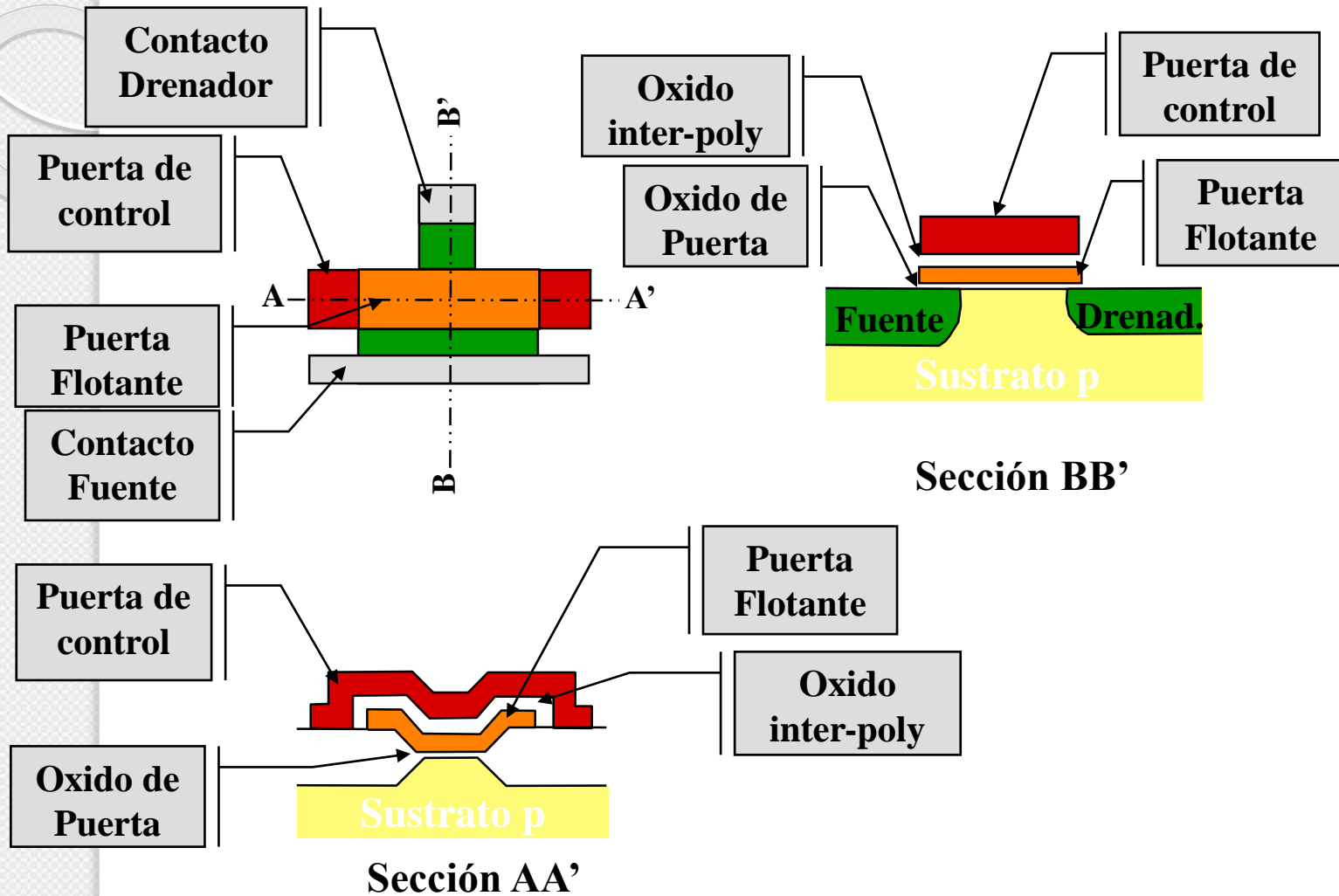
Programación: EPROM (2)

Característica de transferencia con la puerta flotante descargada

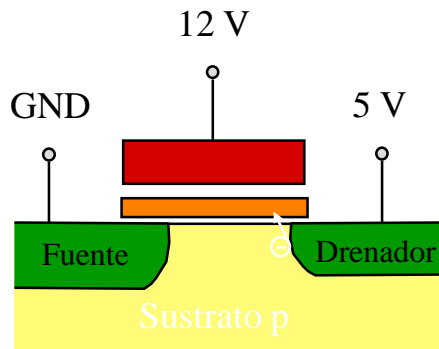


Característica de transferencia con la puerta flotante cargada

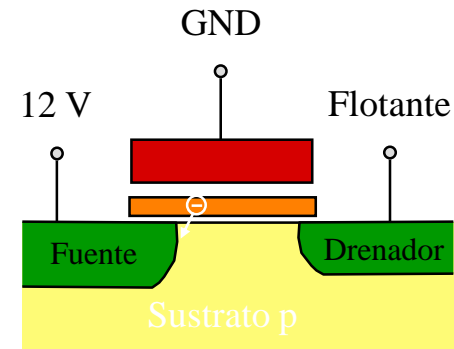
Programación: FLASH (I)



Programación: FLASH (2)

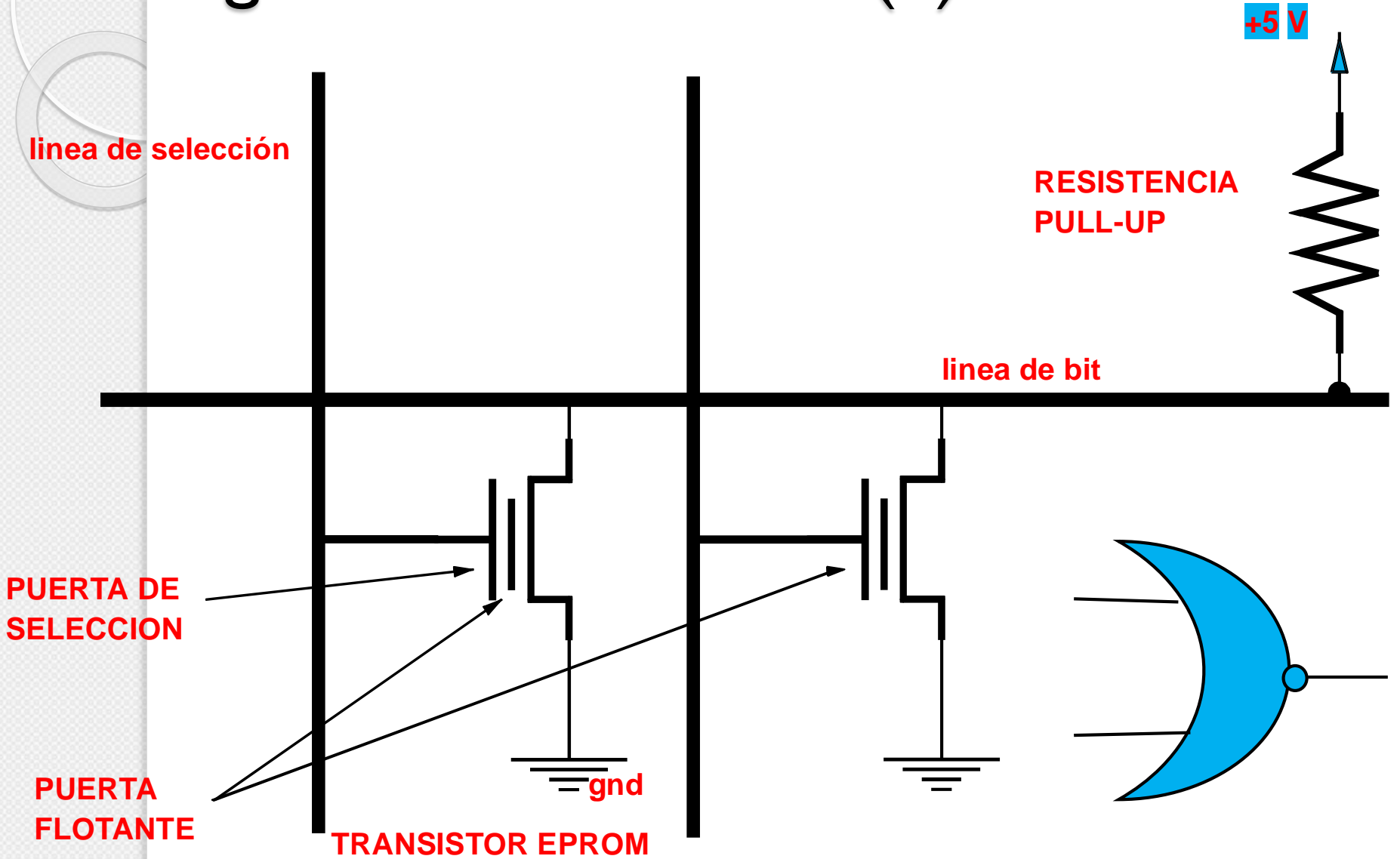


Programación: inyección de electrones desde el drenador

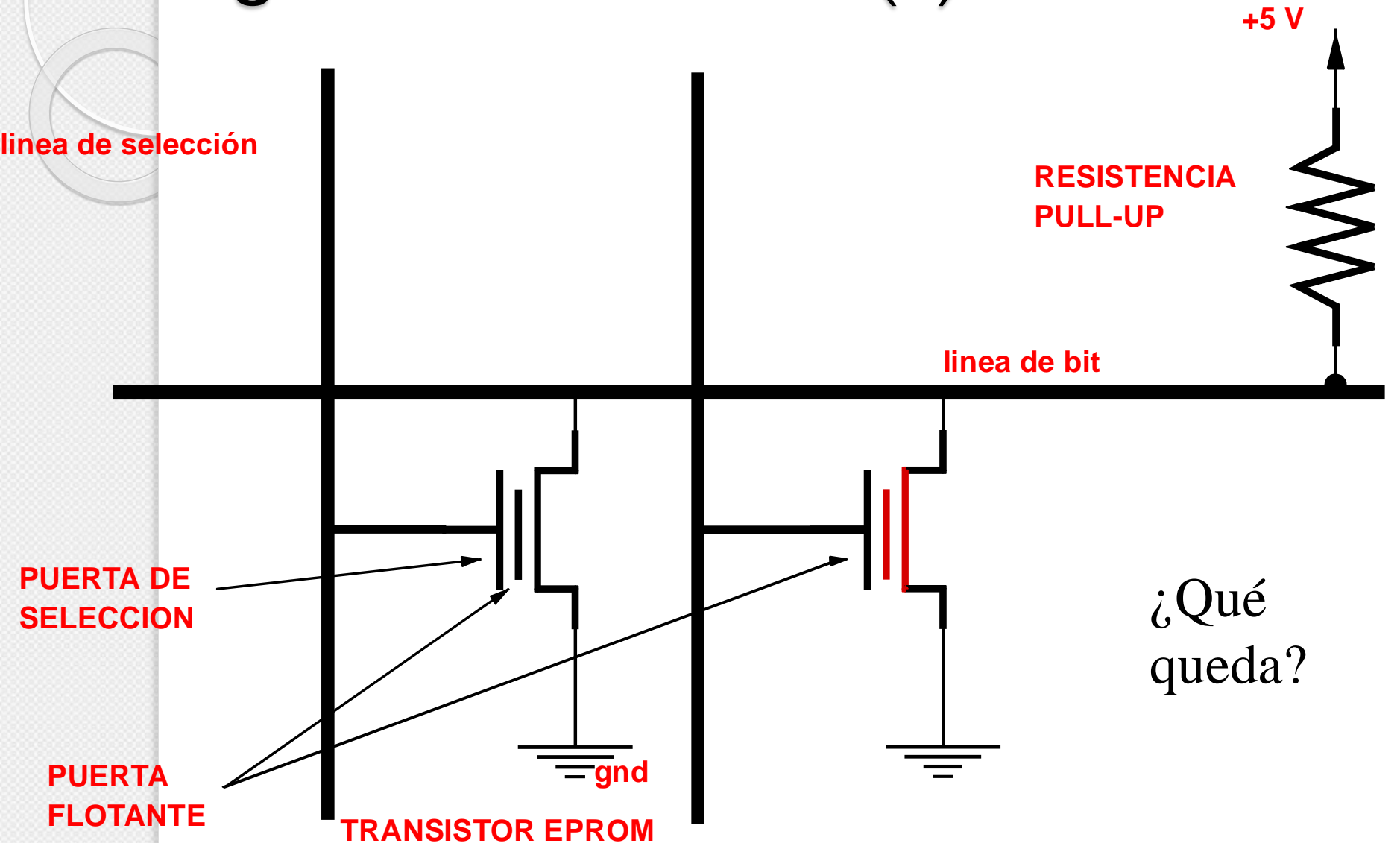


Borrado: Efecto Fowler-Nordheim (Túnel) hacia la fuente

Programación: EPROM (2)



Programación: EPROM (2)



Programación: Resumen (I)

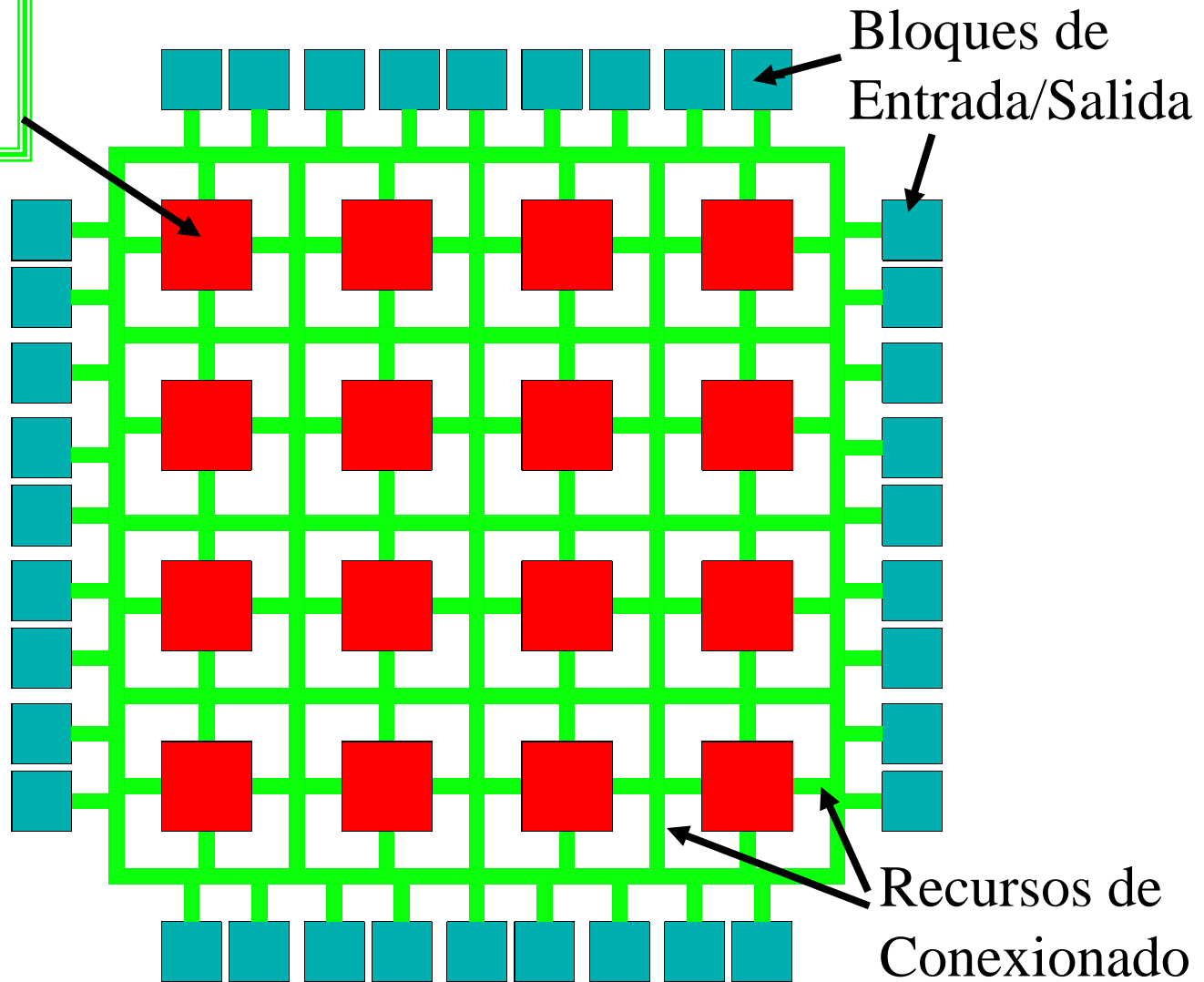
Técnica	Volátil	Reprogr.	Área	R (Ohm)	C (fF)
SRAM	SI	Interna	Grande	1-2K	10-20
PLICE	NO	NO	Pequeña Antifusible. Grande Programación	300-500	3-5
VIALINK	NO	NO	Pequeña Antifusible. Grande Programación	50-80	1-3
EPROM	NO	Externa	Pequeña	2-4K	10-20
EEPROM	NO	Externa	2*EPROM	2-4K	10-20

Programación: Resumen (2)

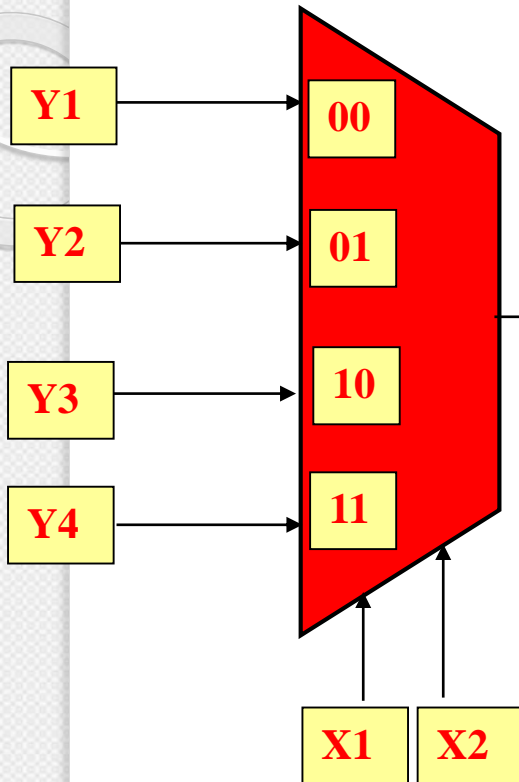
Técnica	Area Celda f²	t_{acceso} (ns)	Num. Ciclos de Escritura	Tiempo de Retención
RAM	10-15	80-100	>10¹⁴	Volátil
EPROM	9	100-150	1-10	30 años
EEPROM	40-60	100-150	10⁶	10 años
FLASH	7-10	80-120	10⁵	10 años

Modelo de FPGAs

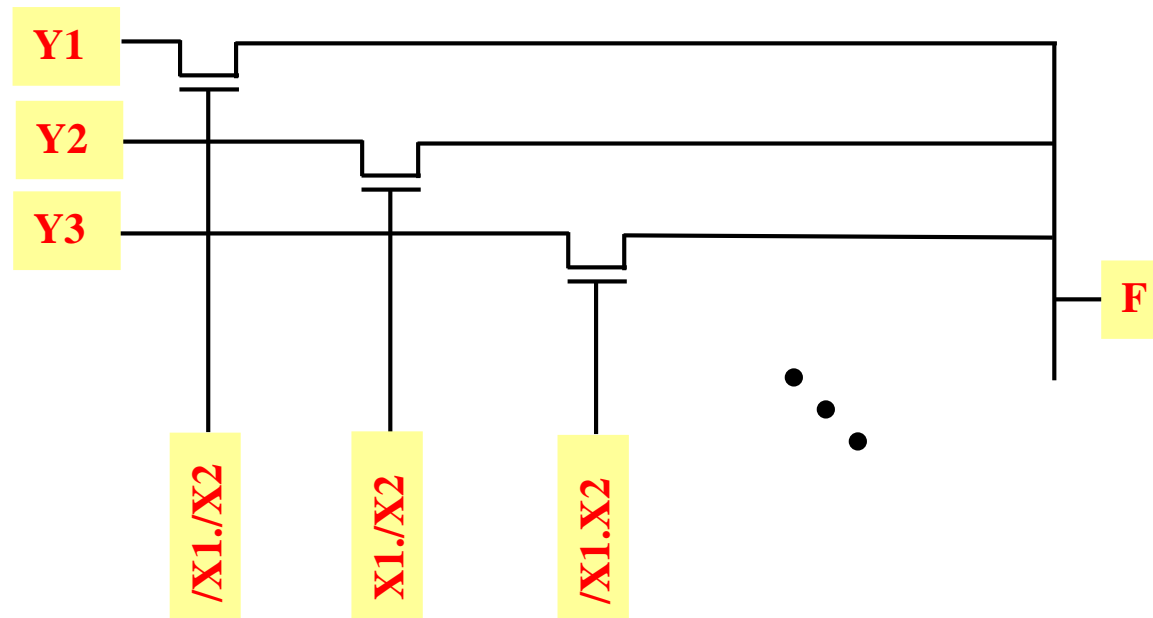
Bloques Lógicos



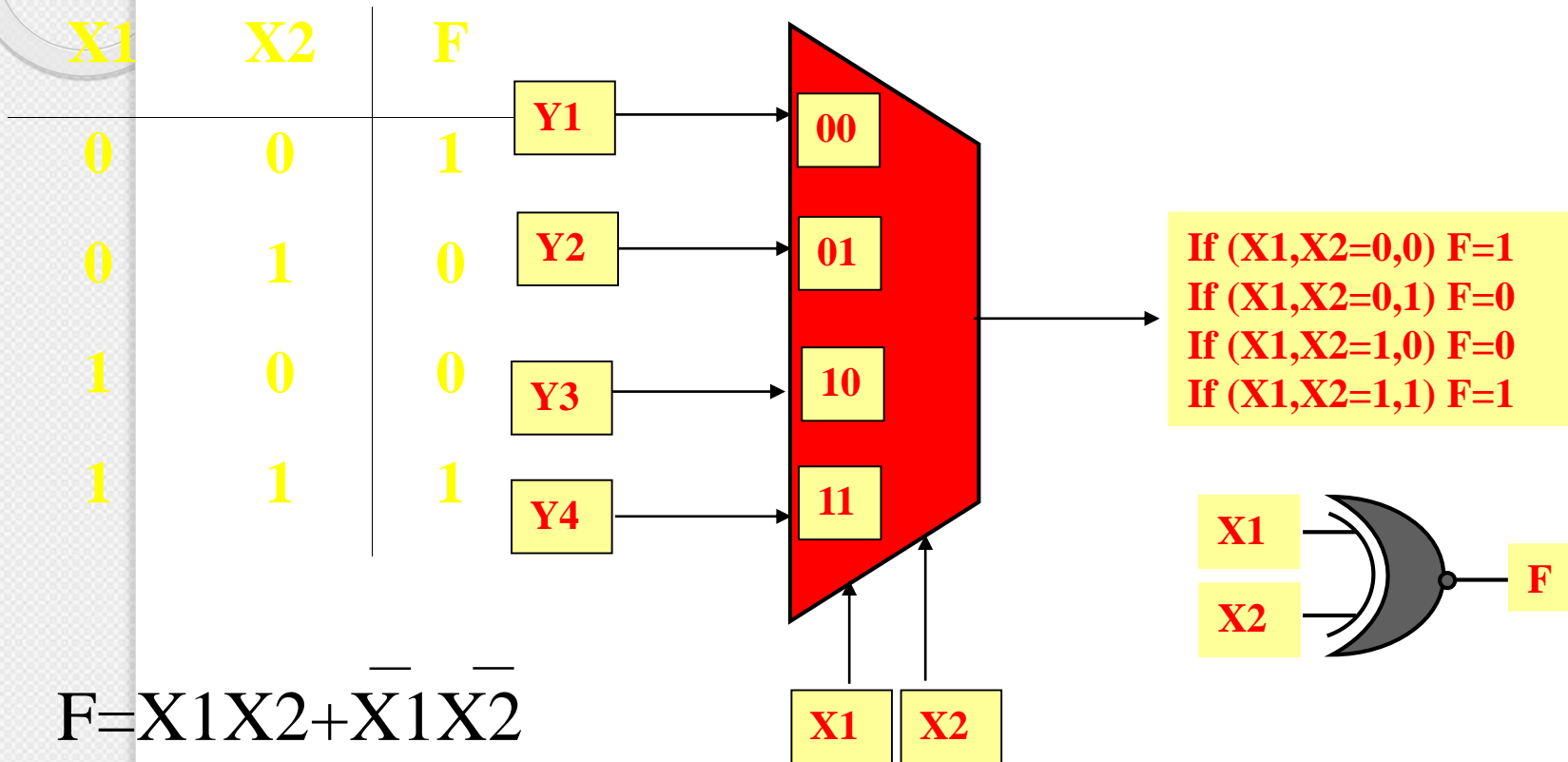
Bloques Lógicos: Multiplexor (I)



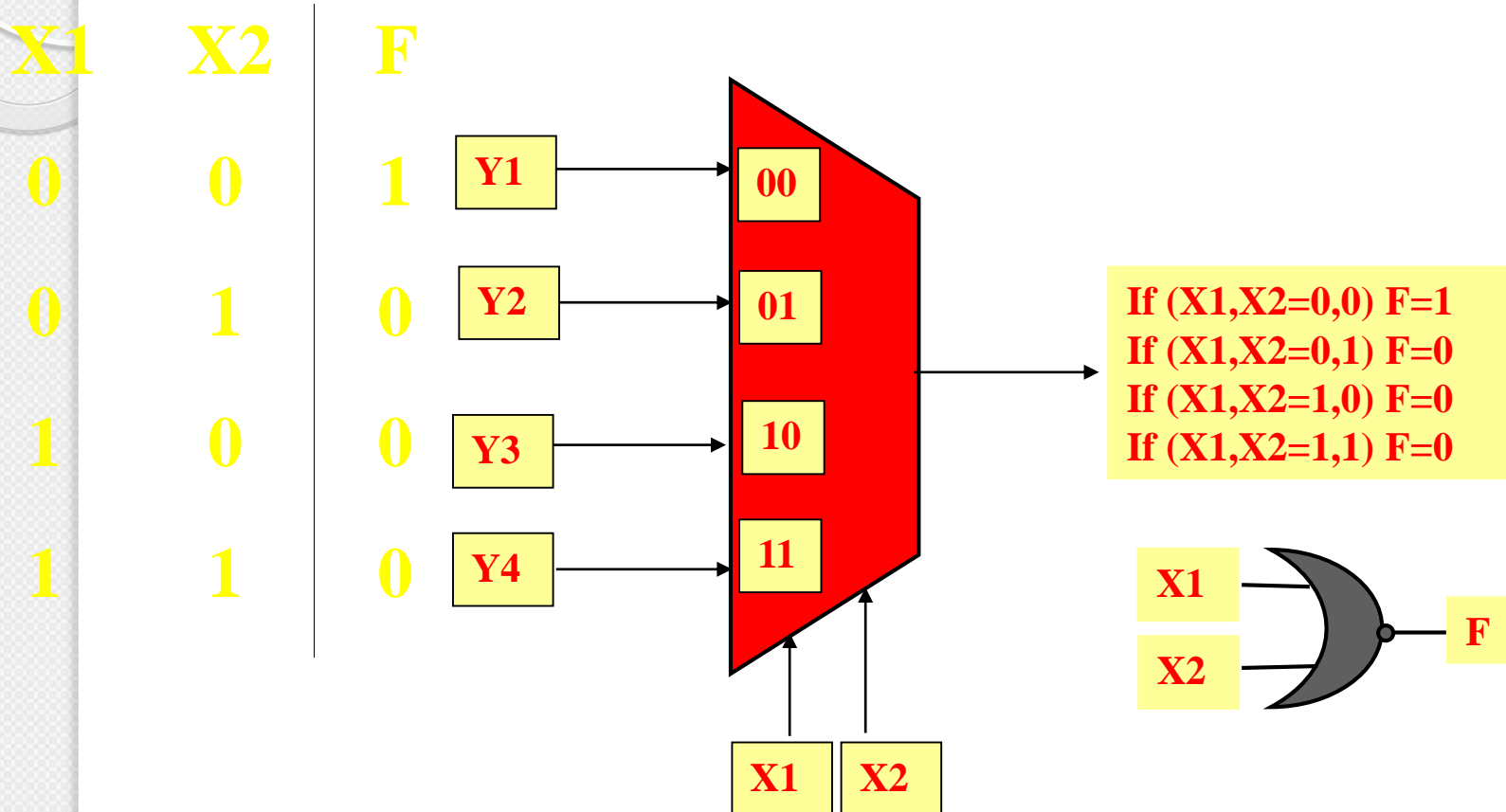
If (X1,X2=0,0) F=Y1
If (X1,X2=0,1) F=Y2
If (X1,X2=1,0) F=Y3
If (X1,X2=1,1) F=Y4



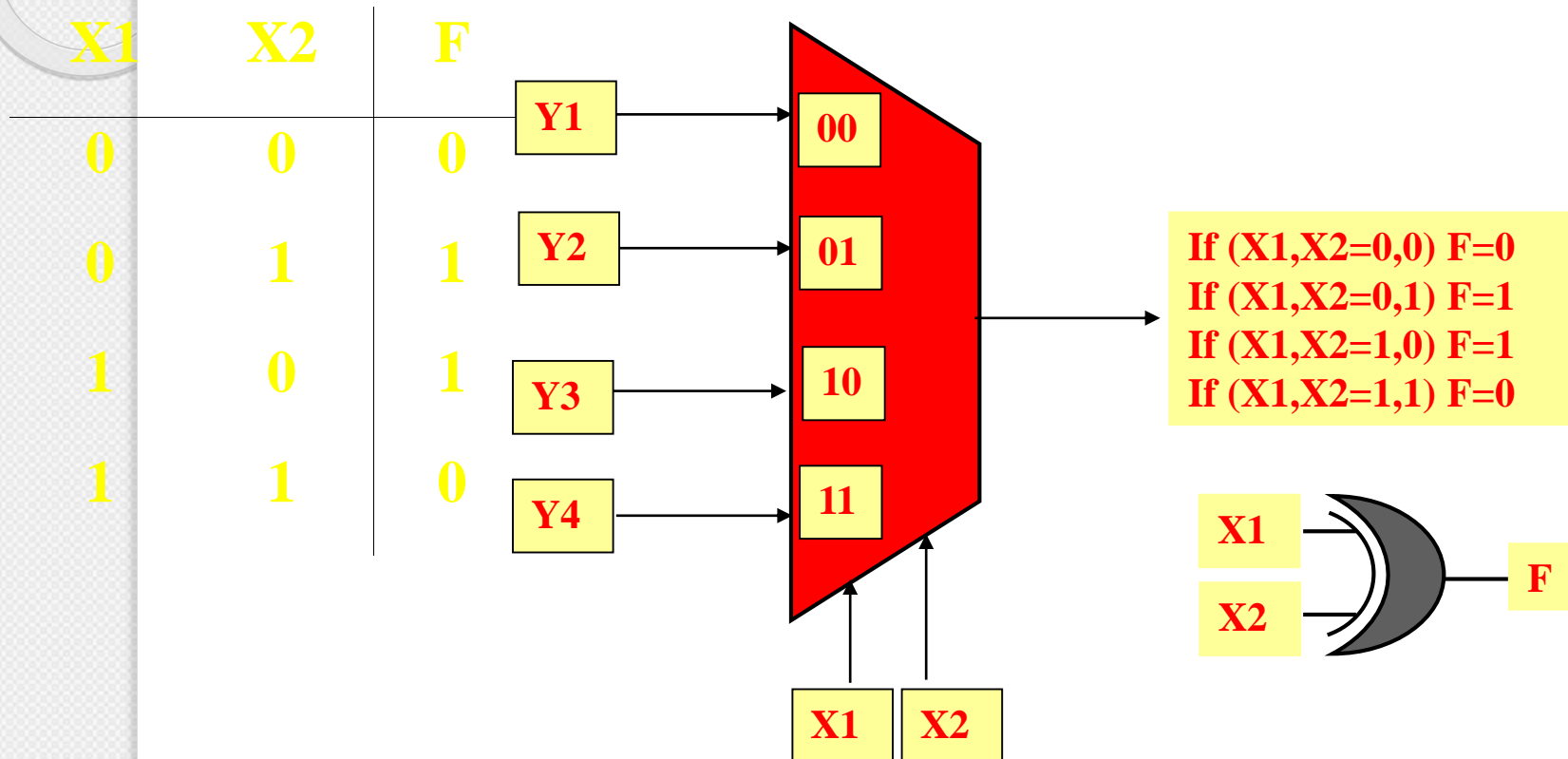
Bloques Lógicos: Multiplexor (2)



Bloques Lógicos: Multiplexor (3)

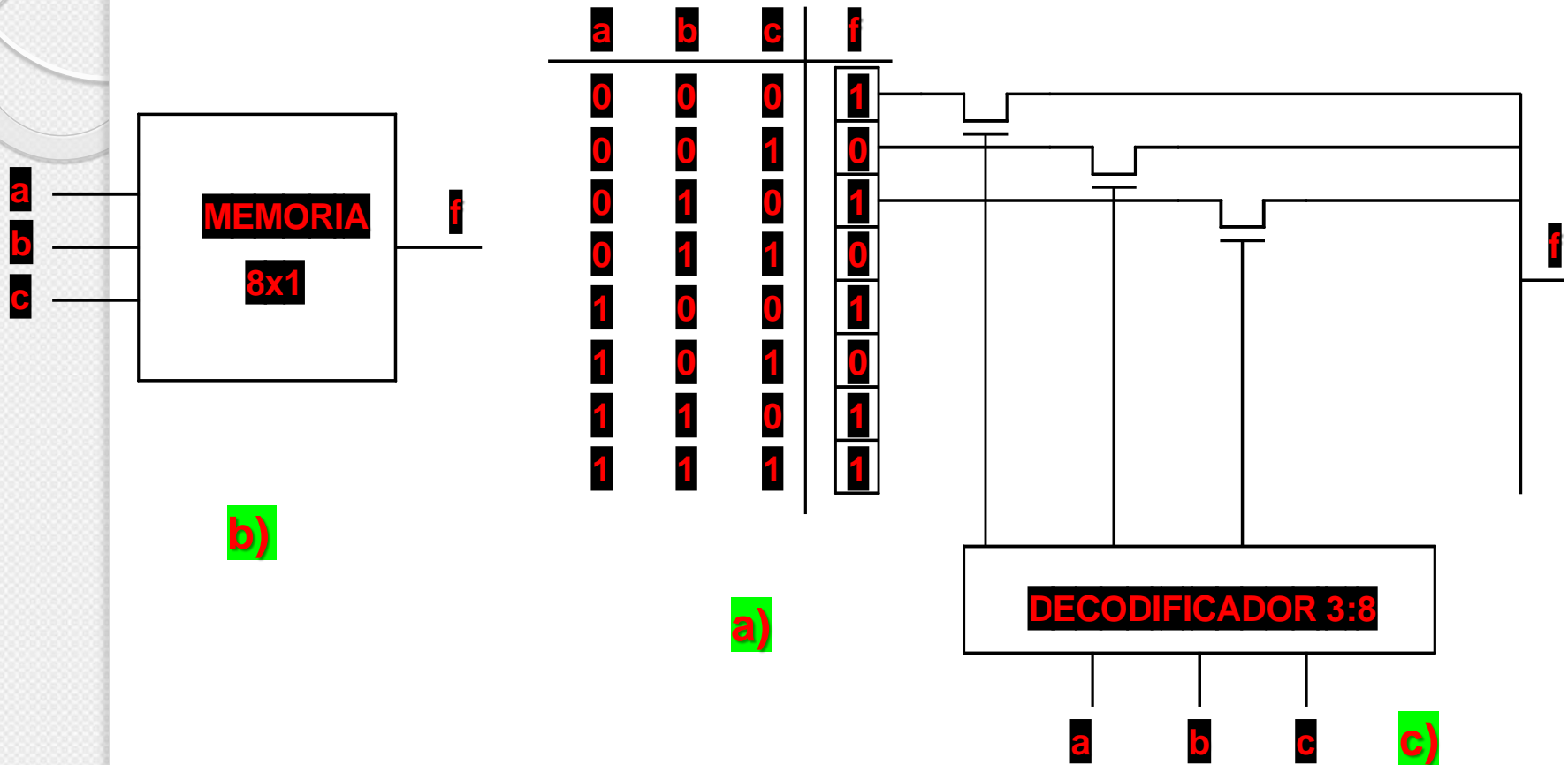


Bloques Lógicos: Multiplexor (4)



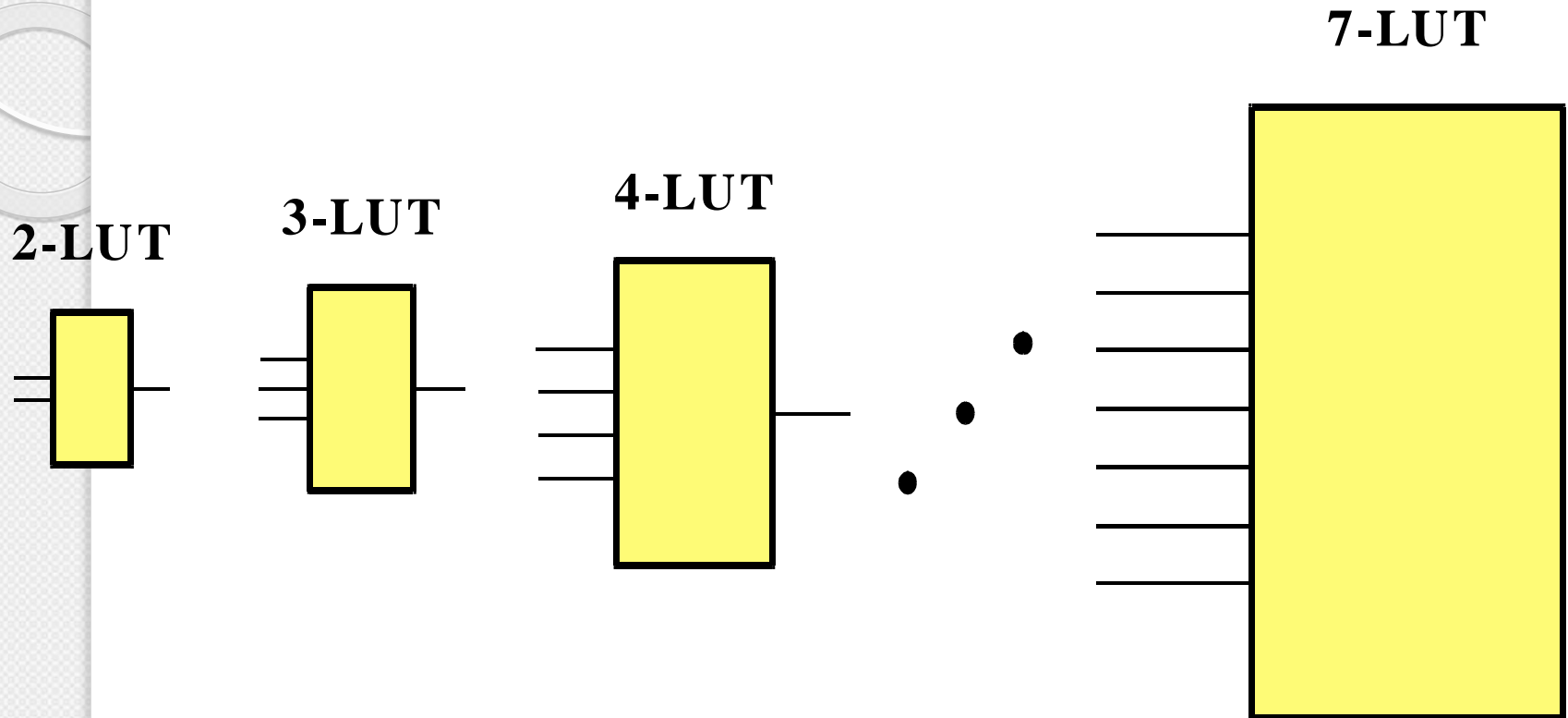
Bloques Lógicos: Grano Grueso.

Ejemplo: Xilinx. Concepto de LUT



Bloque programable y ejemplo de función lógica $f = \neg(\neg(a.b).c)$

Concepto de LUT



Diferentes tamaños de LUT's

Construcción de LUT (I)

$$f = xy + z$$

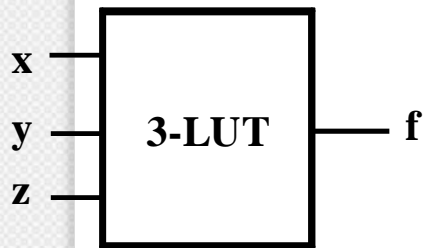
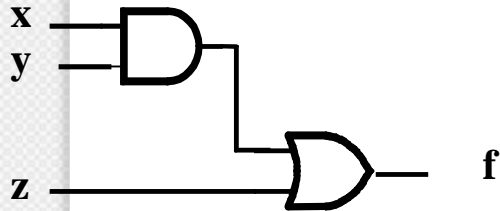
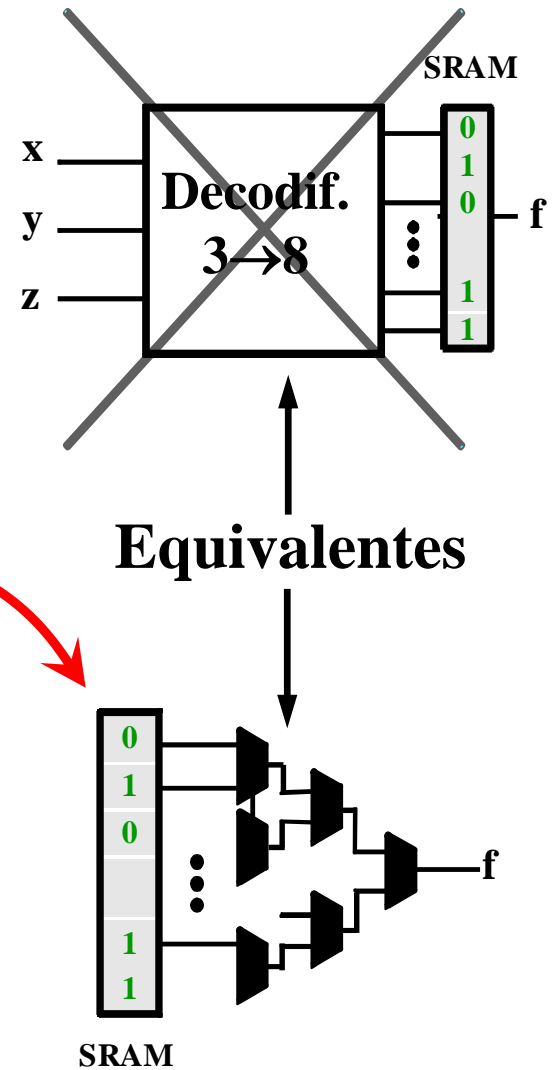


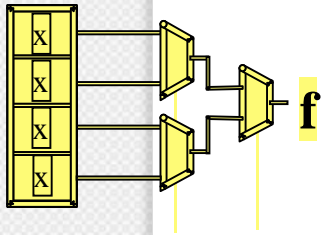
Tabla de verdad

xyz	f
000	0
001	1
010	0
011	1
100	0
101	1
110	1
111	1



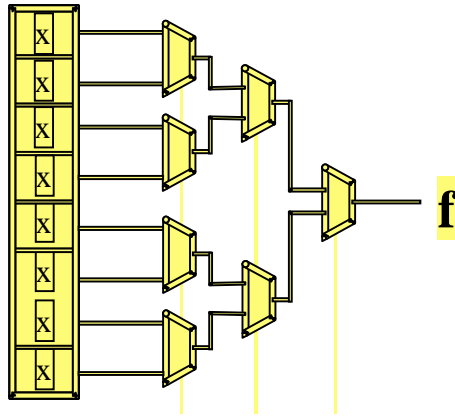
Construcción de LUT (2)

SRAM



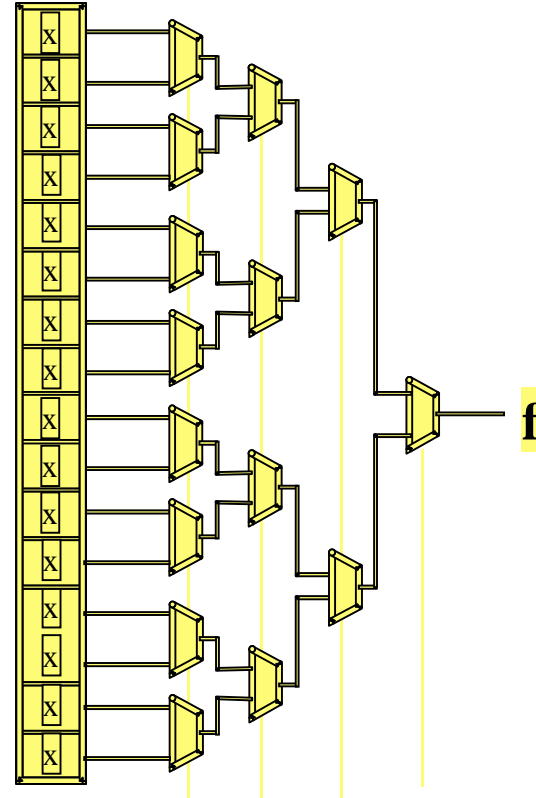
2-LUT

SRAM



3-LUT

SRAM



4-LUT

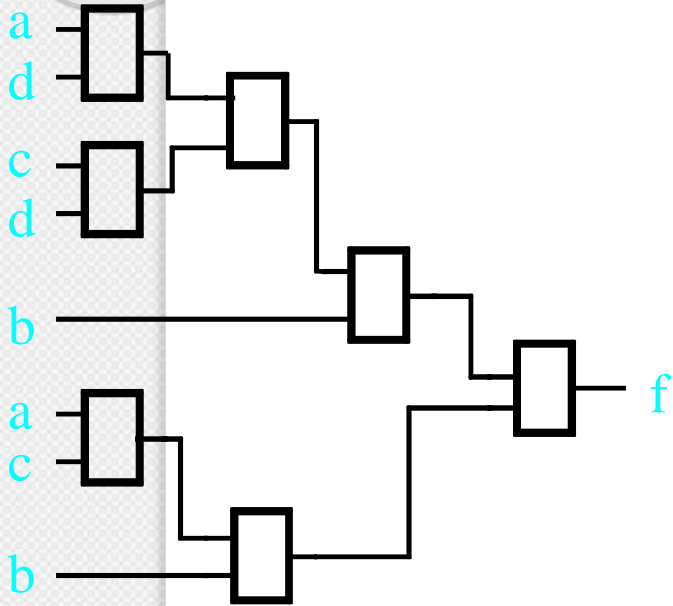
LUTs de 2, 3 y 4 Entradas

Si sube número de entradas, sube área y retraso, pero pueden realizarse funciones más complejas

Efecto del número de entradas en LUTs

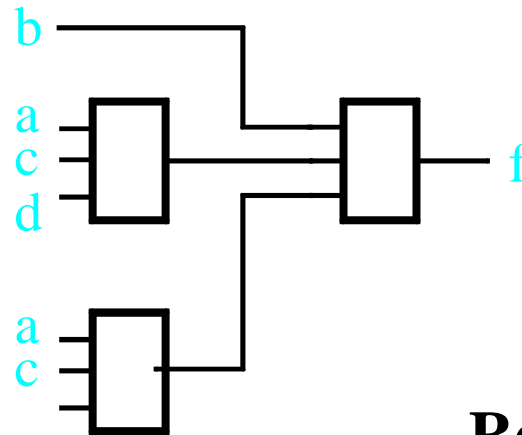
Ejemplo: $F = a.b.d + b.c./d + /a./b./c$

Realización con
7*2-LUT



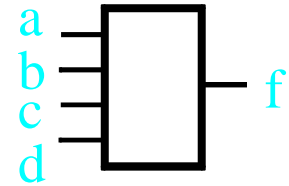
Retraso= 4*2-LUT

Realización con
3*3-LUT



Retraso= 2*3-LUT

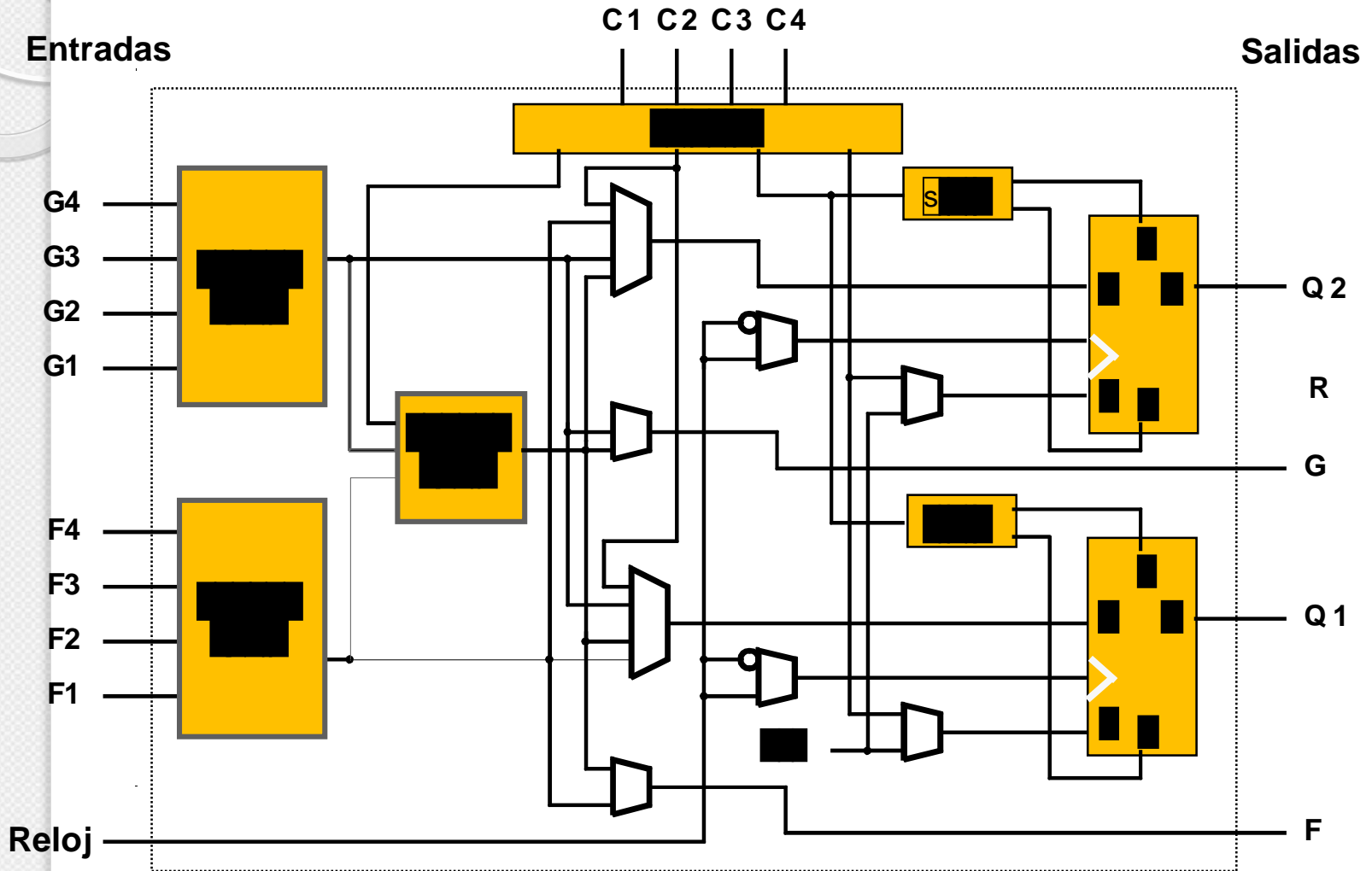
Realización
con 1*4-LUT



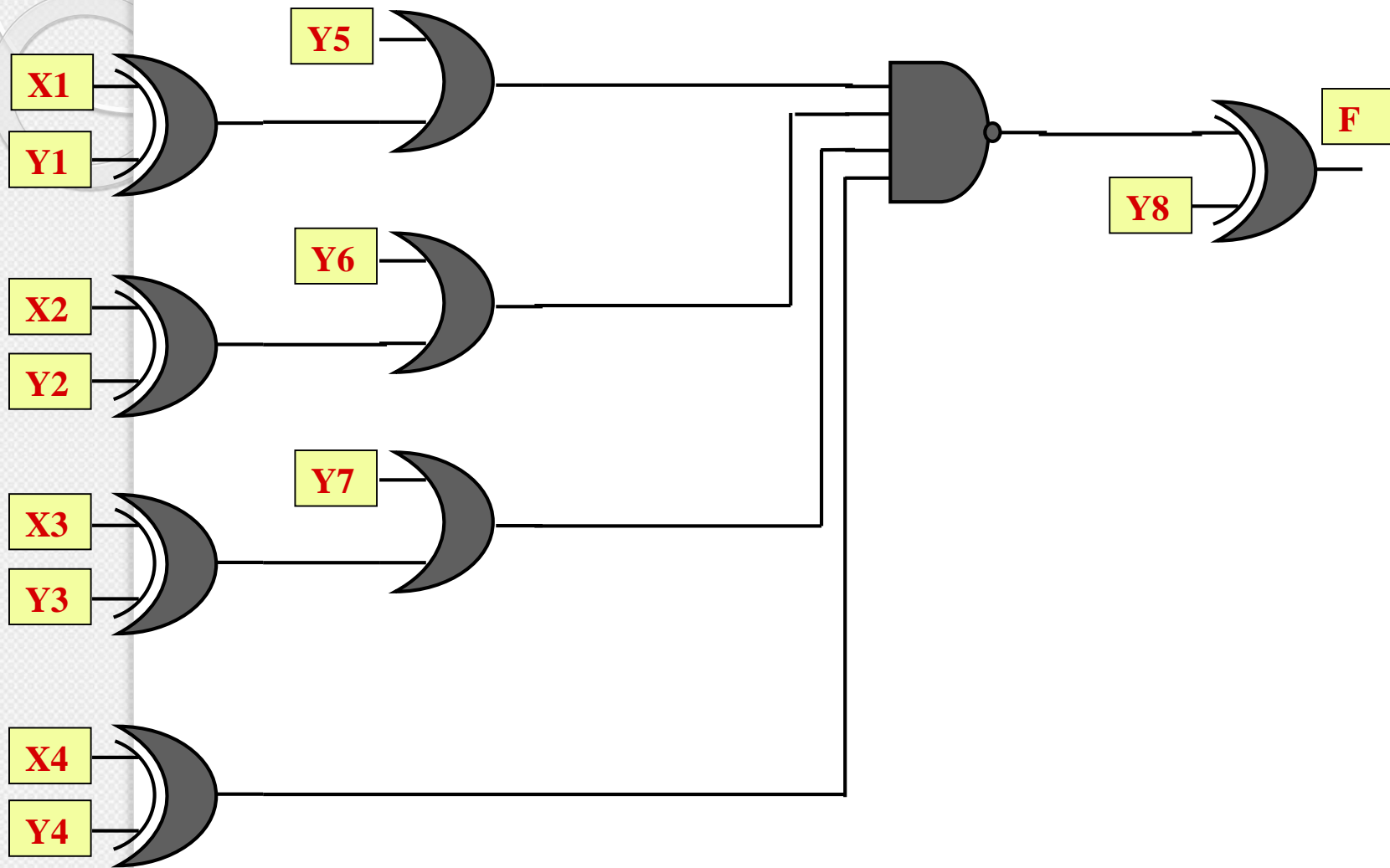
Retraso= 1*4-LUT

El tamaño de las LUTs lo define el fabricante a priori

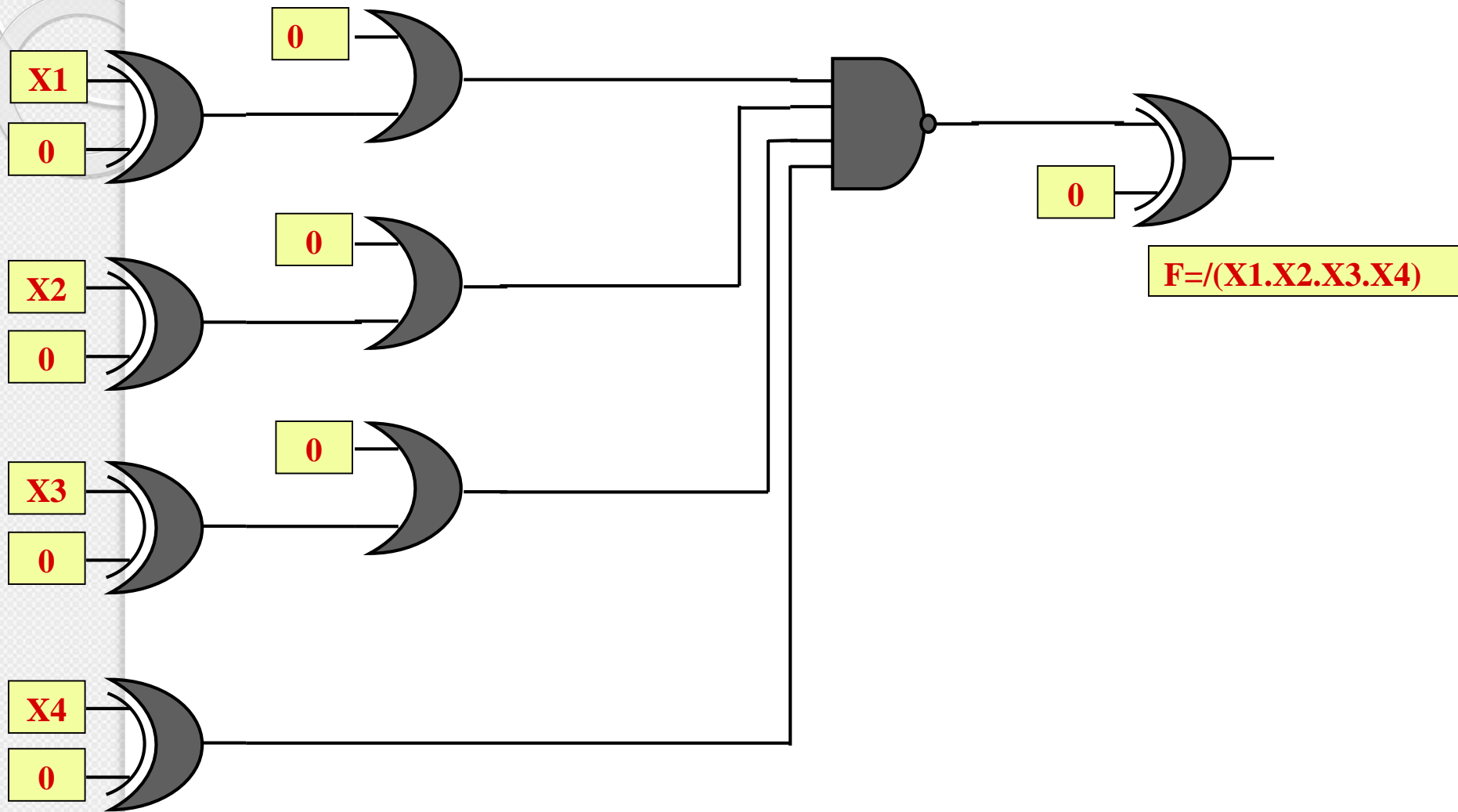
Bloques Lógicos: Grano Grueso. Xilinx. Serie 4000



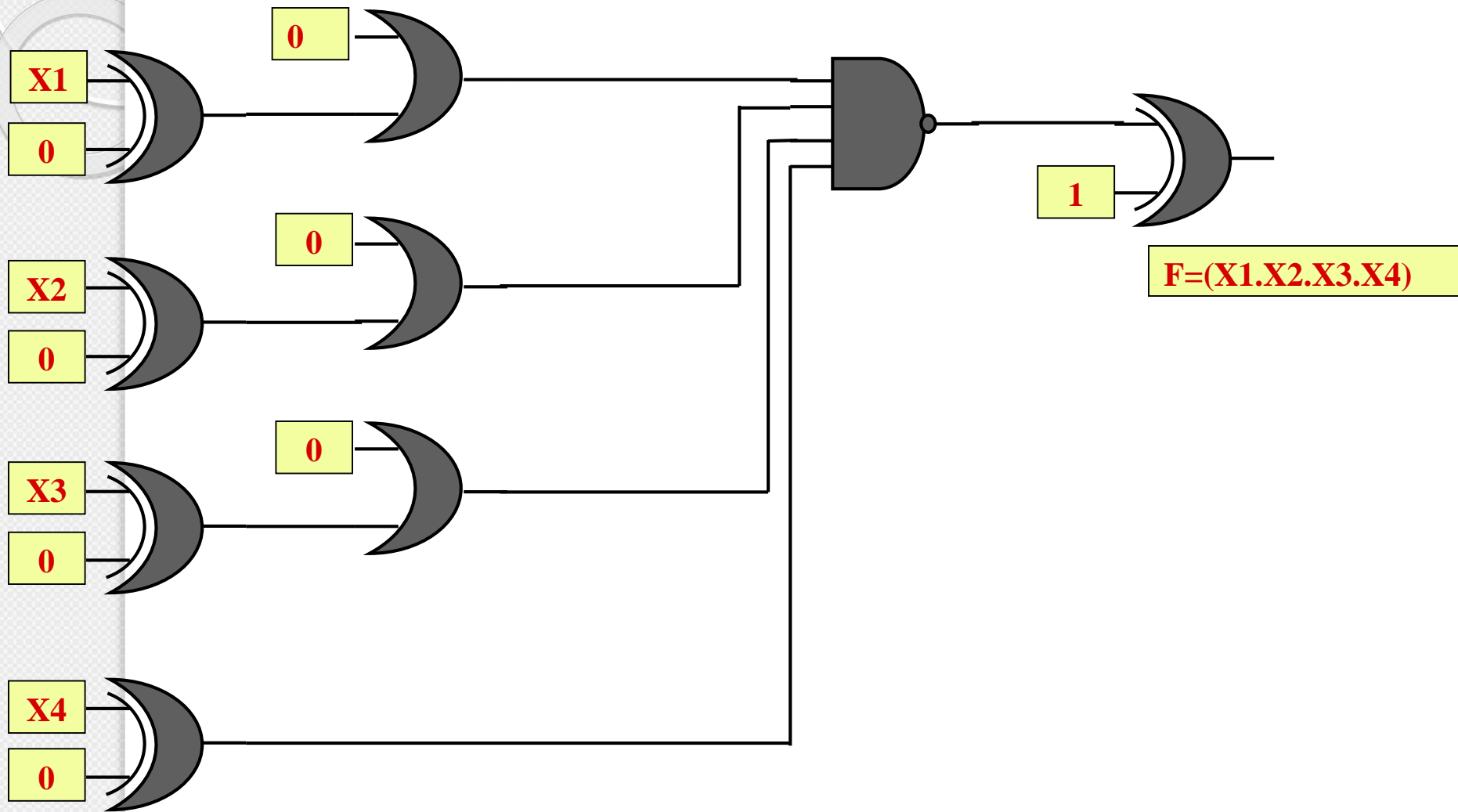
Bloques Lógicos: Ejemplo (I)



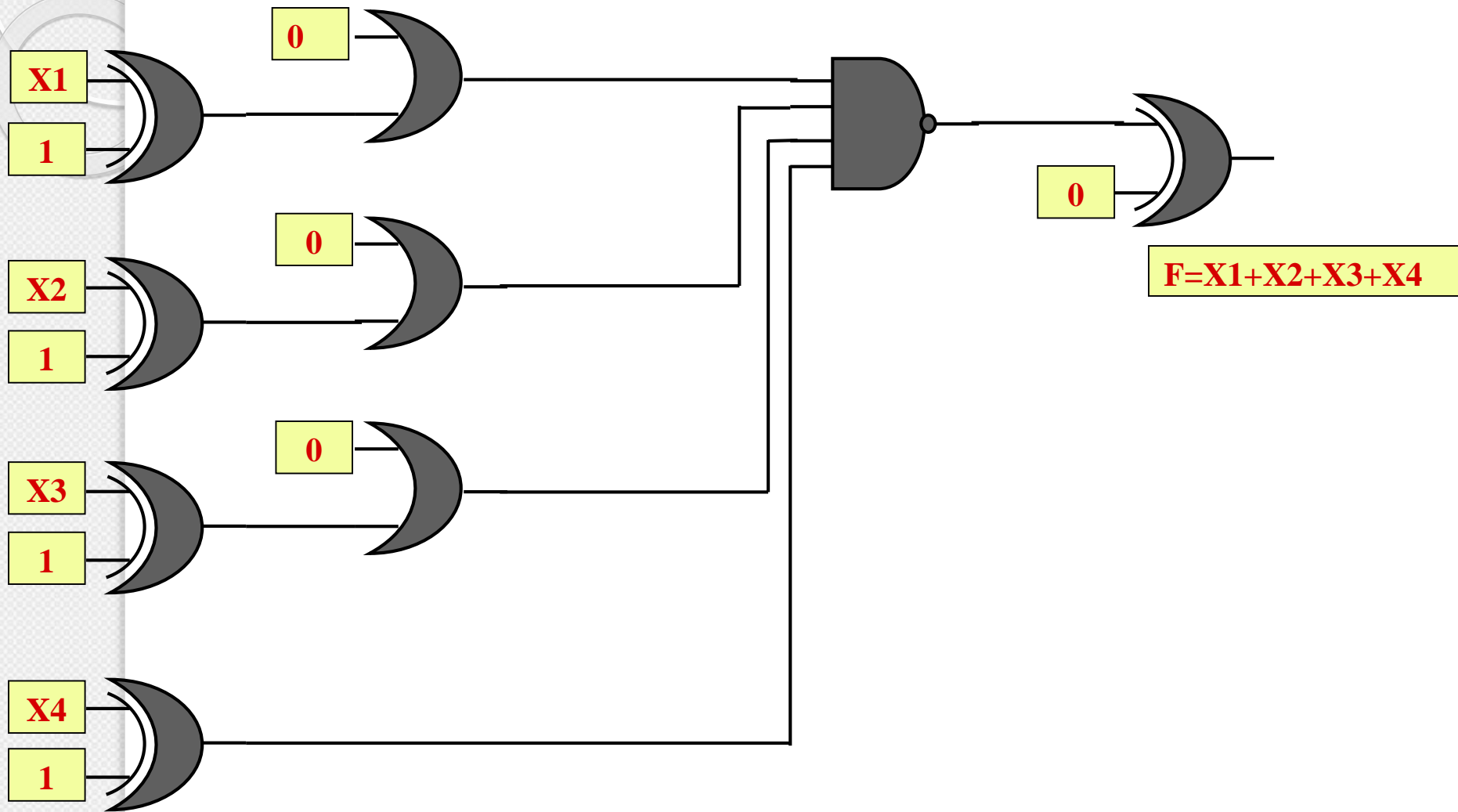
Bloques Lógicos: Ejemplo (2)



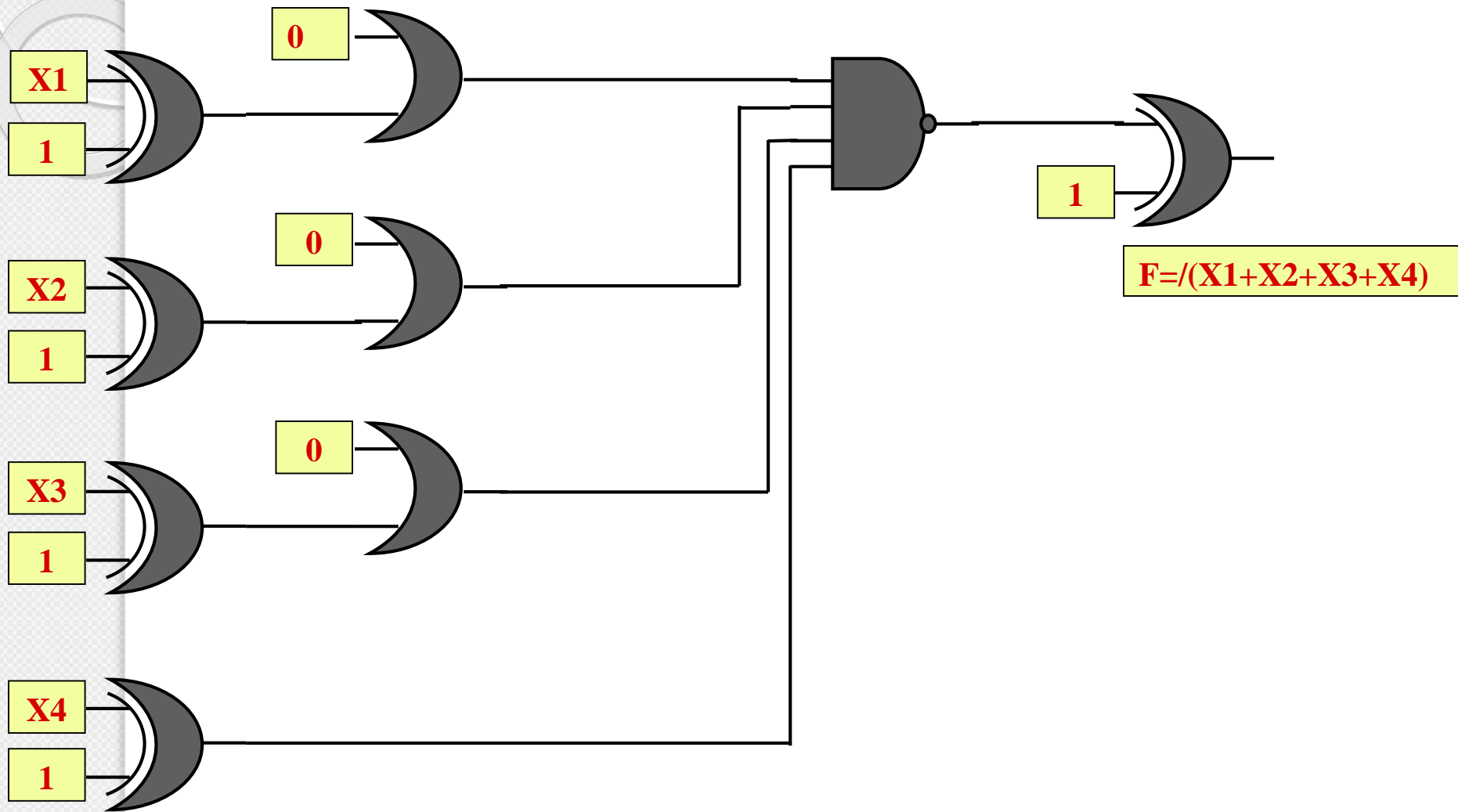
Bloques Lógicos: Ejemplo (3)



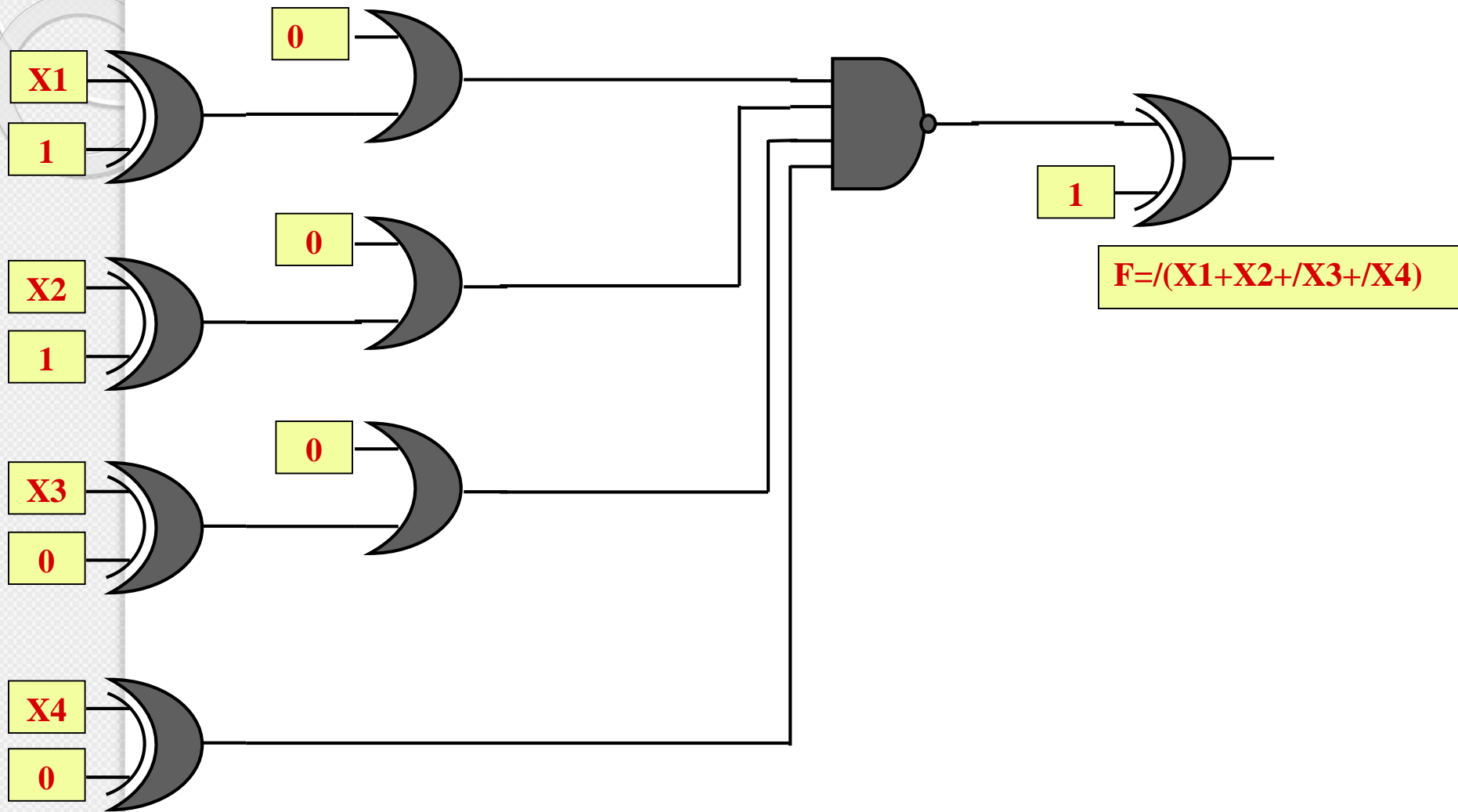
Bloques Lógicos: Ejemplo (4)



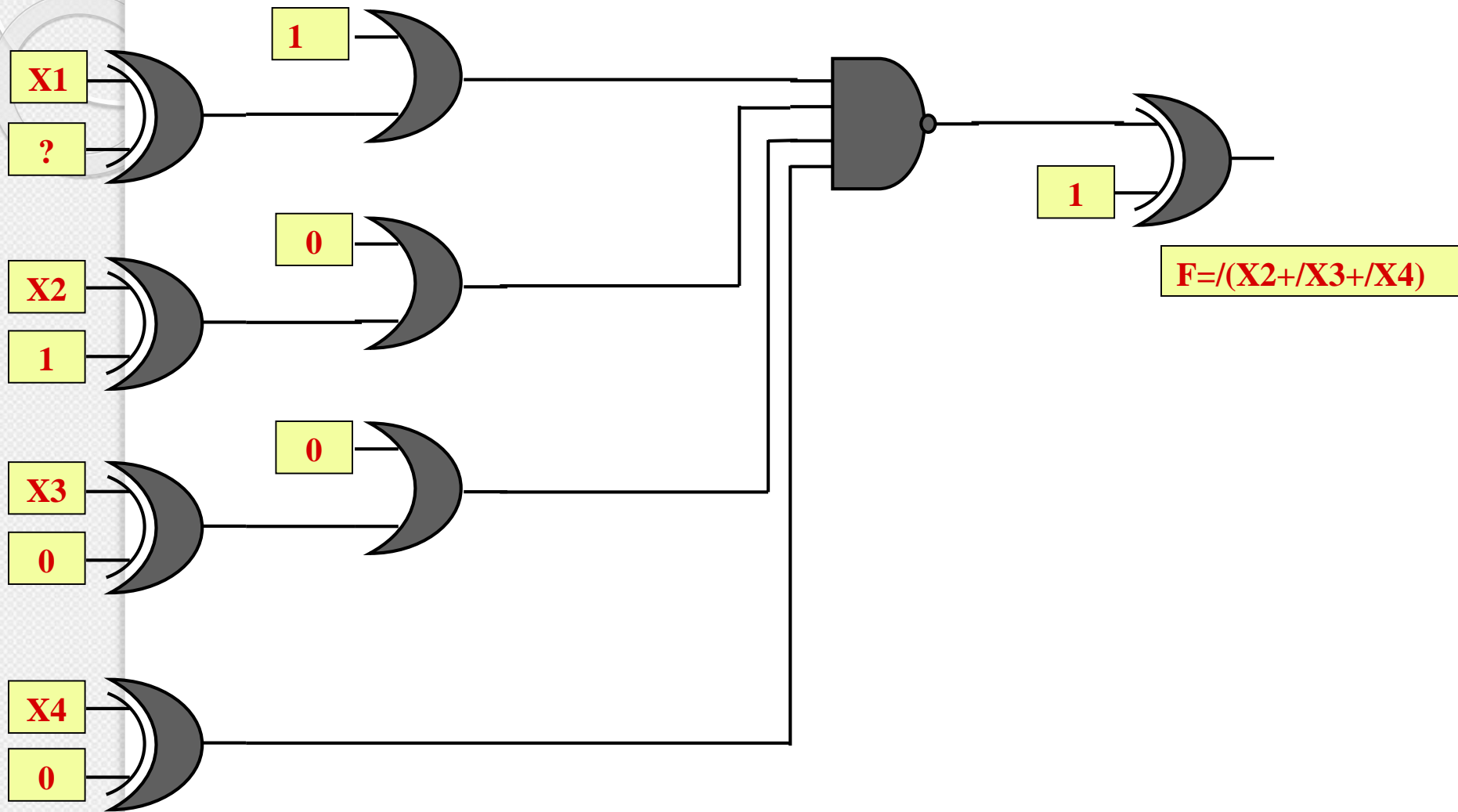
Bloques Lógicos: Ejemplo (5)



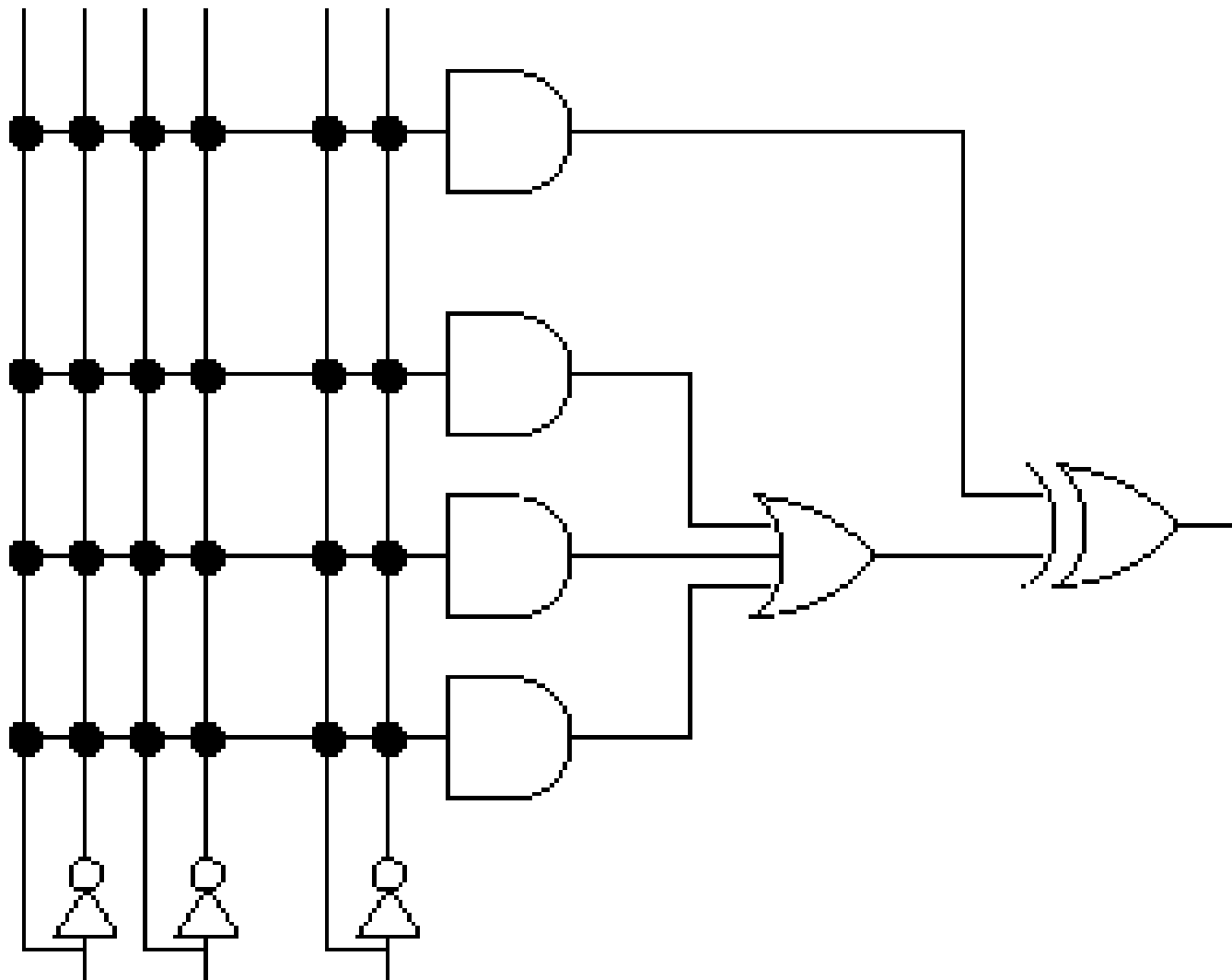
Bloques Lógicos: Ejemplo (6)



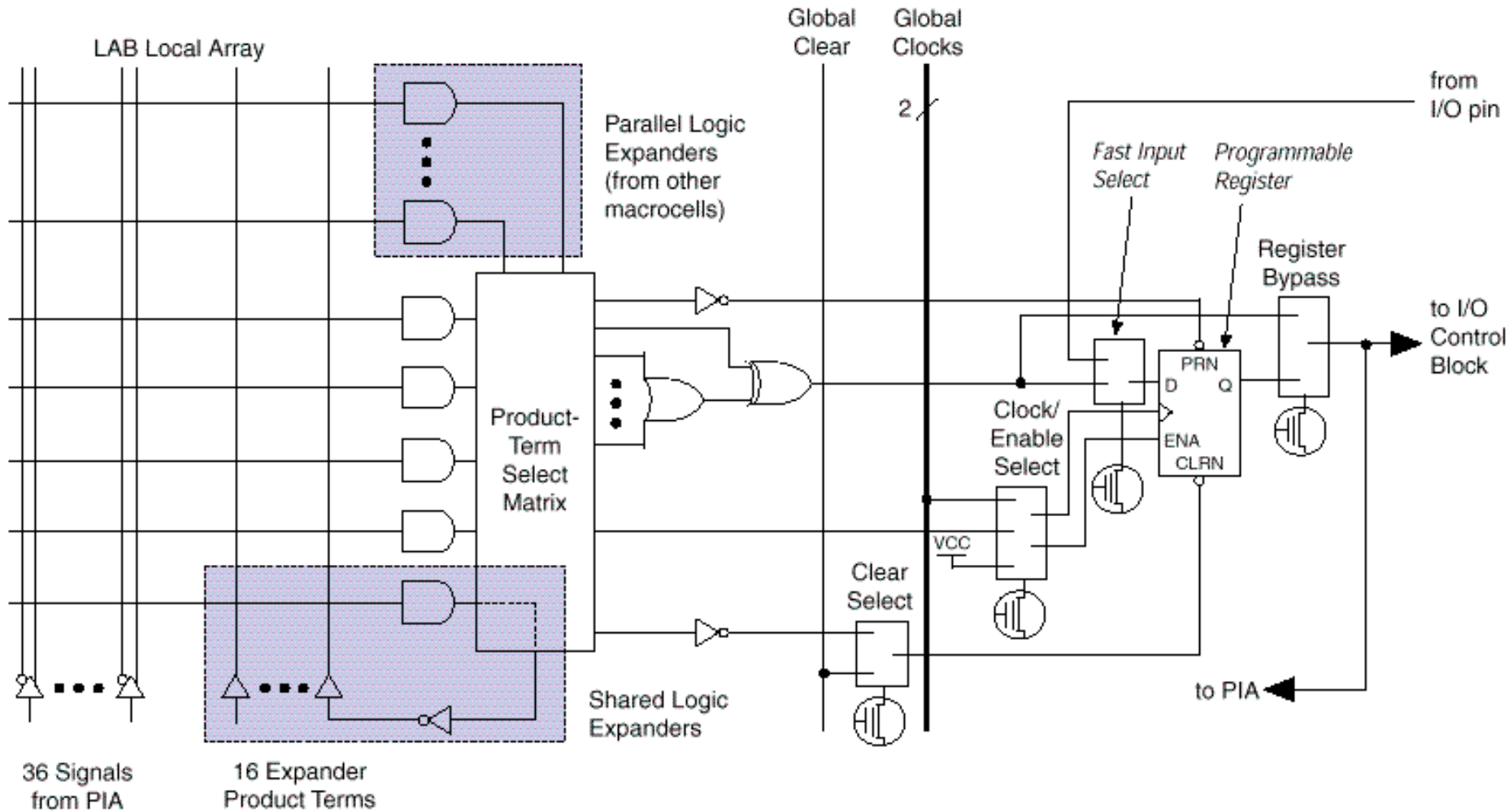
Bloques Lógicos: Ejemplo (7)



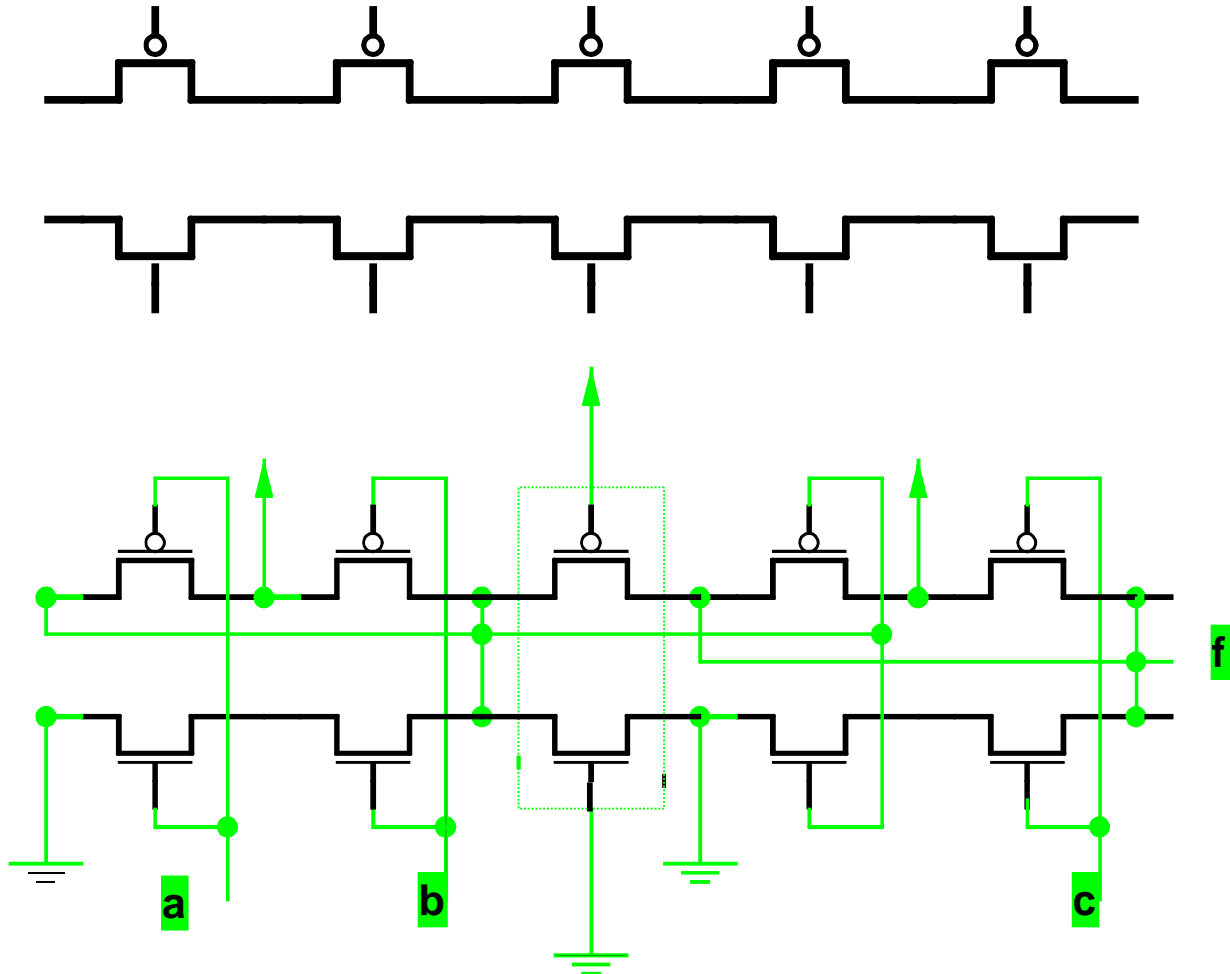
Bloques Lógicos: Grano Grueso. Altera Max-5000



Bloques Lógicos: Grano Grueso. Altera Max-7000



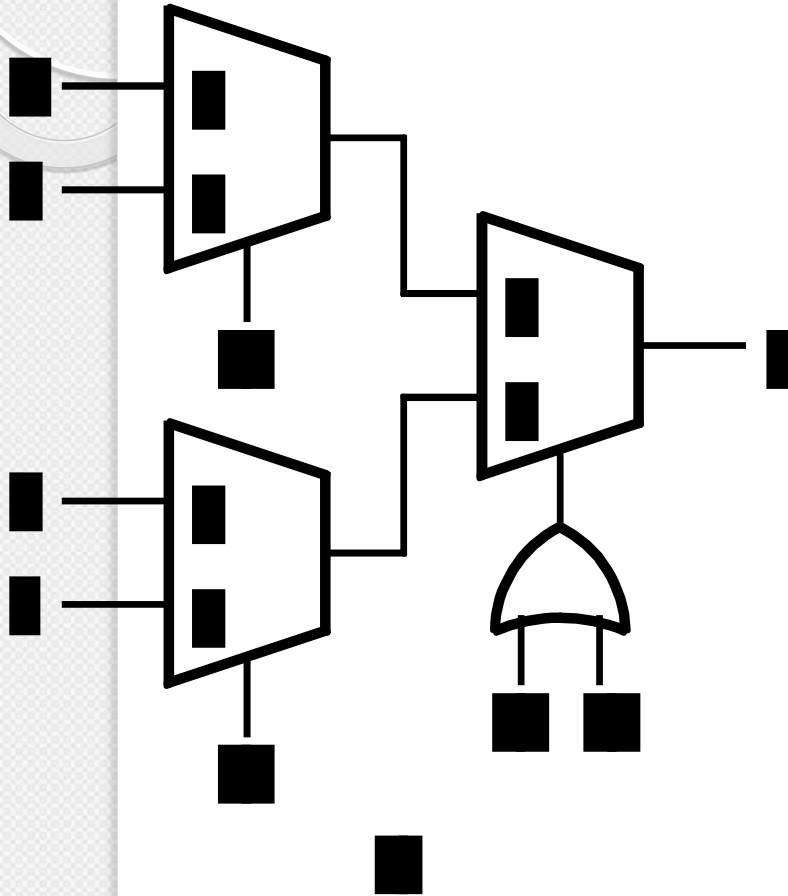
Bloques Lógicos: Grano fino (CROSSPOINT)



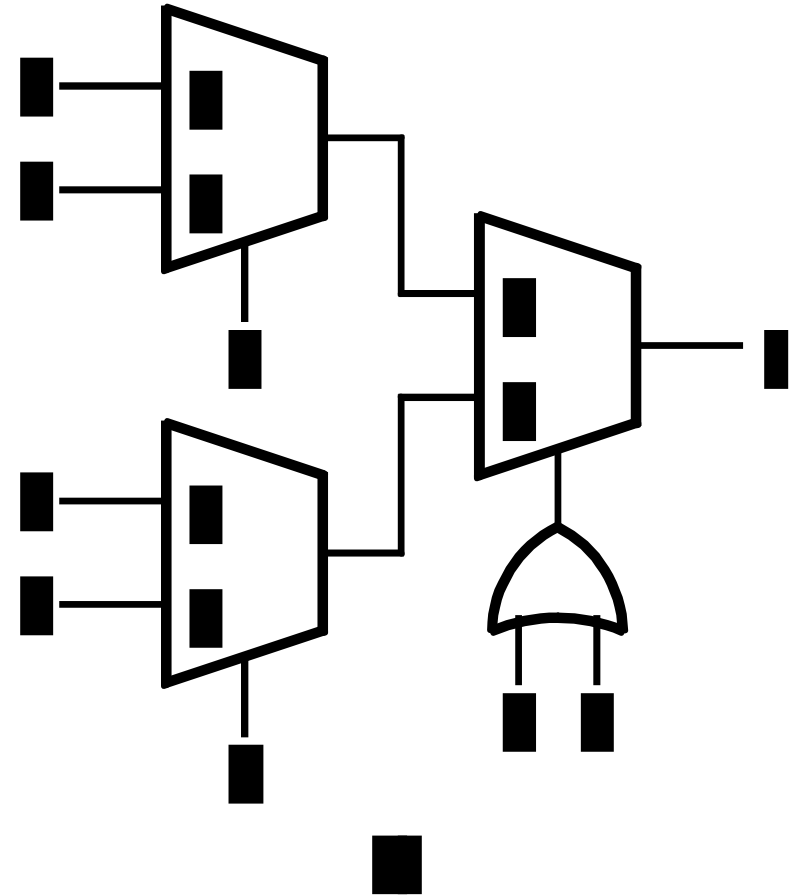
Buen aprovechamiento de los transistores/ Muchas interconexiones

Bloques Lógicos: Grano Grueso.

Ejemplo: ACTEL (ACT-1)



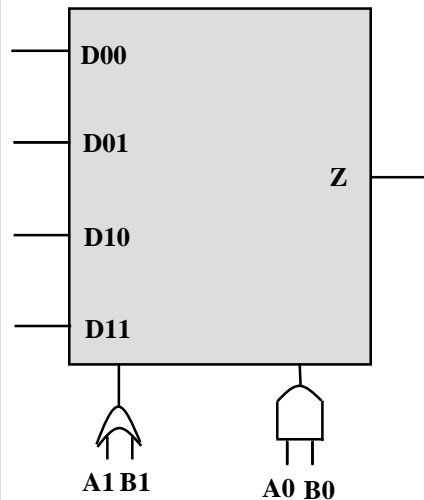
Bloque programable



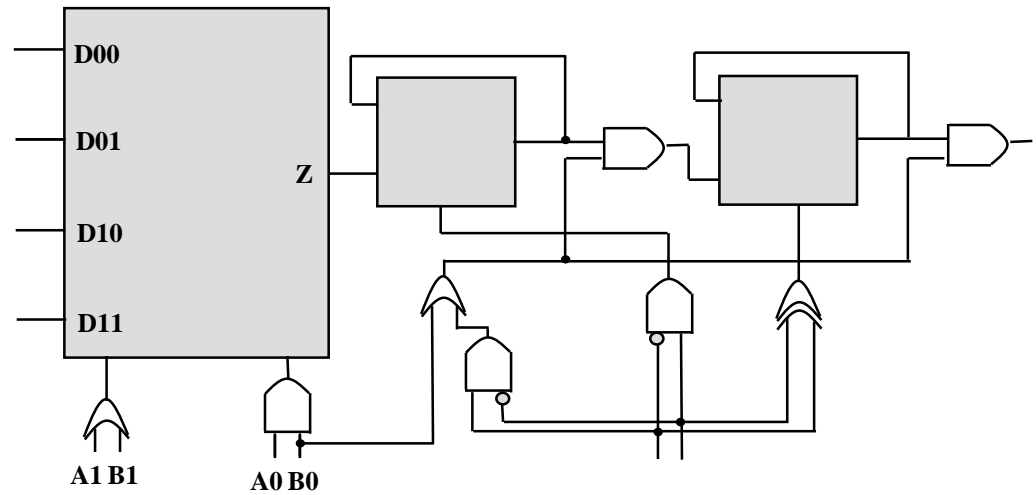
ejemplo de función lógica $f = \neg(\neg(a.b).c)$

Bloques Lógicos: Grano Grueso.

Ejemplo: ACTEL (ACT-2)



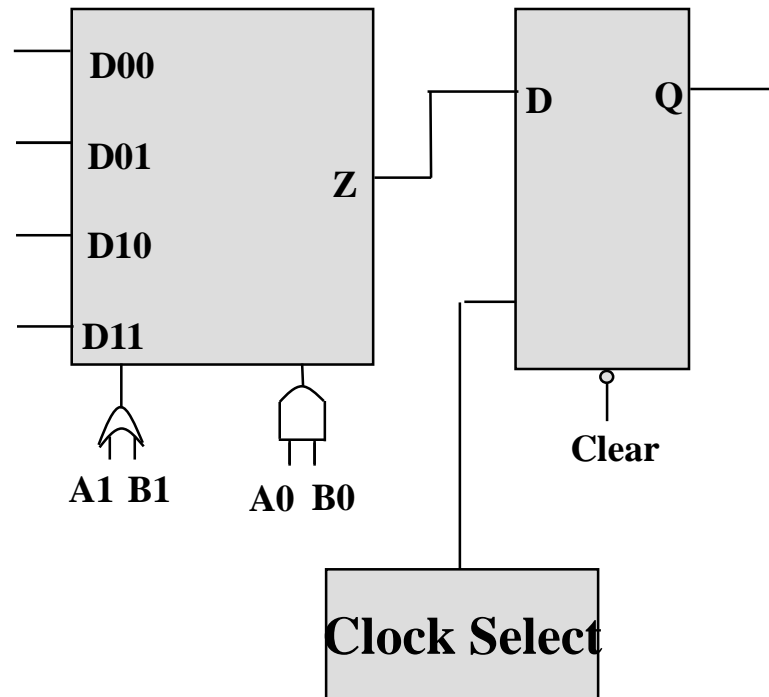
a) Bloque C



a) Bloque S

Bloques Lógicos: Grano Grueso.

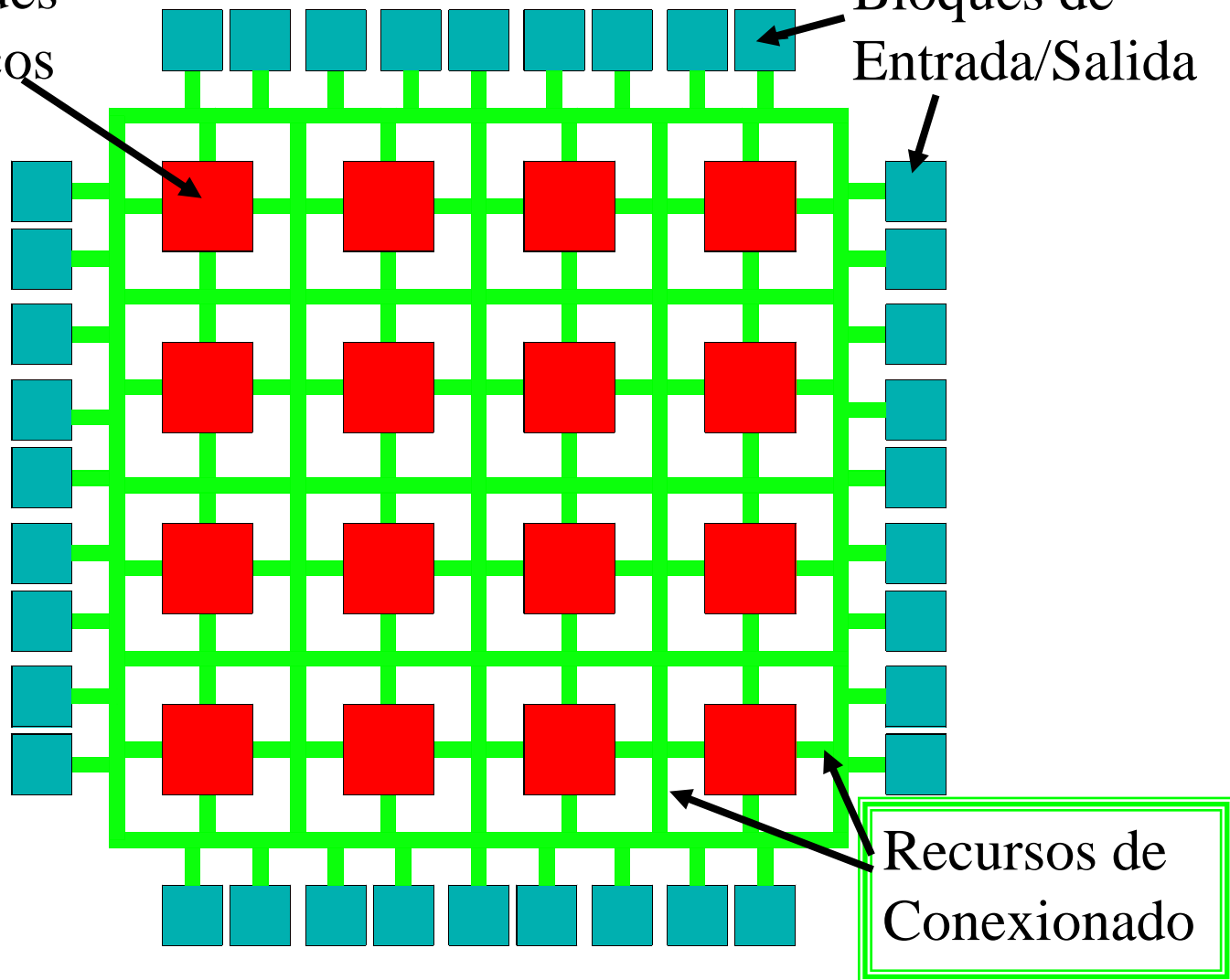
Ejemplo: ACTEL (ACT-3)



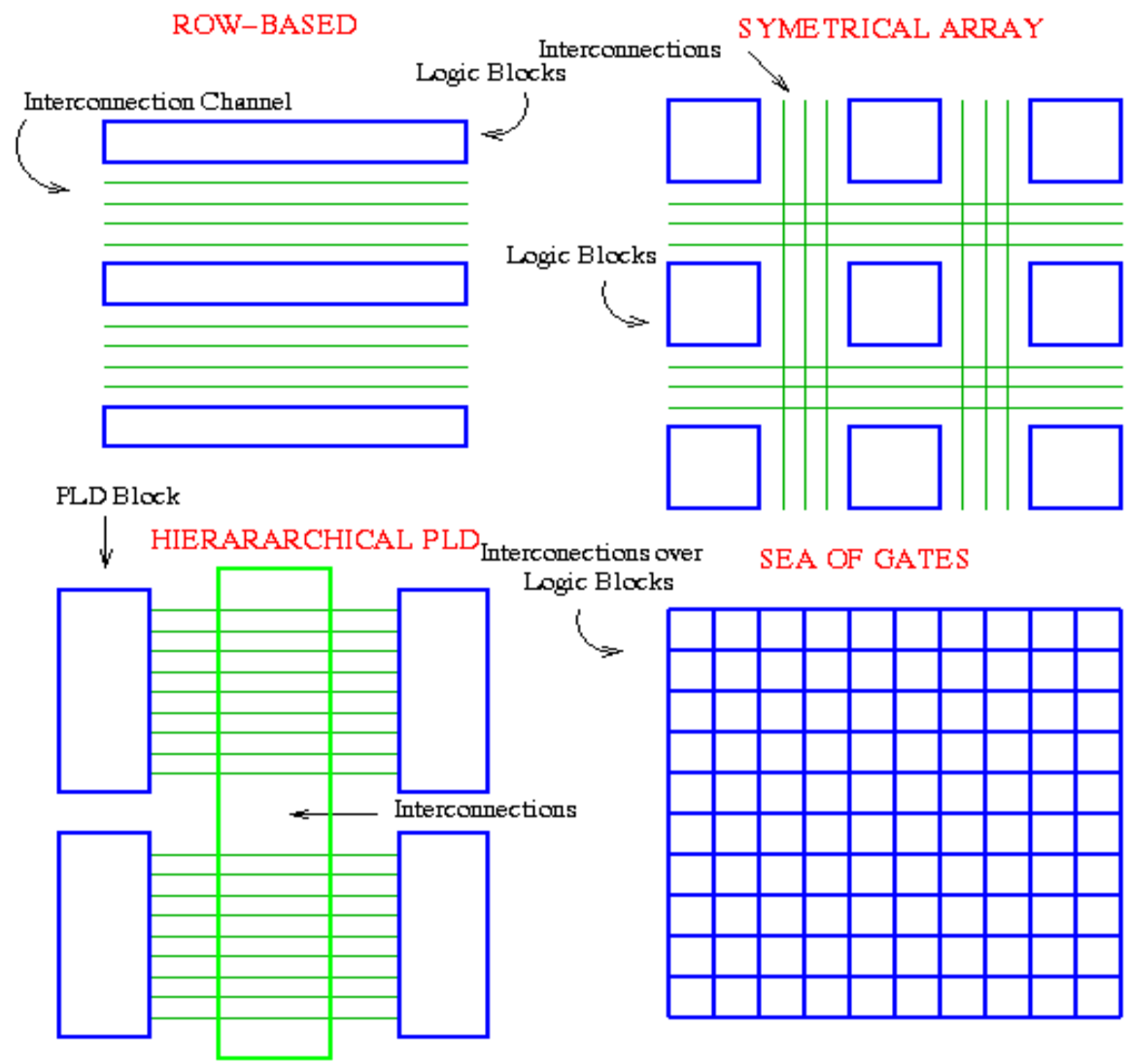
Modelo de FPGAs

Bloques Lógicos

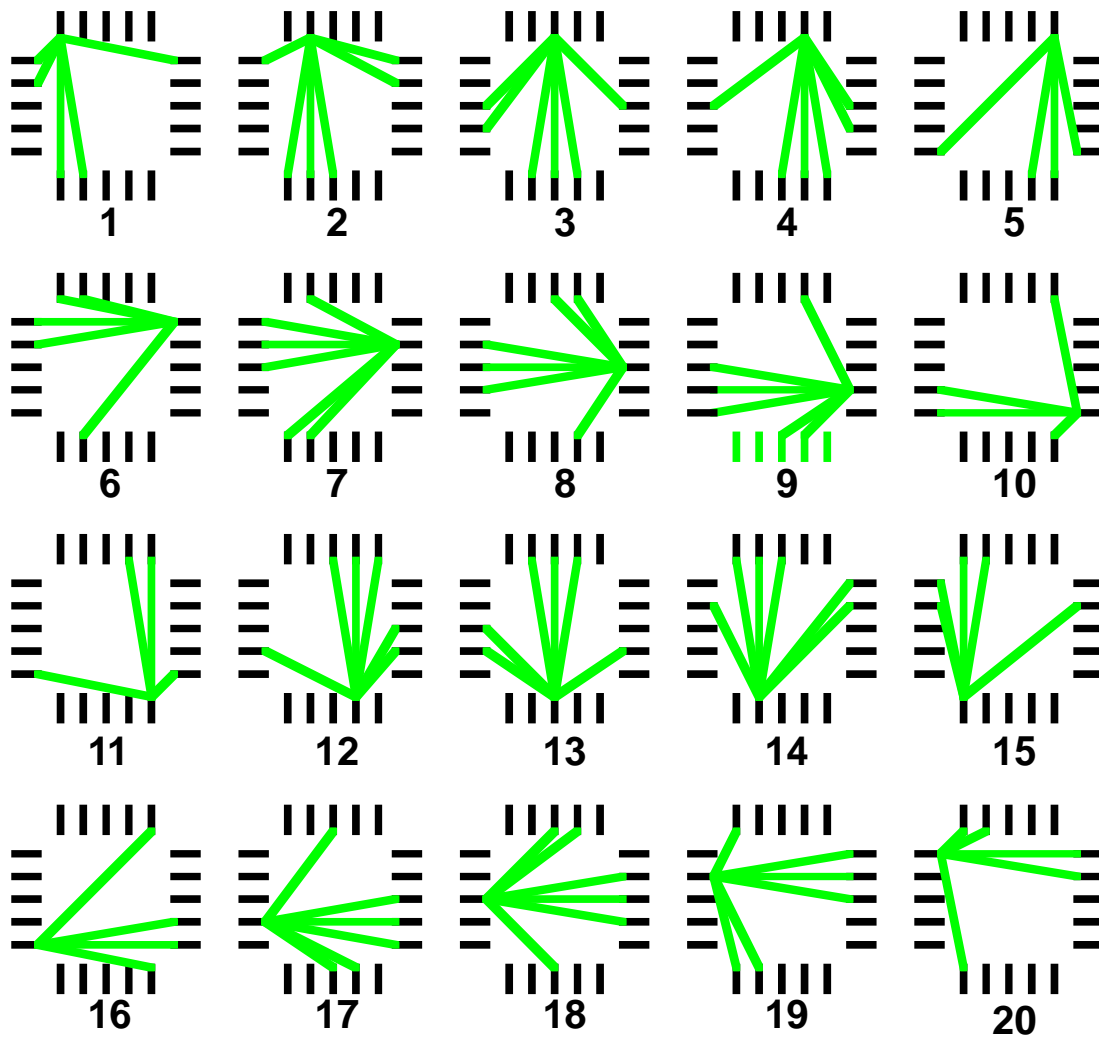
Bloques de Entrada/Salida



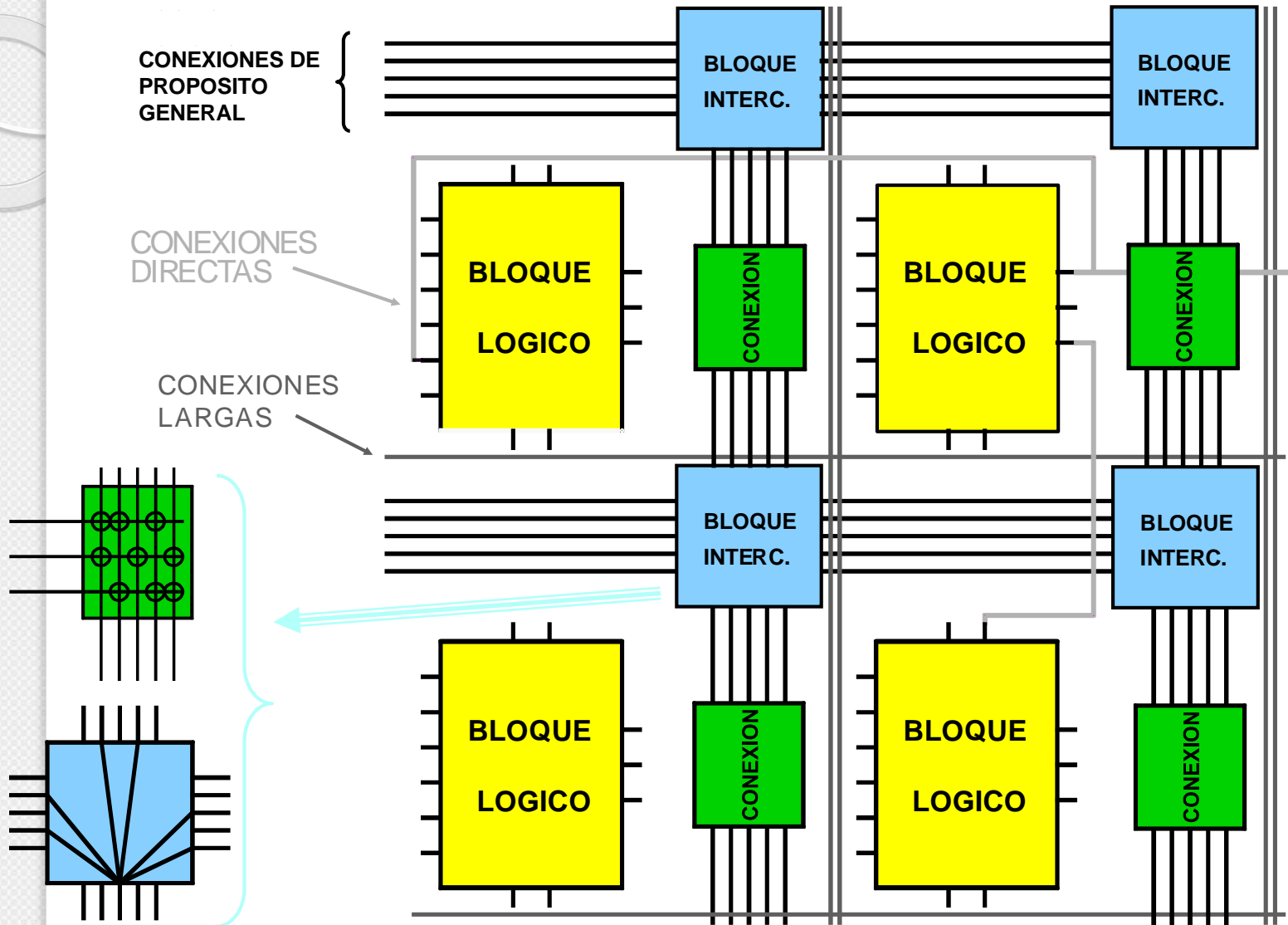
Interconexión



Interconexionado



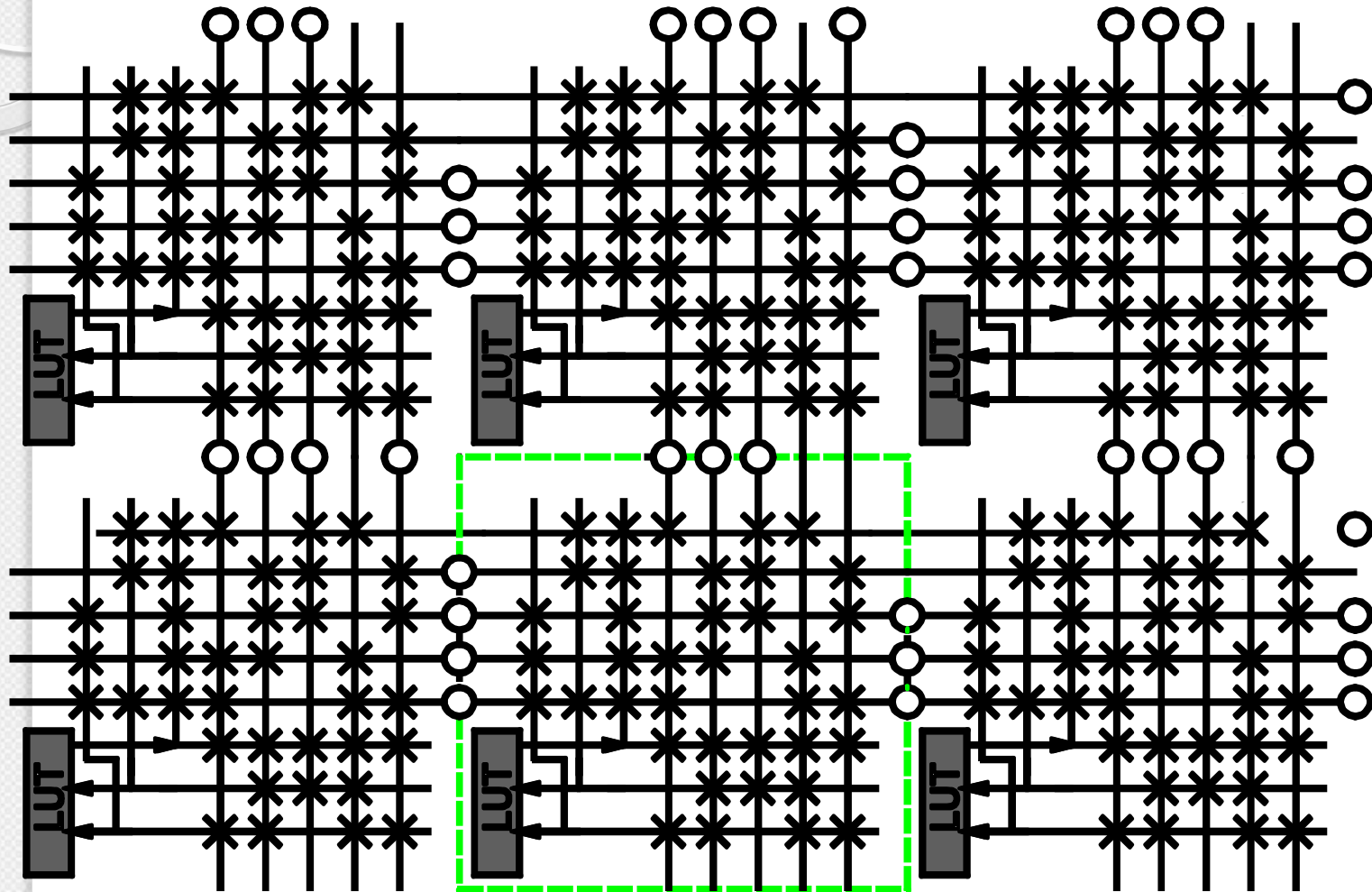
Interconexión (Xilinx)



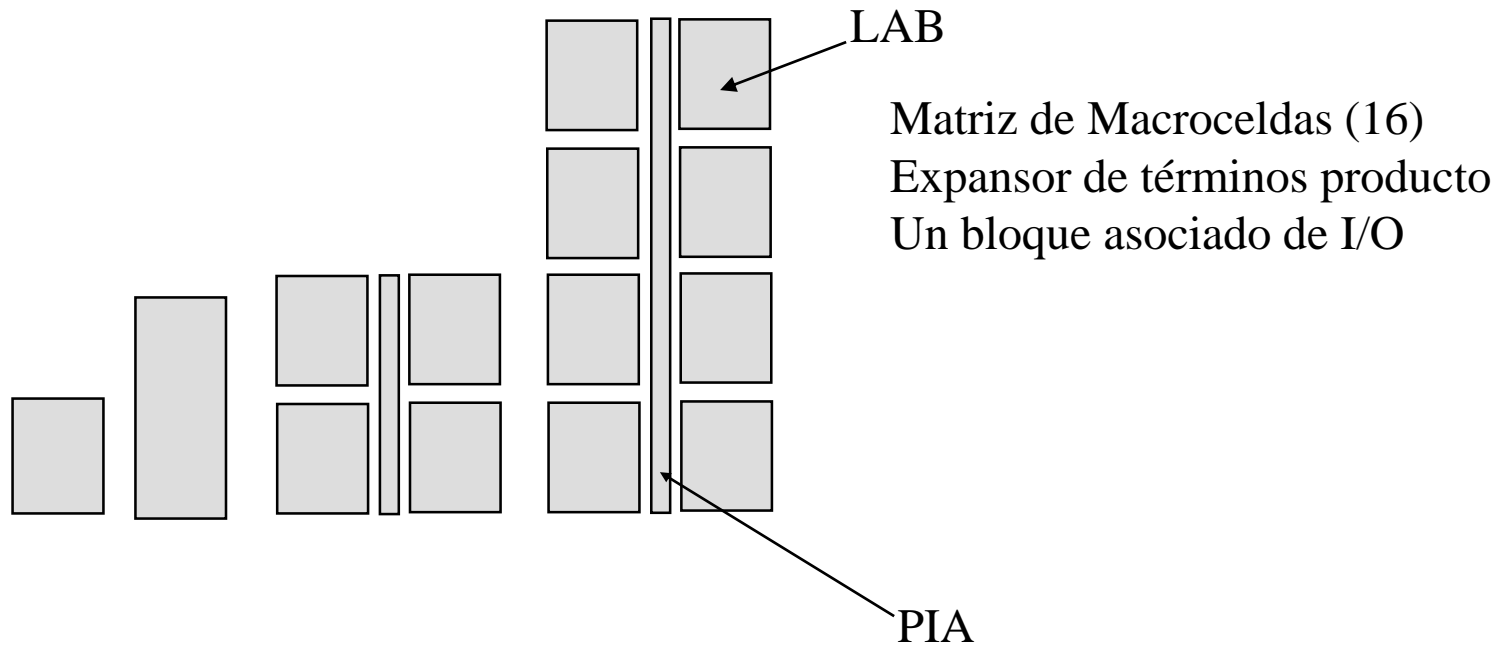
Interconexión (Xilinx)

○ Interruptores entre segmentos

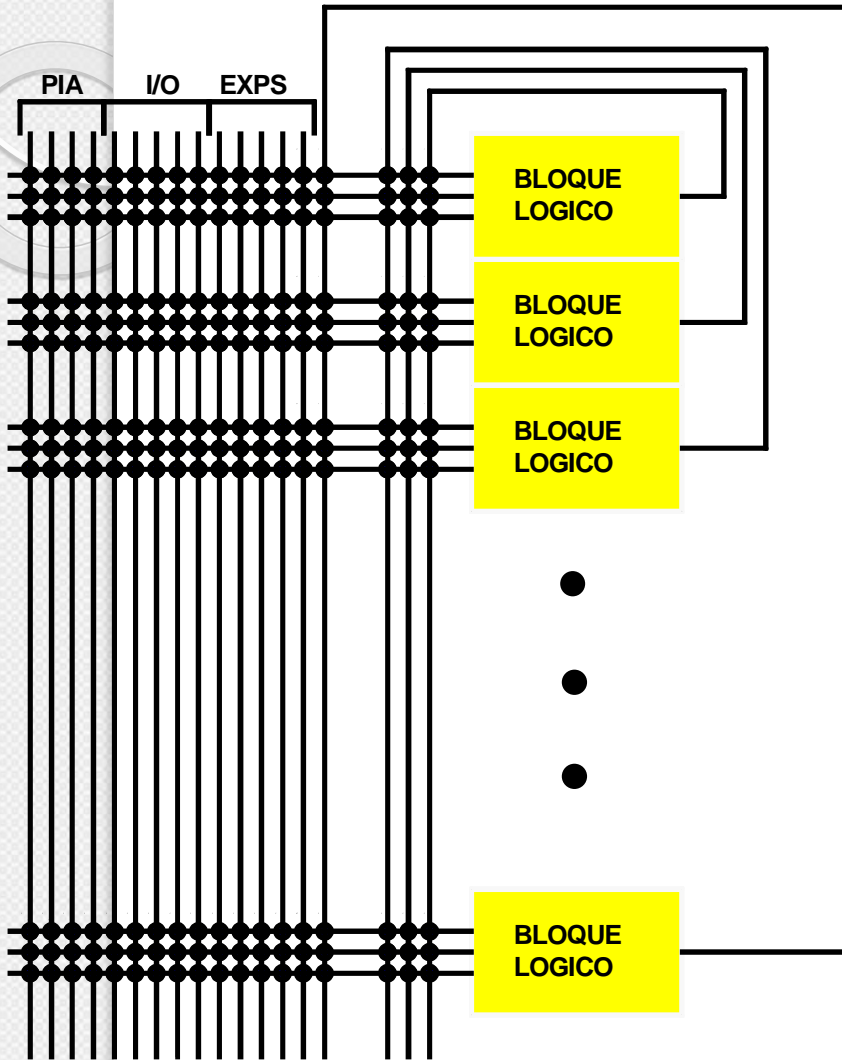
× Interruptores entre líneas ortogonales



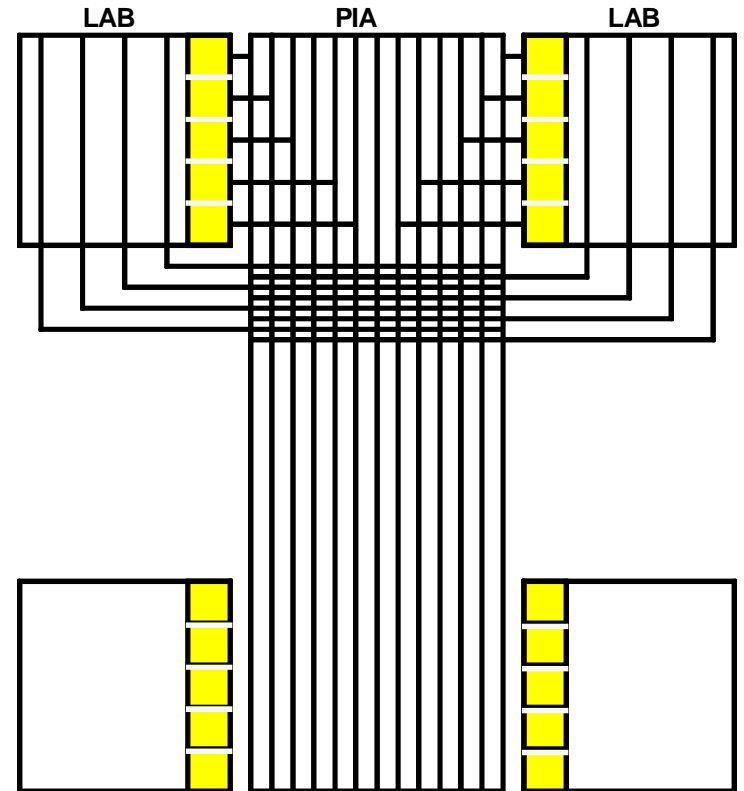
Arquitectura de ALTERA



Interconexión (Altera)

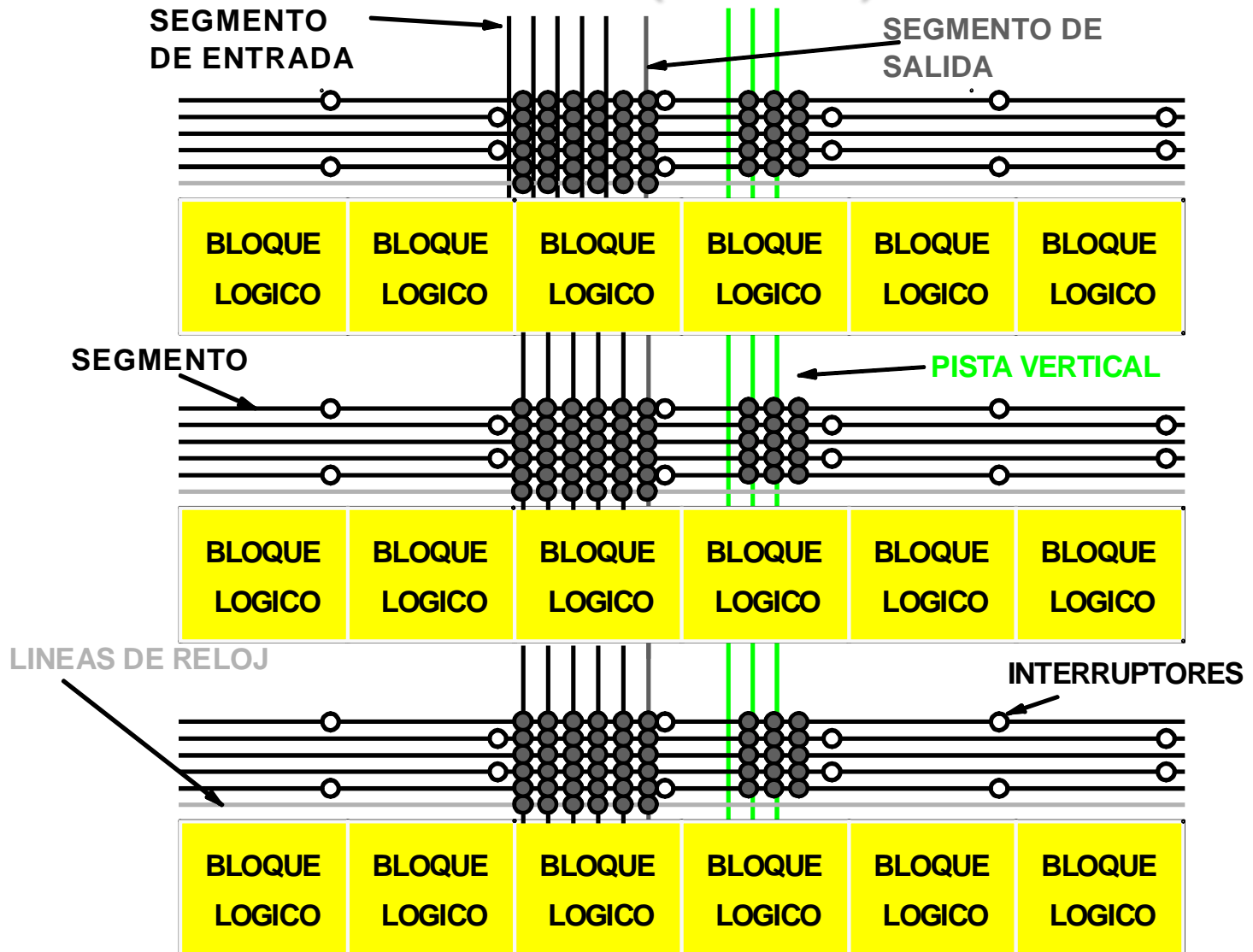


a)



b)

Interconexión (Actel)



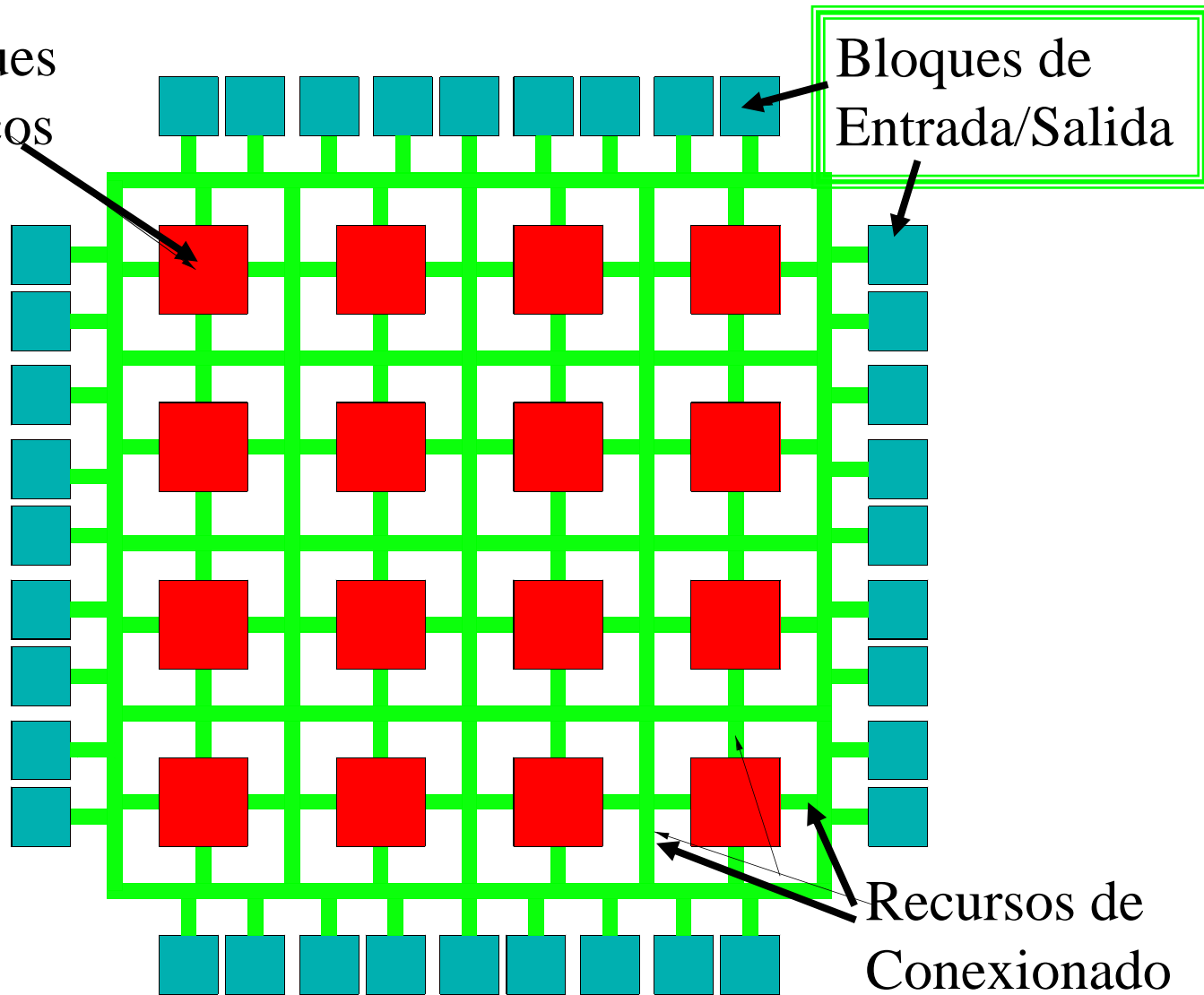
Decisiones sobre Interconexión

- Cuántos segmentos por Canal
- Cómo de largos
- Cuantos interruptores de rutado
- Compromiso entre velocidad y área
- Herramientas de rutado optimizadas para arquitectura
- Se requiere más investigación

Modelo de FPGAs

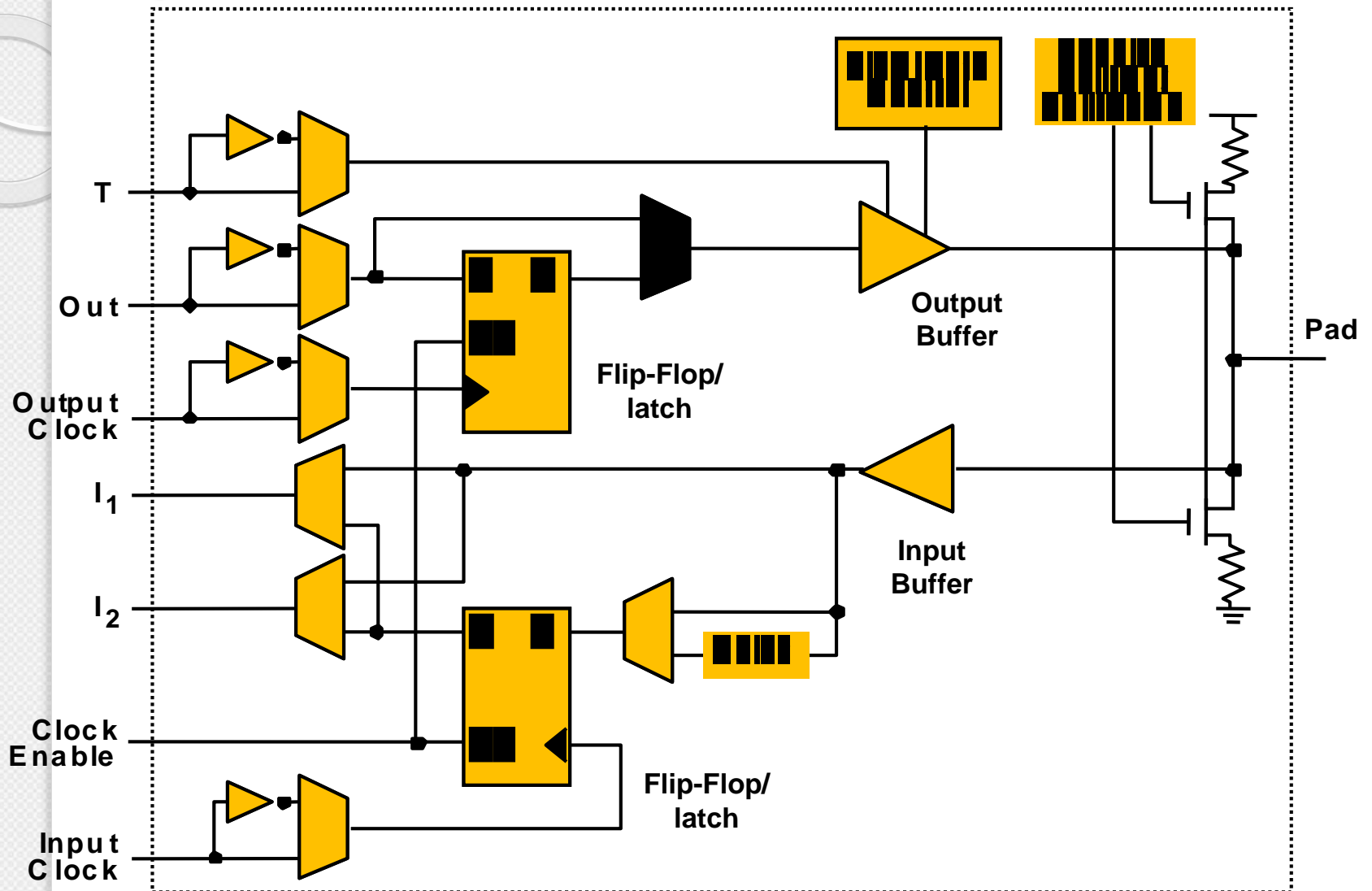
Bloques Lógicos

Bloques de Entrada/Salida



Recursos de Conexión

Bloque de E/S: Xilinx-4000



Comparación FPGA-ASIC (I)

- **Tamaño:**
 - ASIC: 8 Transistores/puerta (rutado)
 - FPGA: 100 Transistores/puerta (rutado+programabilidad)
- **Velocidad: Aprox. 1/3**
- **No máscaras:**
 - No coste de NRE (muy interesante si hay que rediseñar \Rightarrow Flexibilidad)
 - No espera fabricación de máscaras y prototipos

Comparación FPGA-ASIC (2)

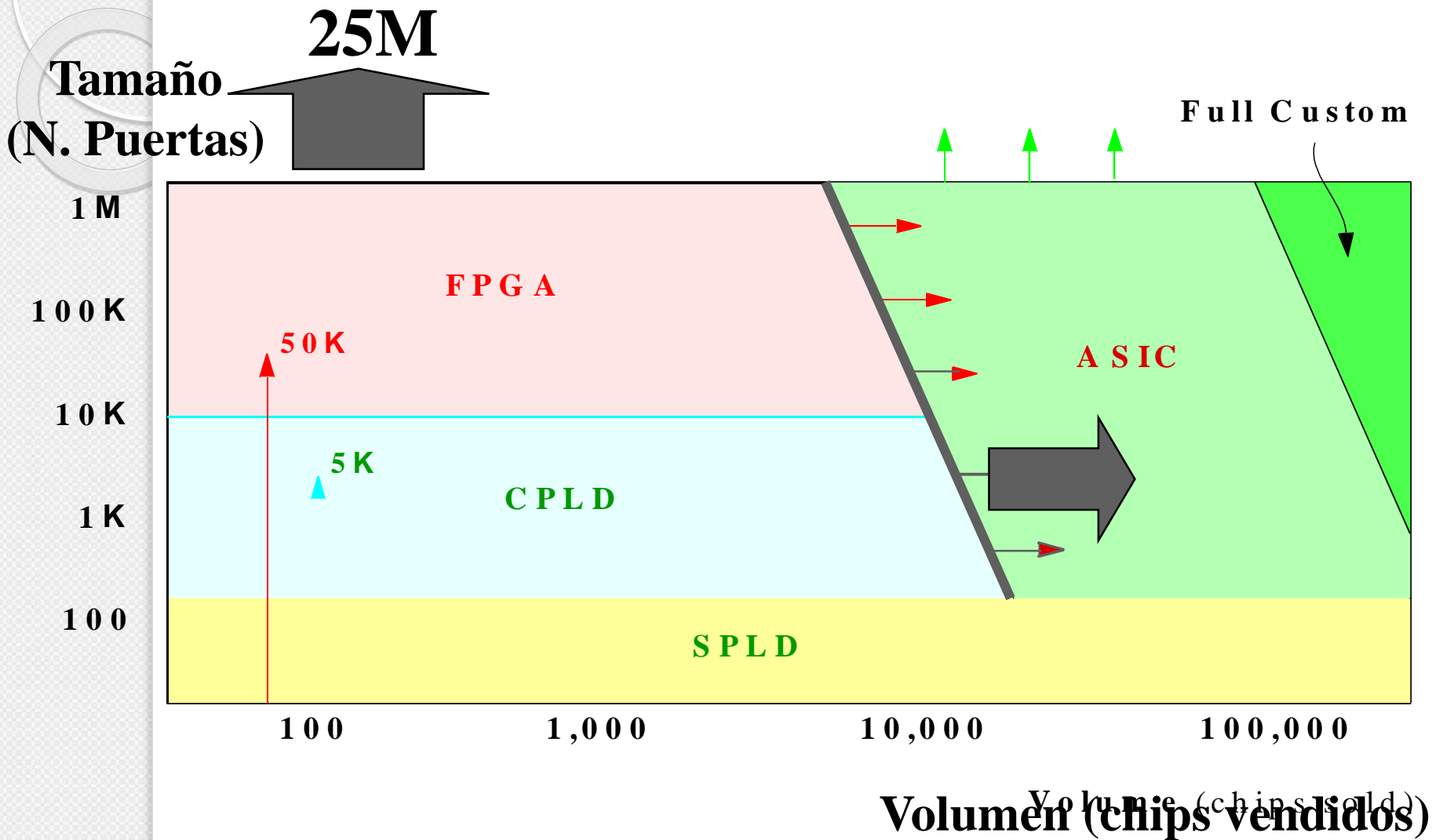
- Tecnología “última generación” (65 nm, estructuras muy repetitivas)
- Hasta 25 M. Puertas.
- Diseño con las mismas herramientas que ASIC.
- Integración HW/SW se retrasa en los ASICs hasta que no se reciben muestras “buenas”
- Tiempo de llegada al mercado menor que ASIC.

Comparación FPGA-ASIC (3)

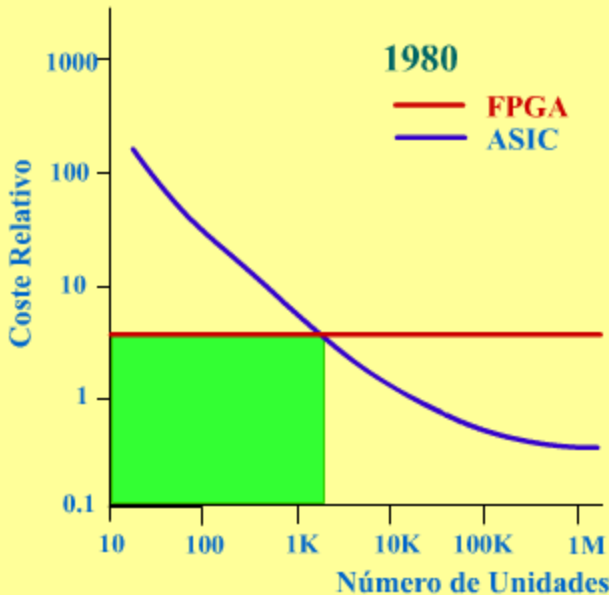
Futura Investigación:

- Mejora de arquitecturas para reducir 100 Tr./Puerta.
- Mejora algoritmos síntesis... (optimizar uso de recursos internos)
- Diseño de Dispositivos con módulos especializados (Tratamiento de señal, Comunicaciones...)

Comparación FPGA-ASIC (4)



Comparación FPGA-ASIC (5)



Evolución con el tiempo del límite de rentabilidad entre ASICs y FPGAs

- Los costes de NRE suben:
 - Coste por máscara
 - Número de máscaras
- Sube pedido mínimo:
 - Sube número de CIs “buenos” al bajar la regla de diseño
 - El tamaño de las obleas sube
- Cada vez quedan menos fabricantes activos

Comparación PLD-ASIC (6)

- Las FPGAs pueden sustituir ASICs por:
 - Capacidad adecuada.
 - Suficientes prestaciones.
 - Costo unitario no muy superior.
 - Son productos estándar.

Uso de FPGAs

- Inicialmente como “Glue Logic”: Uniendo bloques VLSI complejos (baja capacidad).

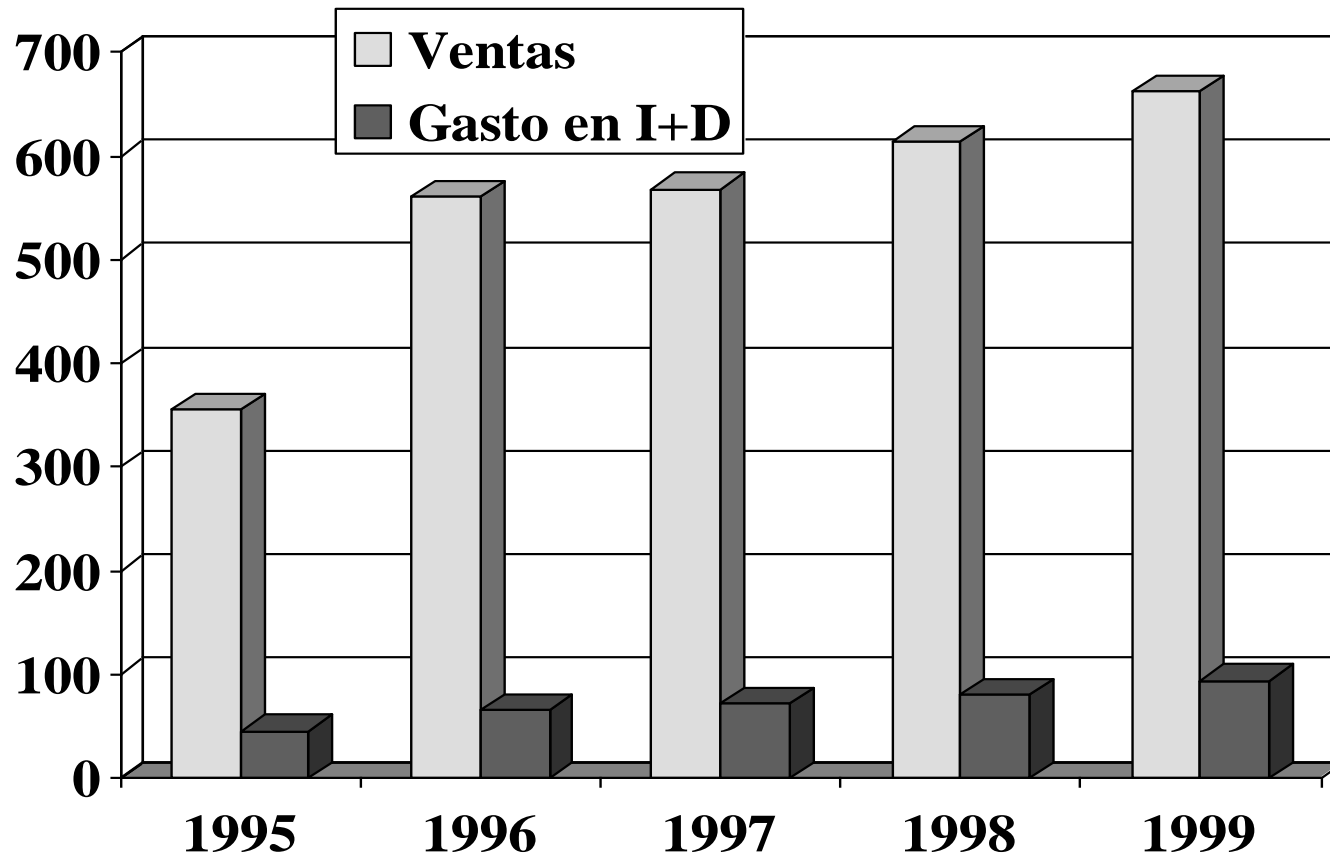
- Actualmente realizando subsistemas digitales completos (alta capacidad).

 - Realizando diseños que se hubiesen tenido que hacer con ASICs.

 - Emulando partes de ASICs muy complejos.

- En el futuro inmediato, realizando sistemas digitales/analógicos completos (capacidad muy elevada).

Gasto en I+D (Xilinx) (Mill. \$)



Proyección del mercado de Dispositivos Lógicos Programables

