

Tema 6

Células Secuenciales y Sistemas

Cómo los circuitos digitales cobran sentido y permiten procesar datos a gran velocidad



Contenidos del tema

1. Introducción
2. Célula de memoria estática
 1. El biestable activo por nivel
 2. Naturaleza de los retardo
3. Registro activo por flanco
 1. Parámetros temporales
4. Otros biestables
5. Temporización de sistemas
6. Integración de sistemas síncronos
7. Latches dinámicos
8. Pipeline

I. Introducción

- Los circuitos digitales tienen una ventaja esencial sobre los analógicos:
 - Los mecanismos de almacenamiento de información son PEQUEÑOS y ESTABLES
- Sin embargo presentan un inconveniente:
 - La información ha de ser discretizada, habitualmente codificada en varias unidades de memoria
- Los almacenes de memoria analógicos son las capacidades. La información se representa mediante el valor de la carga almacenada.
- Los almacenes de memoria digitales son estructuras realimentadas o capacidades. La información se representa mediante el estado de la célula (carga/descarga).

- Almacén analógico:

- Son precisos
- Se integran con estructuras muy simples semejantes a un condensador
- Sus dimensiones son imprecisas
- Se descargan con el tiempo por fugas
- Las estructuras de procesamiento son complejas
- Los tiempos de carga y de descarga dependen del circuito

- Almacen Digital

- Solo almacenan valores binarios
- Cada unidad de información necesita un circuito de almacenamiento
- No se ven influidas por las dimensiones
- Son permanentes, mientras exista tensión
- Los tiempos de carga y de descarga dependen de la tecnología
- Se integran dentro de grandes estructuras de procesamiento

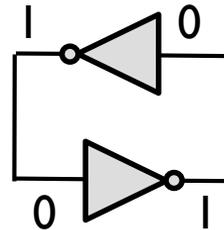
- Las estructuras de almacenamiento digital se manejan de forma coordinada con otras estructuras. Según éstas, se pueden distinguir dos mecanismos de coordinación:

- Síncrono. Cuando evolución en el tiempo de la información almacenada en la estructura está coordinada por una señal específica, llamada RELOJ

- Asíncrono. Cuando evolución en el tiempo de la información almacenada en la estructura está coordinada por los cambios en los valores de la propia señal

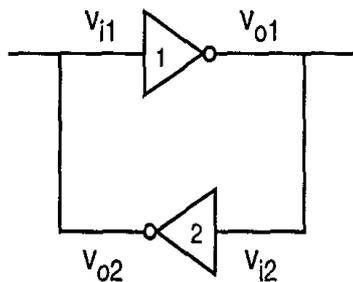
2. La célula de memoria estática

- La célula de memoria estática se basa en la utilización de una estructura con realimentación estable.



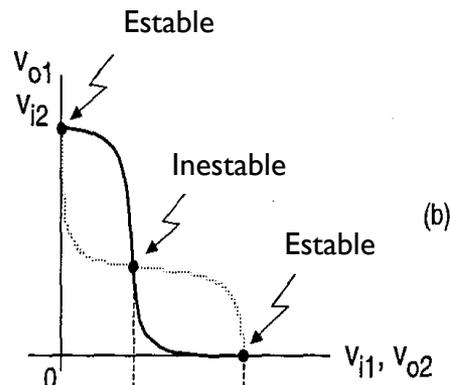
- Estudiaremos el comportamiento de esta estructura, y los mecanismos para inducir valores en ella.

Funcionamiento:

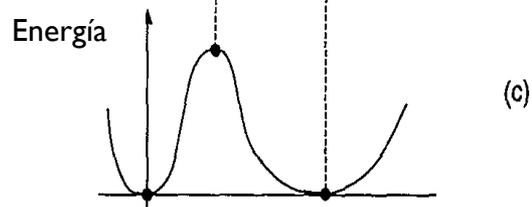


(a)

Comportamiento
biestable



(b)

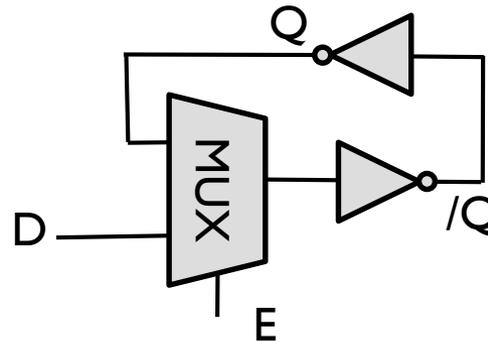


(c)

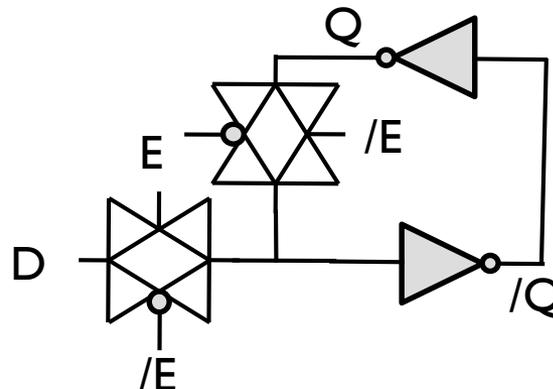
- La célula de memoria presenta dos estados estables y uno inestable, correspondiente al corte entre las dos curvas de transferencia de cada inversor. El punto de inestabilidad está en el centro del intervalo, zona de alta ganancia. Por tanto:
 - El punto de inestabilidad, caso de ser el punto de trabajo, evoluciona con cualquier pequeño ruido térmico.
 - Para no depender de un estado aleatorio se suele desbalancear las relaciones de aspecto de los transistores

2.1 El registro activo por nivel

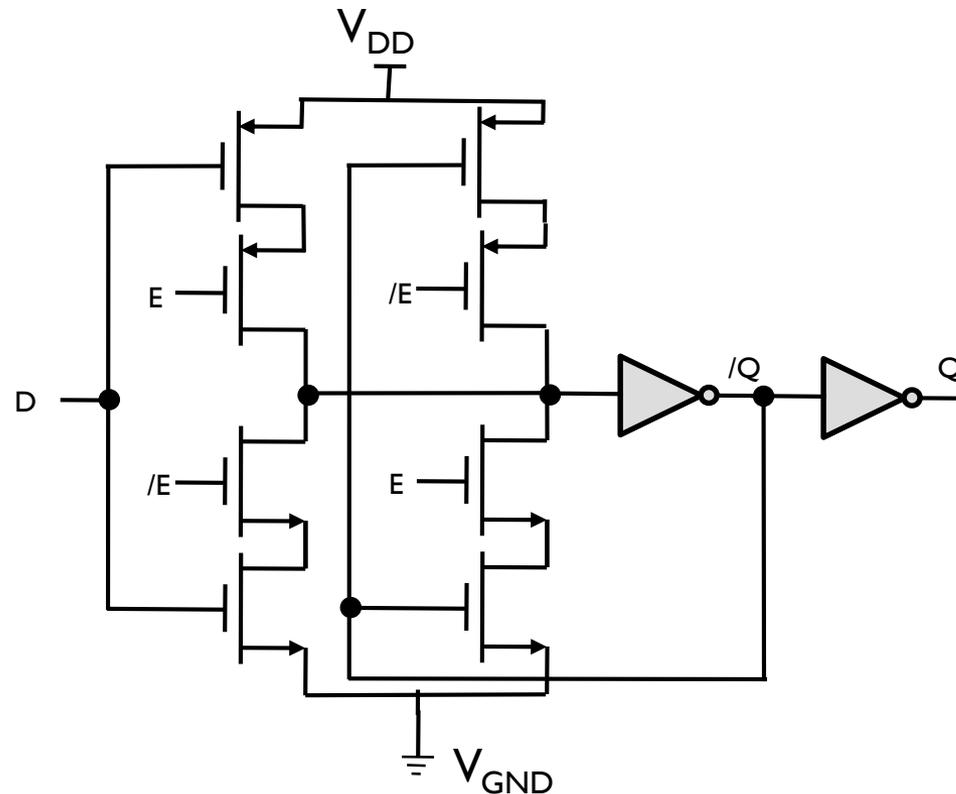
- Si introducimos un multiplexor en la estructura realimentada. Se denomina 'latch'



- O bien mediante puertas de transmisión

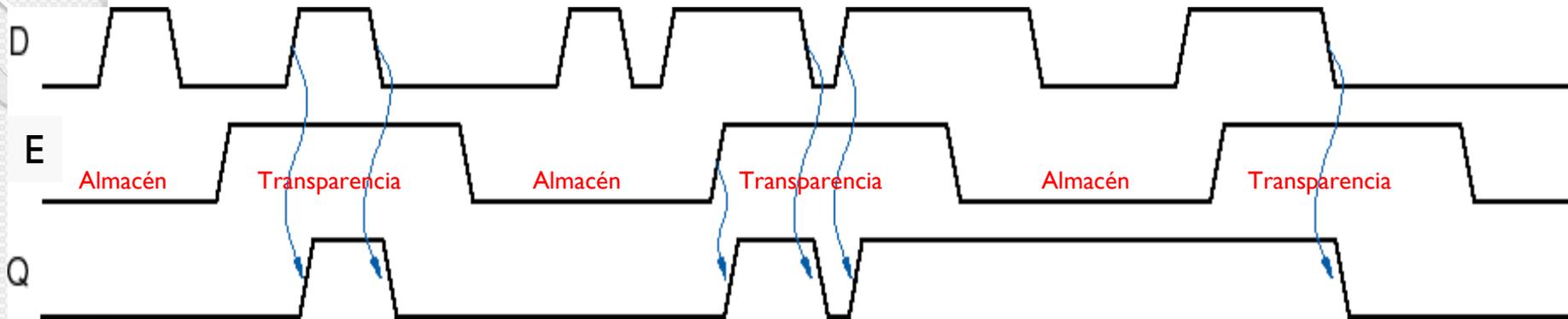


Una implementación mediante transistores de paso

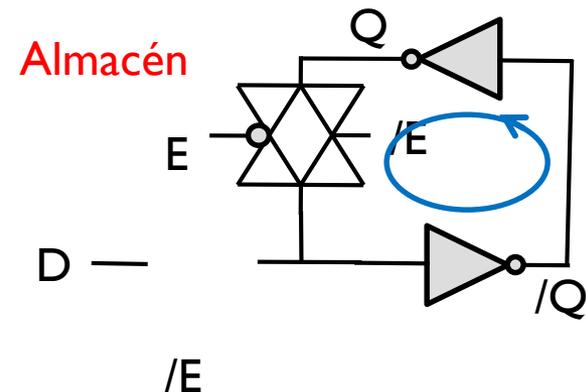
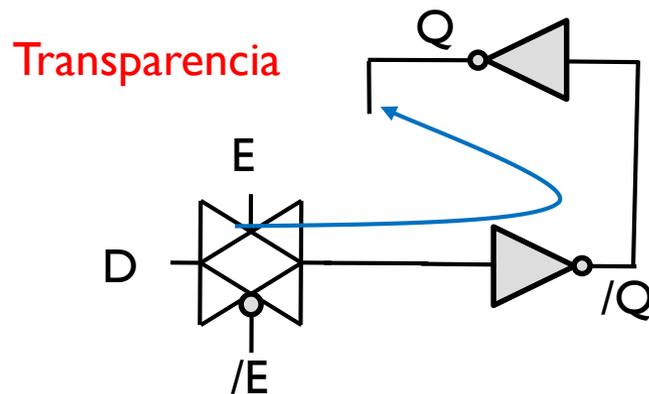


Comportamiento de la célula de memoria estática

- El circuito se comporta de la siguiente manera:

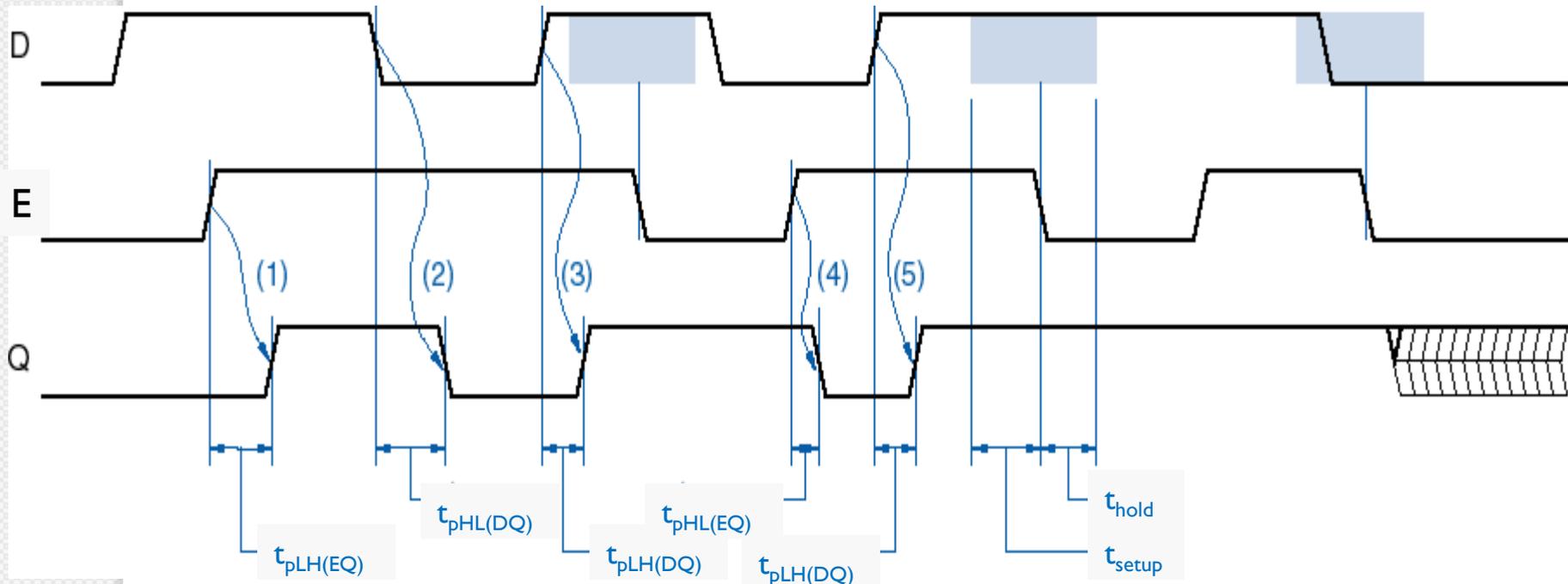


Se distinguen dos periodos: transparencia, cuando la señal 'E' está activada y de almacén cuando esta desactivada



- La propagación interna de las señales nos lleva a las siguientes definiciones

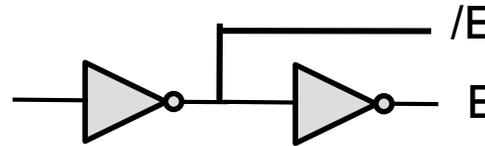
- Retrasos de propagación de E a Q y de D a Q
- Tiempos de Setup.
- Tiempos de Hold



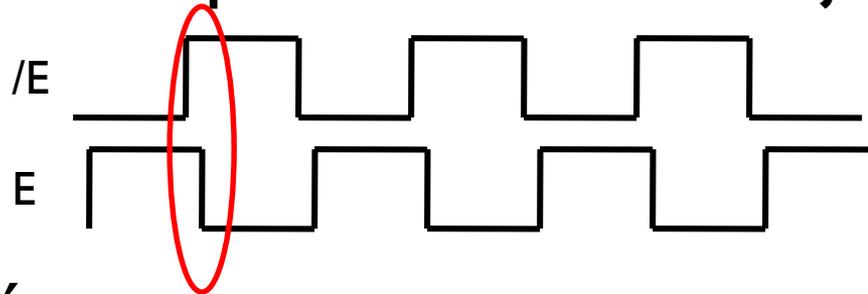
2.2 Naturaleza de los retardos

- t_{setup} y t_{hold} son retardos asociados a la conmutación de las puertas triestado. La referencia es el instante de conmutación de la señal E, identificado como el tiempo del 50% de la señal.
- t_r es el tiempo que tarda la señal en propagarse a través del registro
- A esto hay que especificar un tiempo adicional, t_w , que determina el mínimo tiempo de E en estado de transparencia

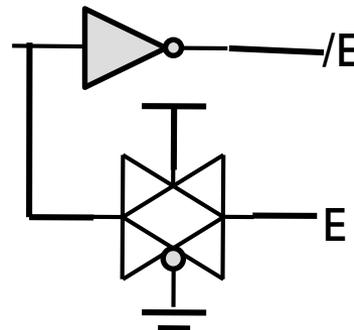
- Si E y $/E$ son sencillamente un par de inversores:



- Tendremos un problema de desajuste:

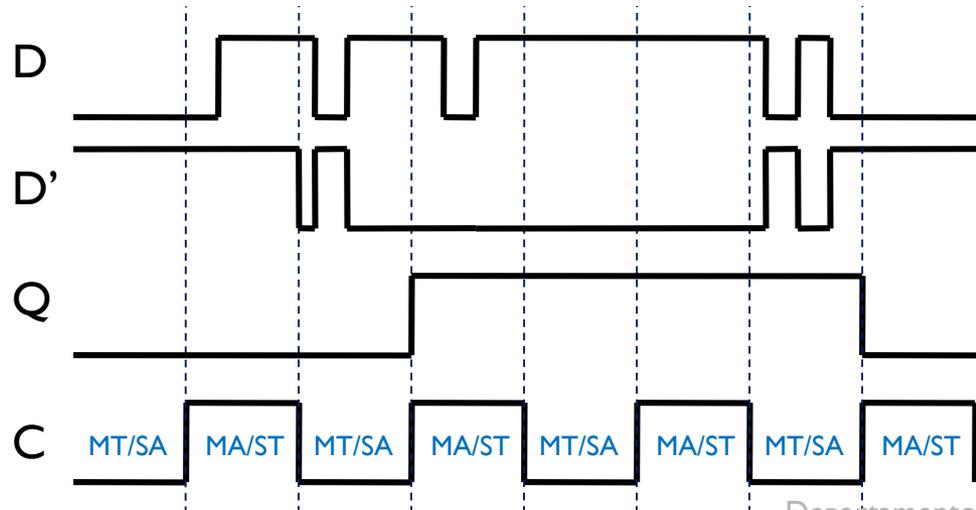
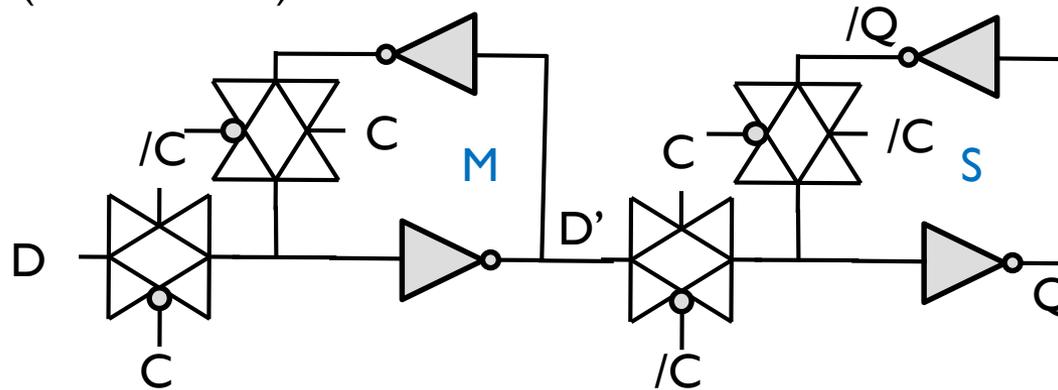


- La solución es:

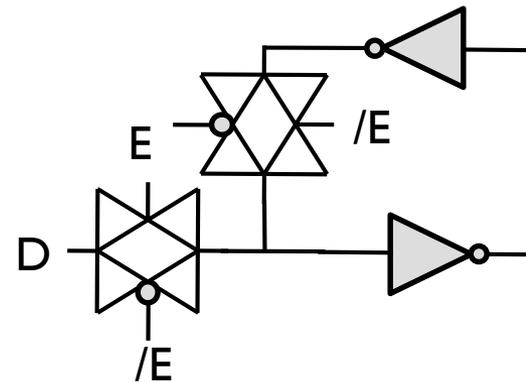
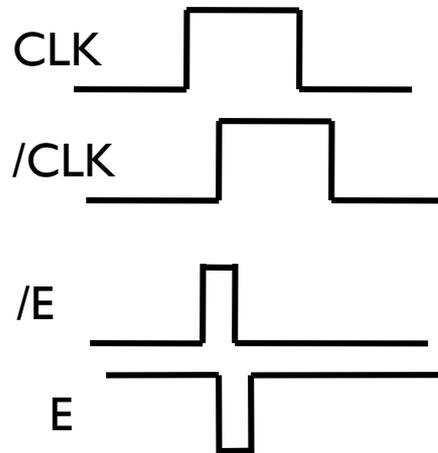
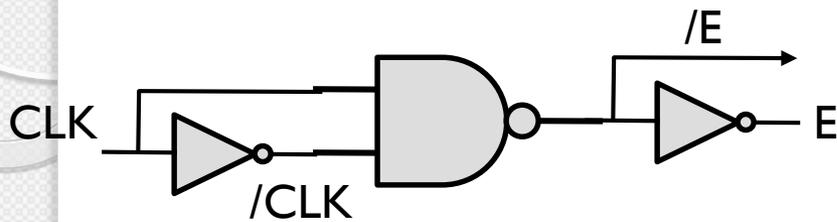


3. Registro activo por flanco

- Puede construirse de dos formas:
 - I. Mediante la utilización de dos latches con habilitación opuesta (Master-Slave):

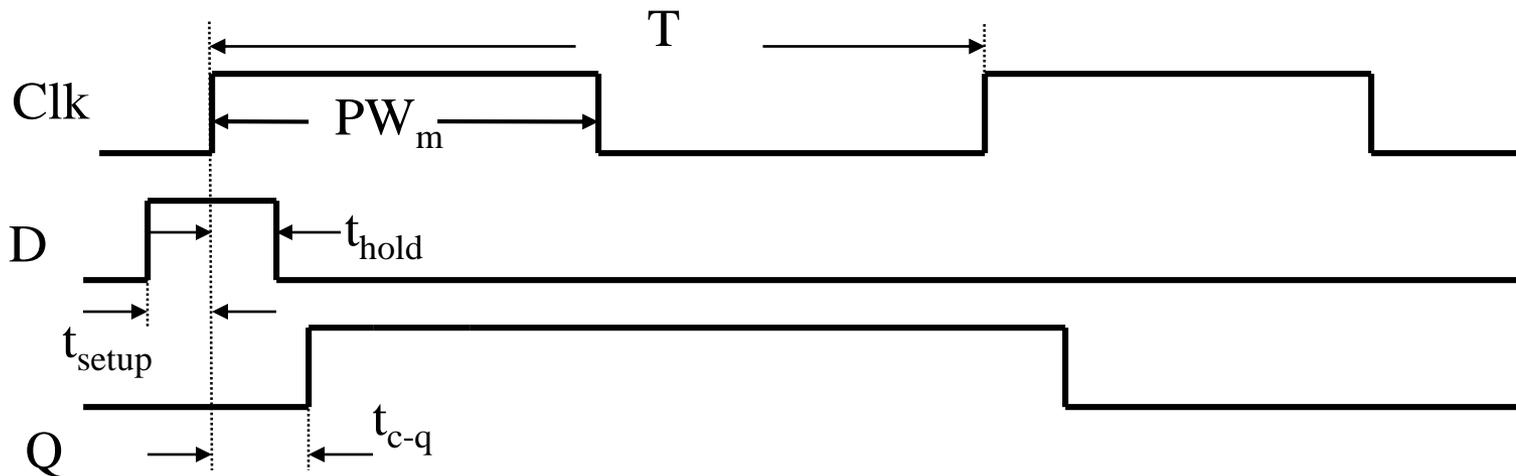
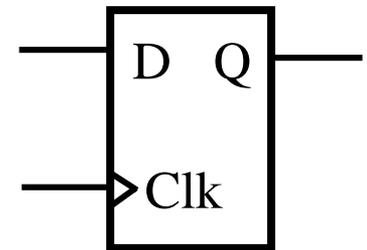


2. Mediante un circuito detector de flanco

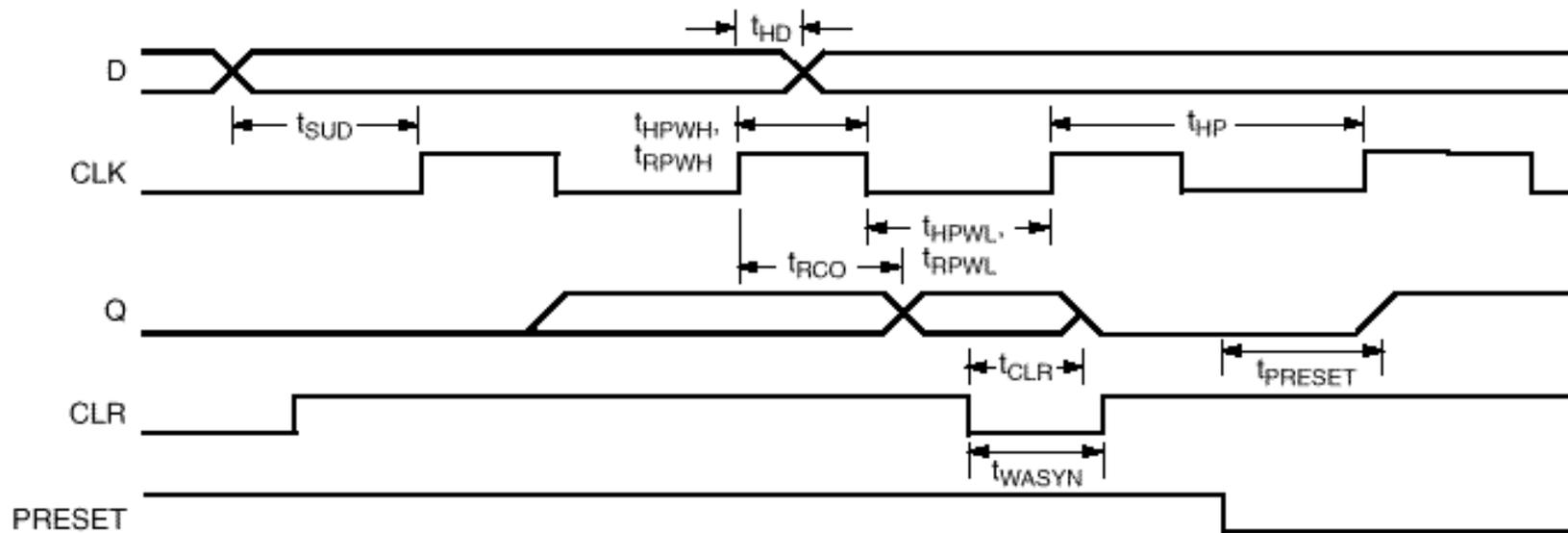


3.1 Parámetros temporales

- t_{hold} y t_{setup} son parámetros con respecto al flanco activo de reloj
- T es el periodo del reloj
- PW_m es el ancho mínimo de un semiperíodo
- t_{c-q} es el tiempo de retardo del biestable



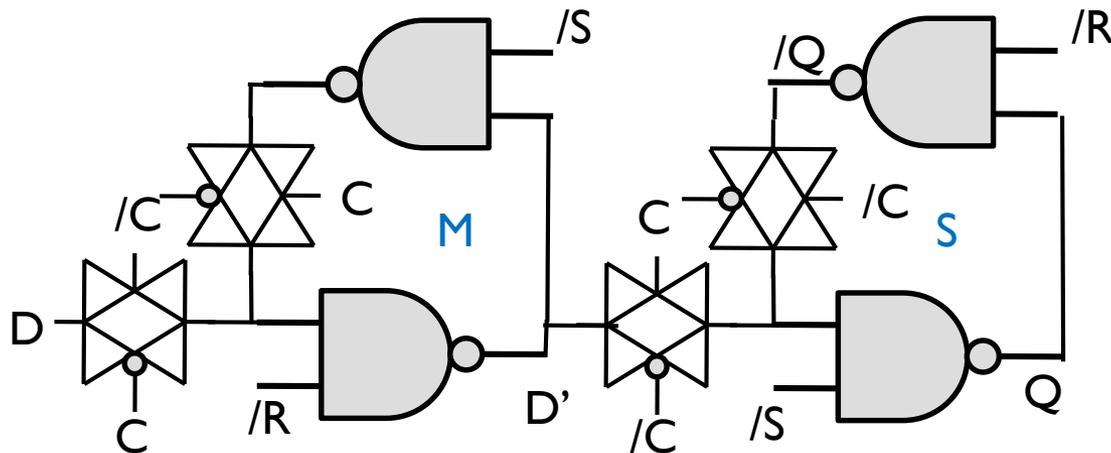
Un ejemplo real



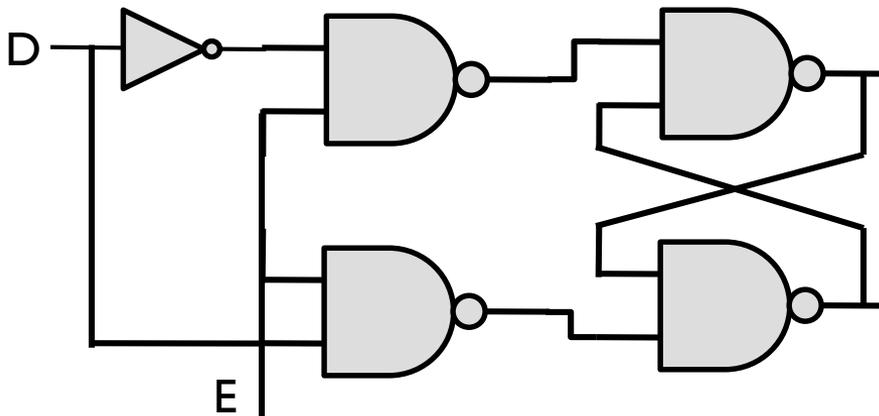
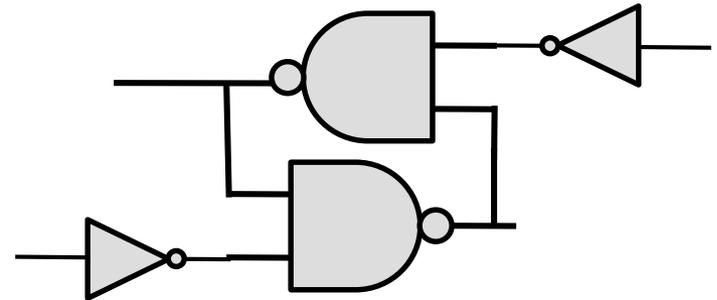
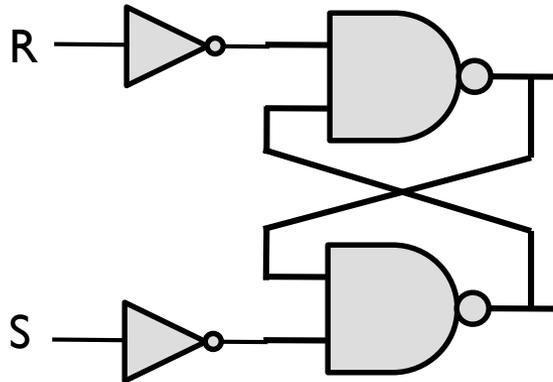
**Worst-case Military Conditions, $V_{CCA}=2.3$, $V_{CCI}=3.0V$, $T_J=125^\circ C$
-1 Speed Grade**

		Min	Max	Units
t_{RCO}	Sequential Clock-to-Q		1.0	ns
t_{CLR}	Asynchronous Clear-to-Q		0.9	ns
t_{PRESET}	Asynchronous Preset-to-Q		1.0	ns
t_{SUD}	Flip-Flop Data Input Set-Up	0.6		ns
t_{HD}	Flip-Flop Data Input Hold	0.0		ns
t_{WASYN}	Asynchronous Pulse Width	1.8		ns

- El biestable Master-Slave con set y reset asíncono

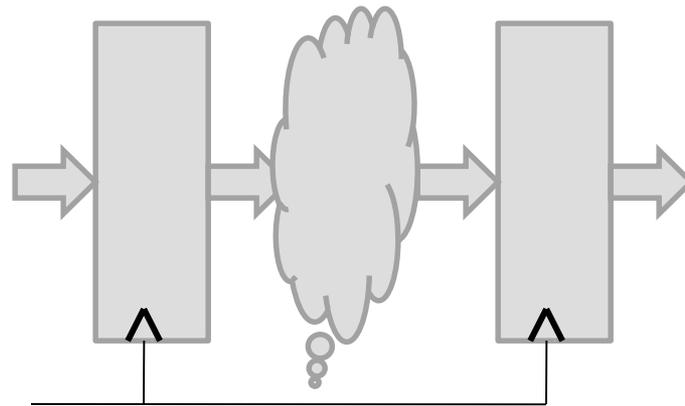


Otras células de memoria

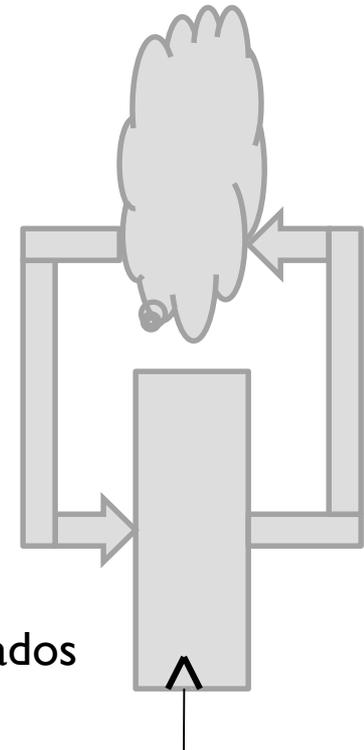


5. Temporización de sistemas

- Sistemas síncronos basados en relojes. Hay dos configuraciones, aunque son equivalentes:

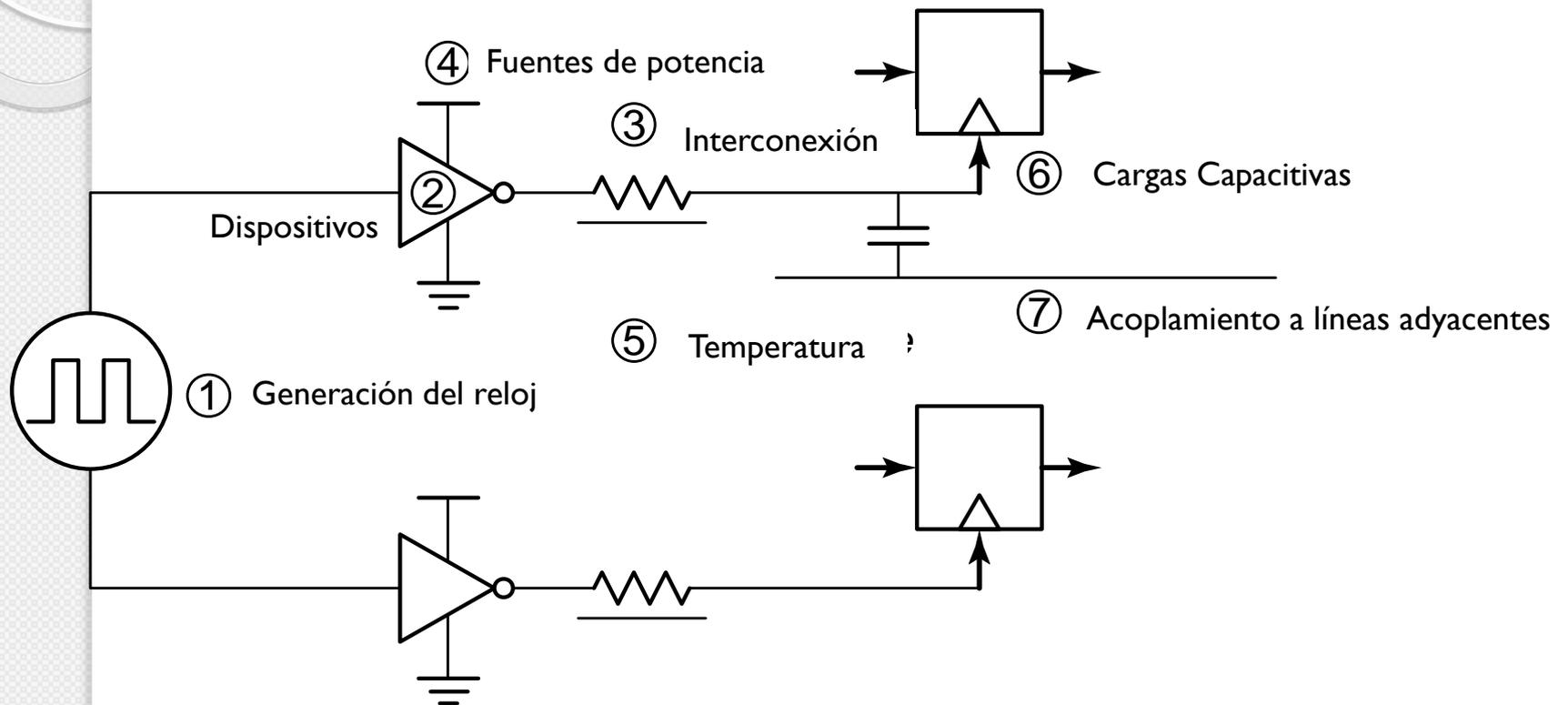


a) Camino de datos



b) Máquina de estados

Propagación del reloj

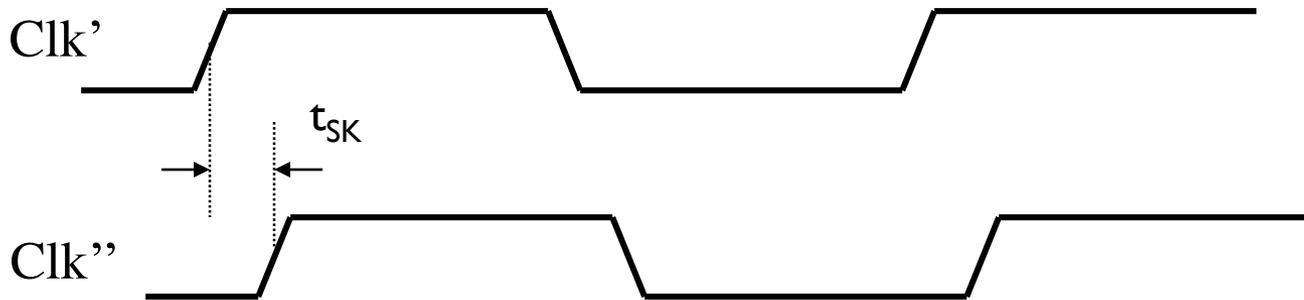


Fuentes de incertidumbre

No idealidades

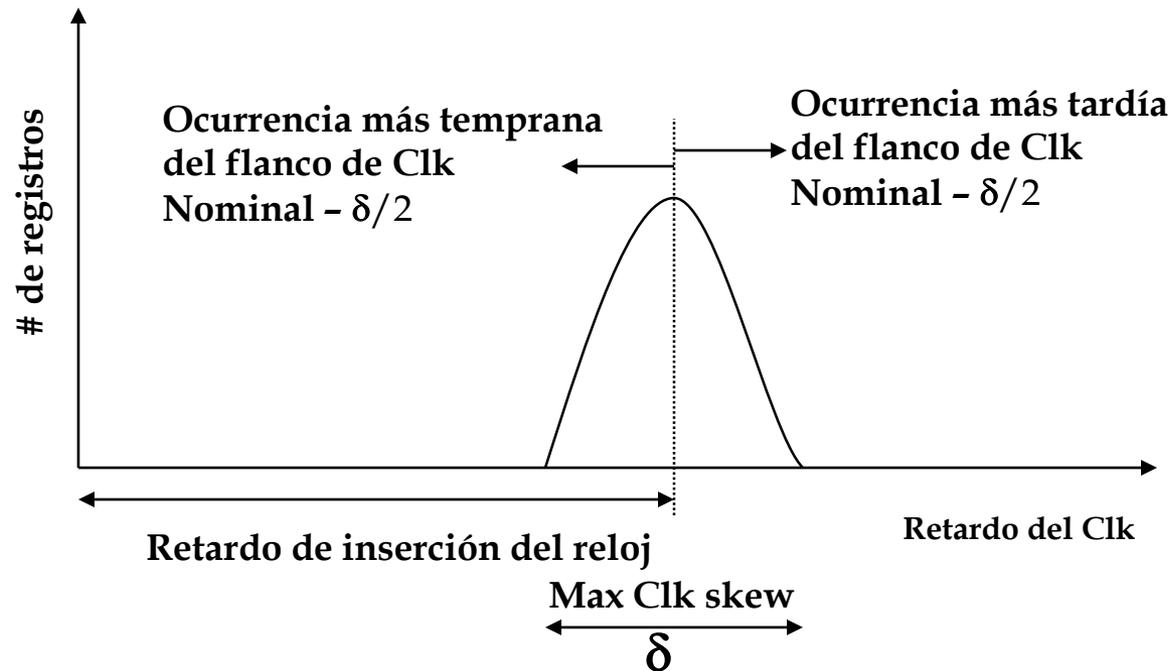
- **Clock skew** (retardo del reloj). Es la variación espacial en flancos temporalmente equivalentes. Hay dos partes: deterministas y aleatorias. Se denota por t_{SK}
- **Clock Jitter** (variación en frecuencia del reloj). Es la incertidumbre temporal de flancos consecutivos de reloj. Se puede considerar a corto y a largo plazo: t_{JS} y t_{JL}
- Cambio en los **anchos de pulsos**, que afectan a sistemas sensibles por nivel

Clock Skew



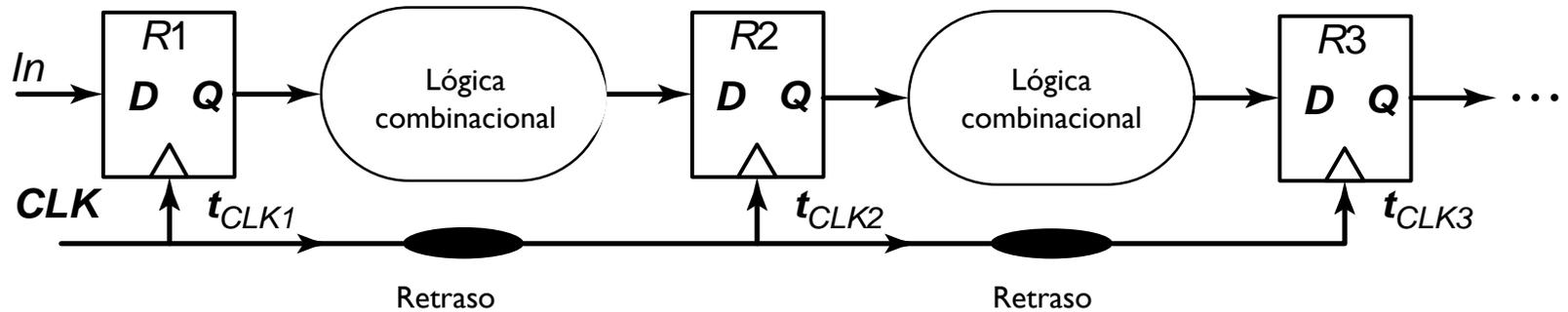
- El reloj es generado desde el mismo punto, alcanzando a los biestables en diferentes instantes, debido a la influencia del retardo de las pistas.
- Cada flanco de Clk se “ve” en cada biestable en un instante diferente

Distribución de los flancos de reloj

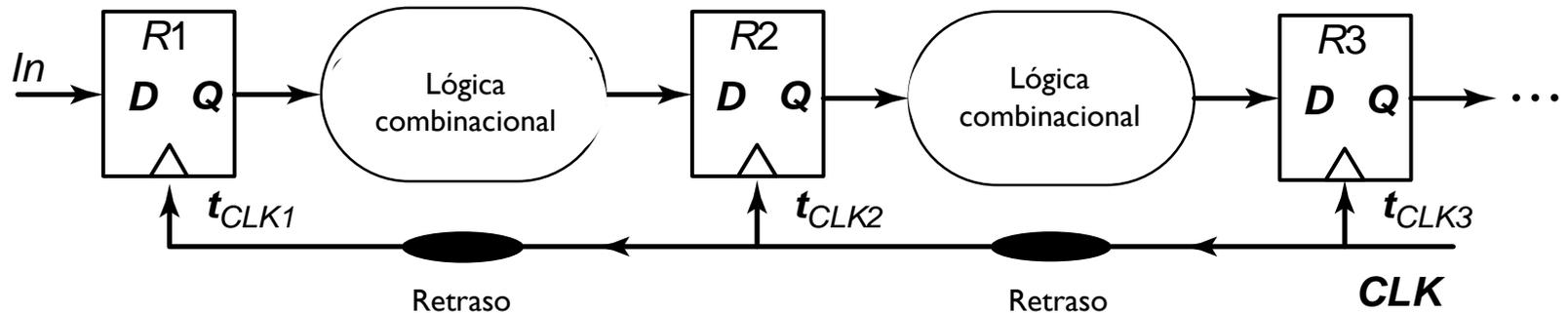


- Los flancos se distribuyen a lo largo del circuito con una incertidumbre.
- La curva de distribución ideal sería $\delta=0$

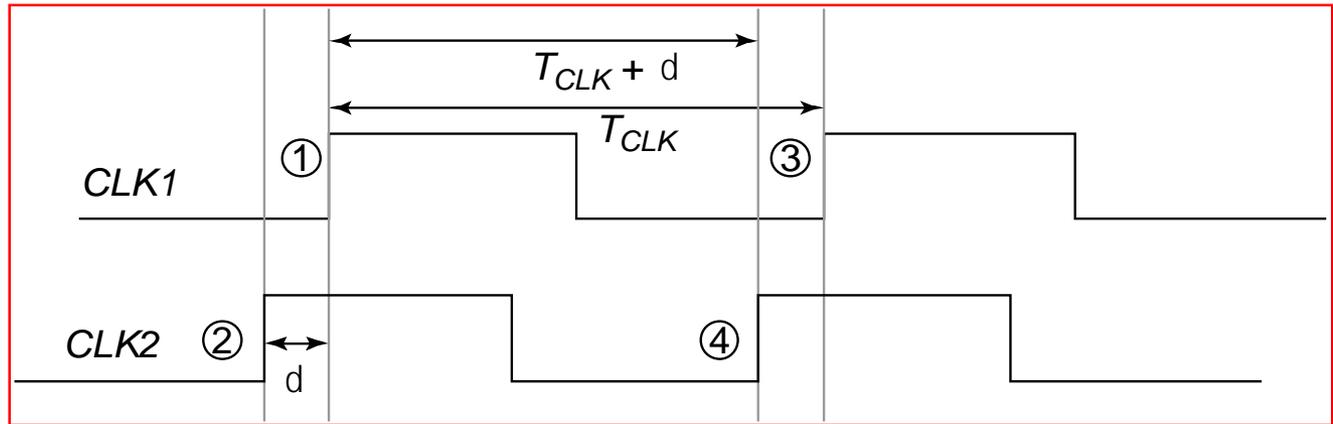
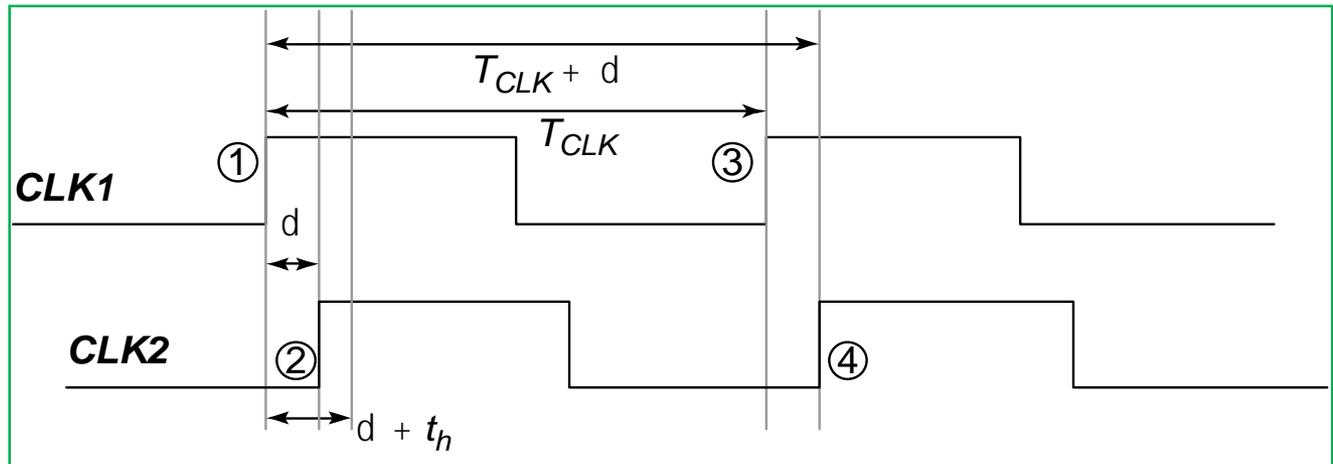
Skews positivos y negativos



a) Skew Positivo

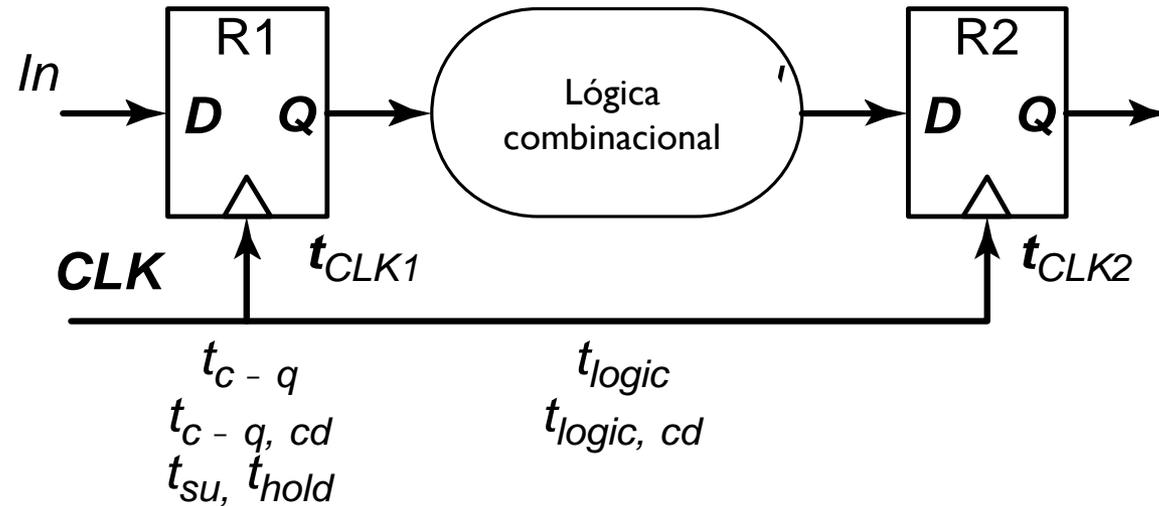


b) Skew Negativo



- El skew negativo tiene mejor comportamiento que el positivo

Frecuencia de Reloj

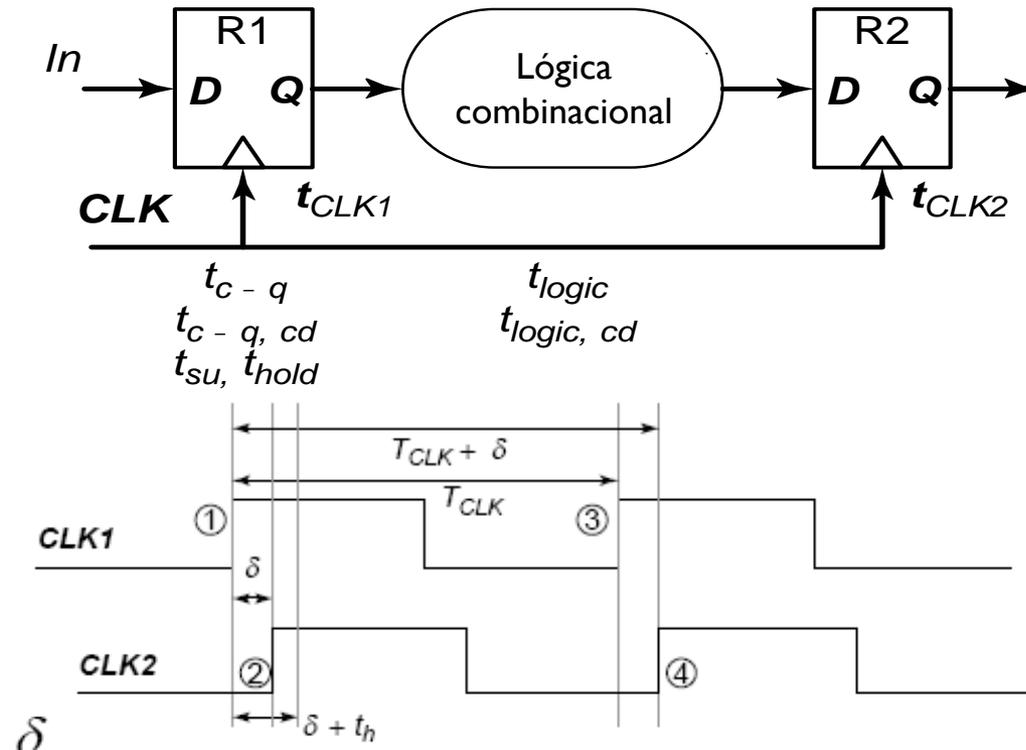


Ciclo mínimo:

$$T - \delta = t_{c-q} + t_{su} + t_{logic}$$

El peor caso es cuando el flanco que se recibe llega antes (δ positivo)

Restricciones de tiempo

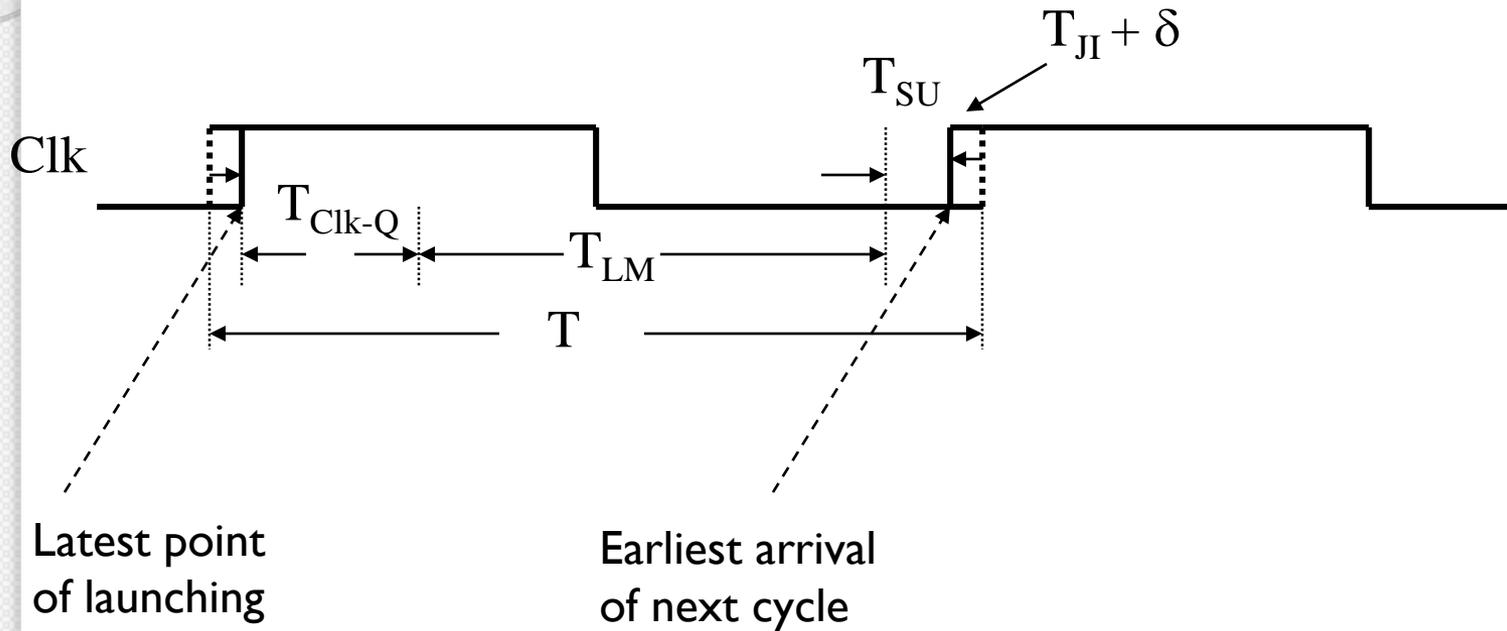


Restricciones de "hold time":

$$t_{(c-q, cd)} + t_{(logic, cd)} > t_{hold} + \delta$$

El peor caso es cuando el flanco en el receptor llega tarde
Hay fenómenos de carrera entre el dato y el reloj

Camino crítico de un sistema síncrono



Restricciones de reloj en sistemas síncronos basados en flancos de reloj

Si el flanco a la salida es tardío y el flanco a la llegada es temprano, el dato no llegará demasiado tarde si:

$$T_{c-q} + T_{LC} + T_{SU} < T - T_{JI,1} - T_{JI,2} - \delta$$

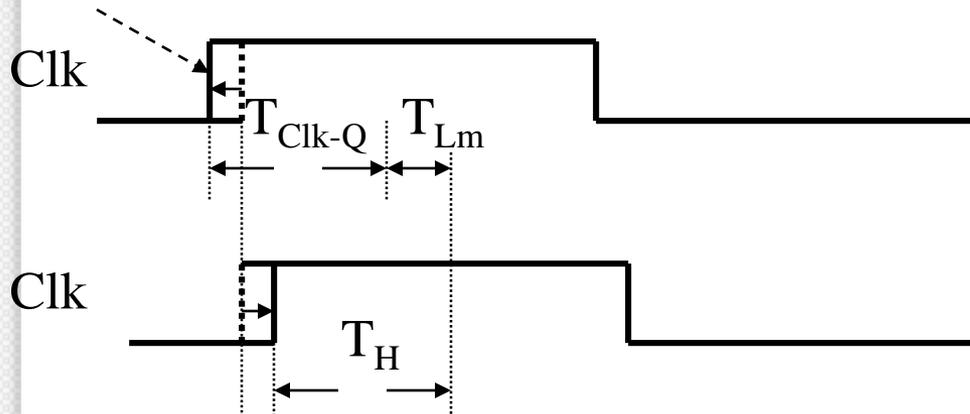
El ciclo mínimo se determina por el máximo retardo a través de la lógica:
Es el camino crítico

$$T_{c-q} + T_{LC} + T_{SU} + \delta + 2 T_{JI} < T$$

El Skew es en general positivo o negativo

Camino más corto

Punto de salida más temprano



Clk

T_{Clk-Q}

T_{Lm}

Clk

T_H

Flanco nominal de reloj

El dato no debe llegar antes que este instante

Más restricciones de reloj

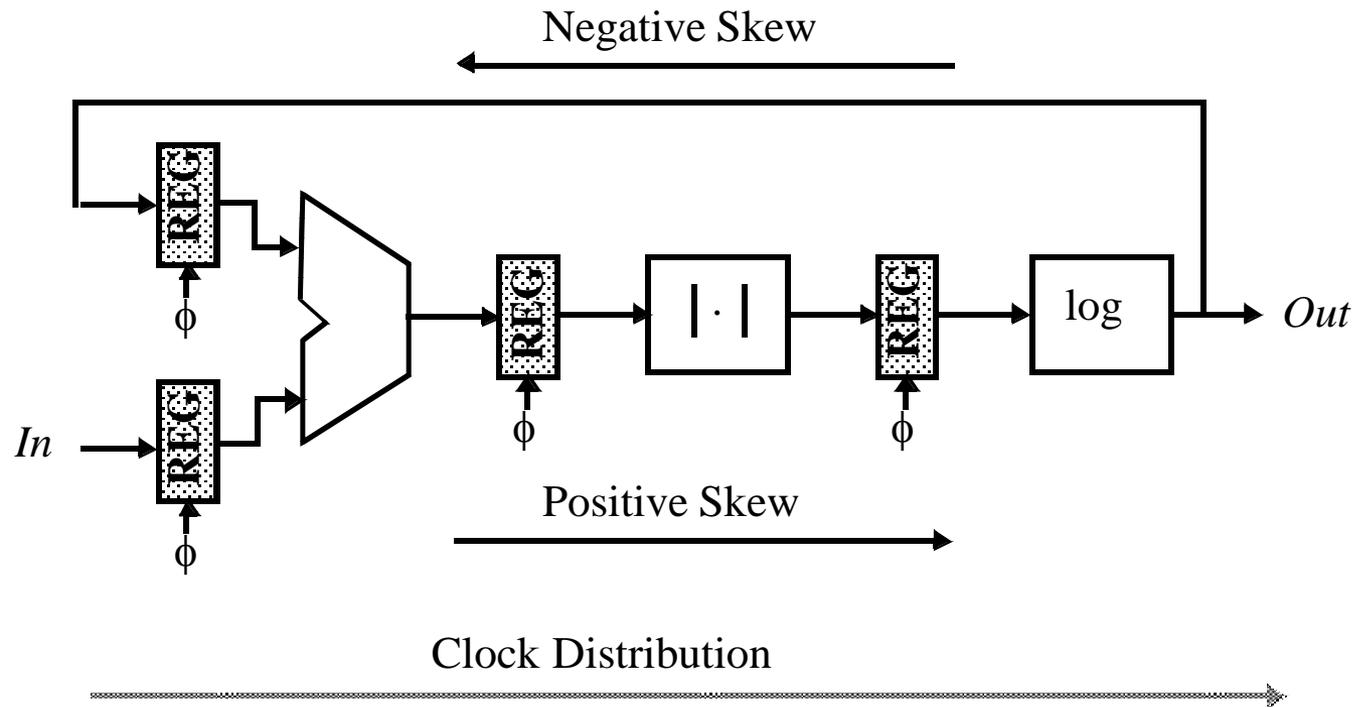
Si el flanco origen es tardío y el del biestable es temprano

$$T_{c-q} + T_{LC} - T_{JI,1} < T_H + T_{JI,2} + \delta$$

Retardo lógico mínimo

$$T_{c-q} + T_{LC} < T_H + 2T_{JI} + \delta$$

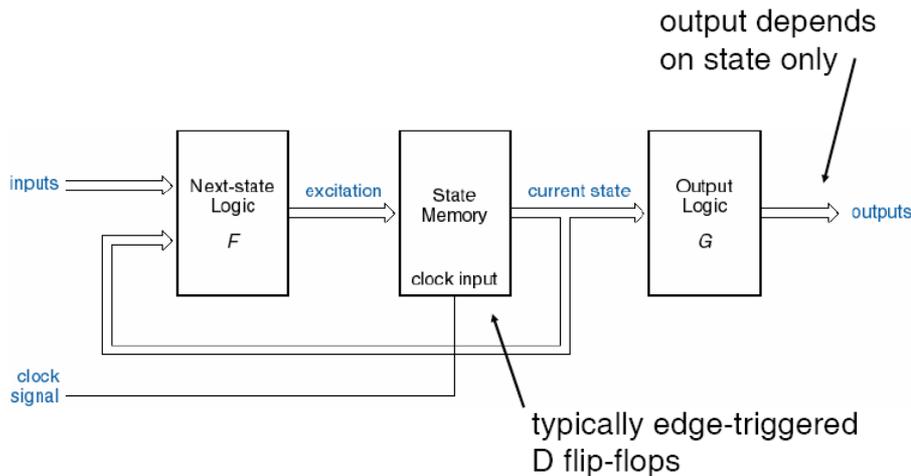
Cómo manejar el clock skew?



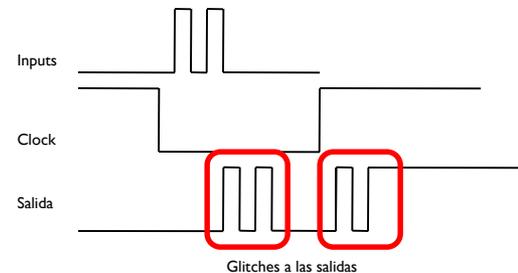
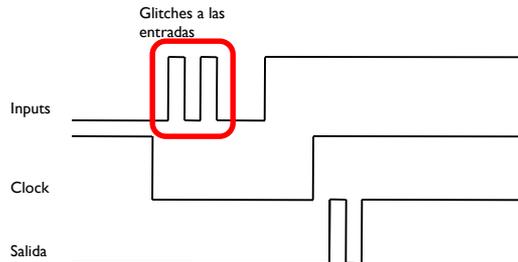
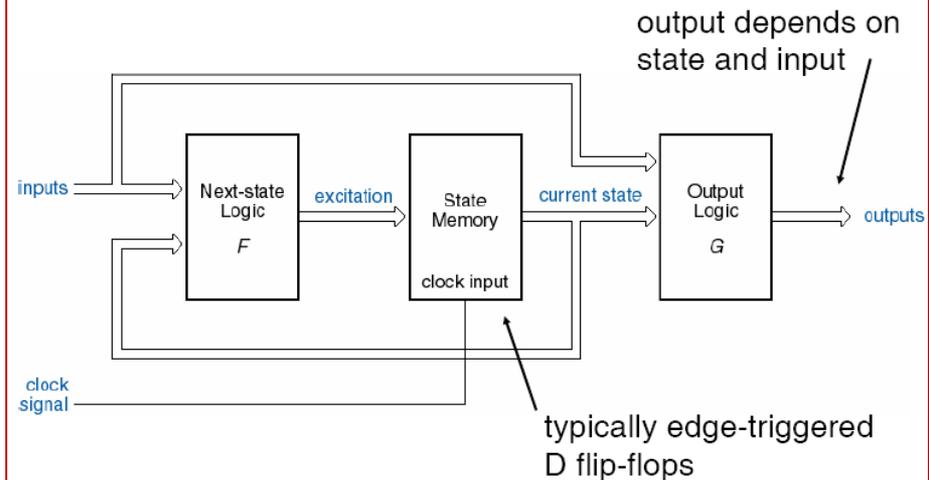
Data and Clock Routing

6. Integración de sistemas síncronos

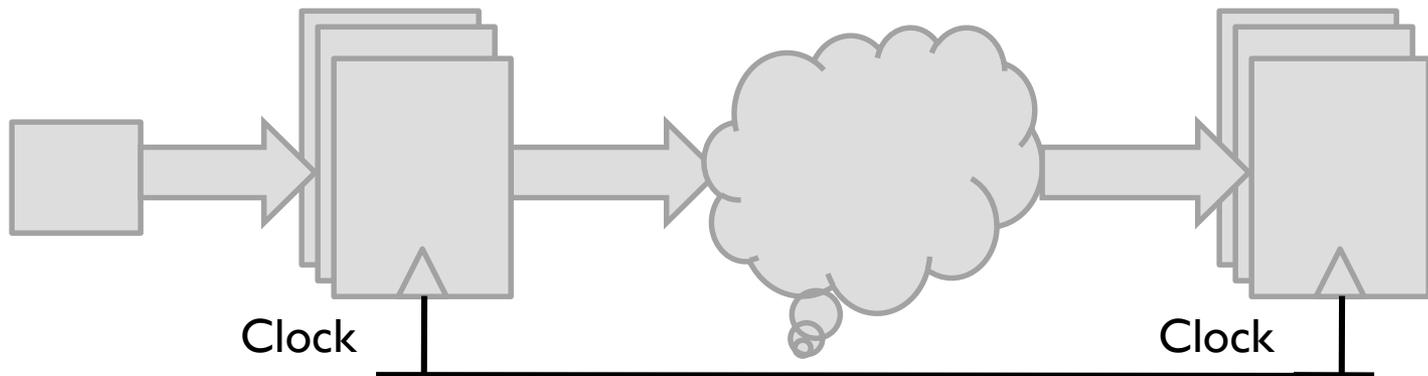
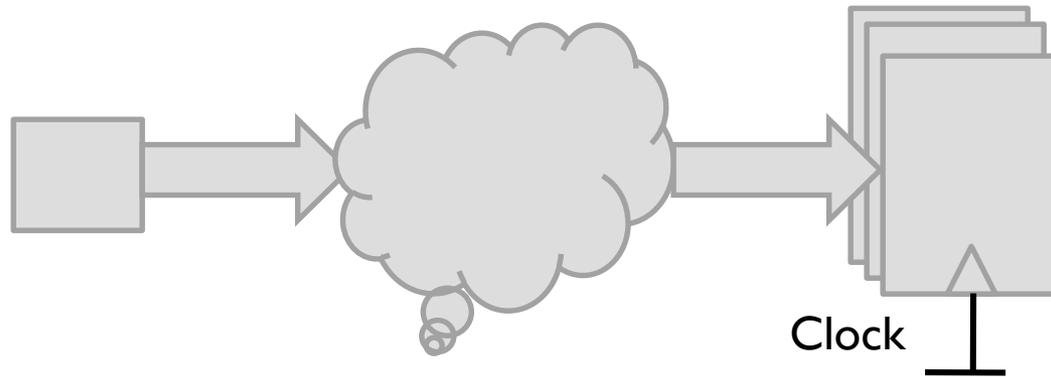
State-machine structure (Moore)



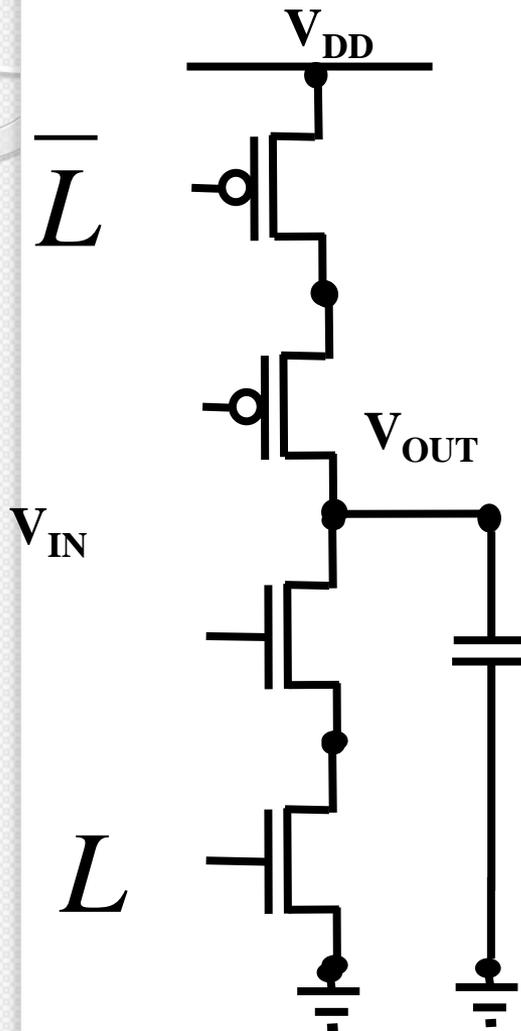
State-machine structure (Mealy)



Sincronización de entradas (y salidas) primarias



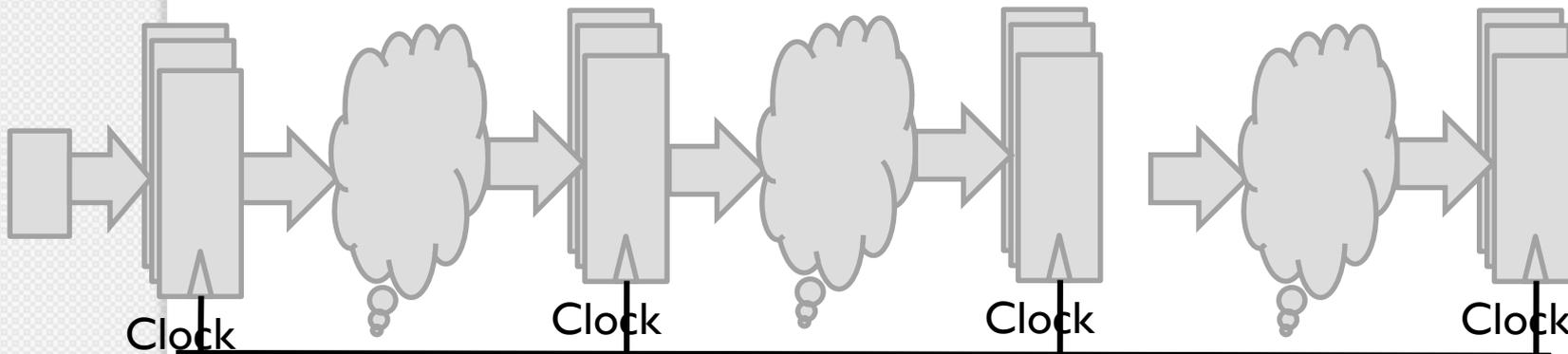
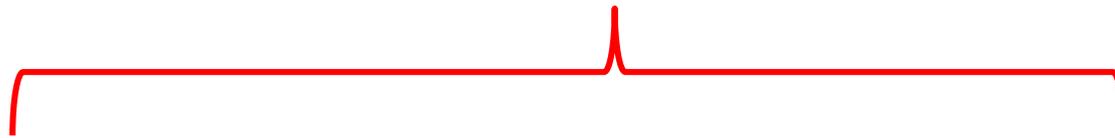
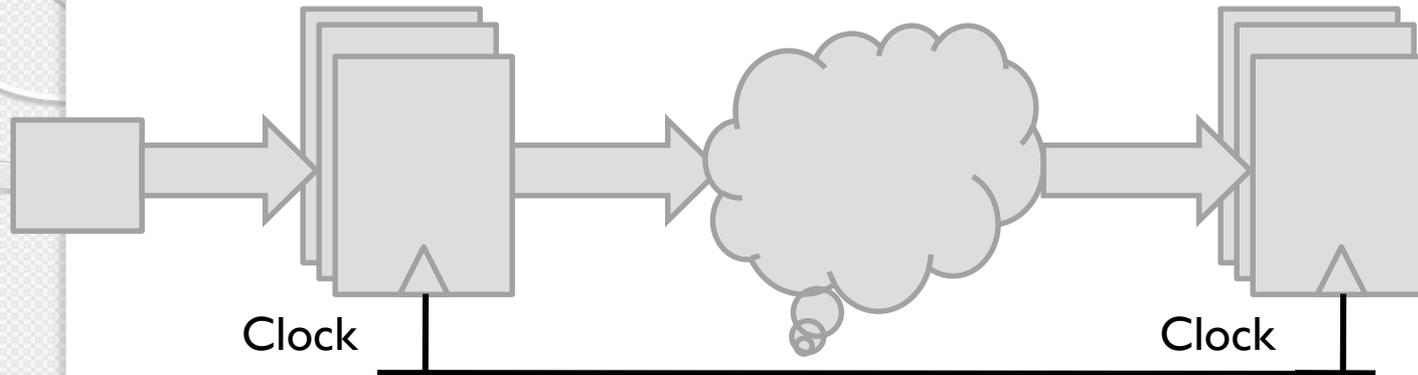
7. Latches dinámicos



Para sincronizar los datos, L permanece en bajo hasta que el dato es correcto a la entrada. Cuando L , es alto el inverso del dato se almacena en la capacidad parásita.

Notar que en el latch dinámico el valor se almacena en la capacidad de carga, que en CMOS funciona debido a la reducida corriente de fuga cuando los switches están abiertos. Realmente cuando L vale cero el voltaje es flotante y se determina por la capacidad.

8. Pipeline



Latencia

Es el número de etapas de PIPELINE que tarda en salir el primer dato procesado

La frecuencia máxima se ve reducida a través de la división de la sección combinacional

Ciclo mínimo:

$$T' - \delta = t_{c-q} + t_{su} + t_{logic}/N$$