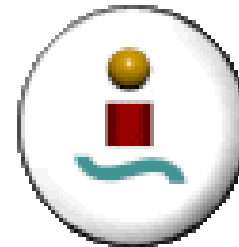


Tema 5

Circuitos Combinacionales

De cómo construir pequeñas células combinatoriales con eficiencia



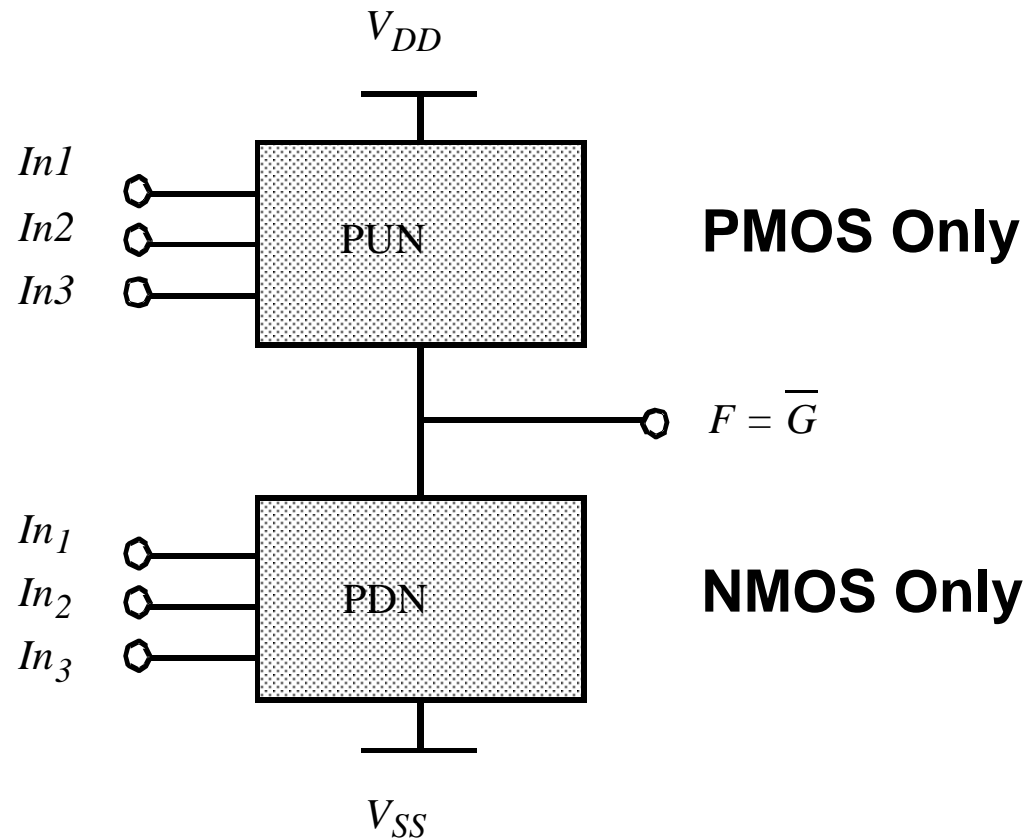
Contenidos del tema

1. Introducción
2. Puertas NAND y NOR
 1. Punto de conmutación
 2. Layout de una puerta NAND y NOR
3. Generación de una función combinacional
4. Puertas XOR
5. Puertas lógicas con puertas de transmisión

I. Introducción

- Diseñar circuitos integrados requiere un conocimiento detallado de la tecnología del fabricante elegido
- Diseñar significa conocer qué valores de los parámetros geométricos damos para obtener un comportamiento deseado.
- Las puertas CMOS heredan ciertas propiedades ya estudiadas en el inversor CMOS:
 - Consumo estático cero
 - Transistores p conectan a V_{DD} y transistores n conectan a V_{GND}
 - Cada entrada tiene un par de transistores, uno p y otro p

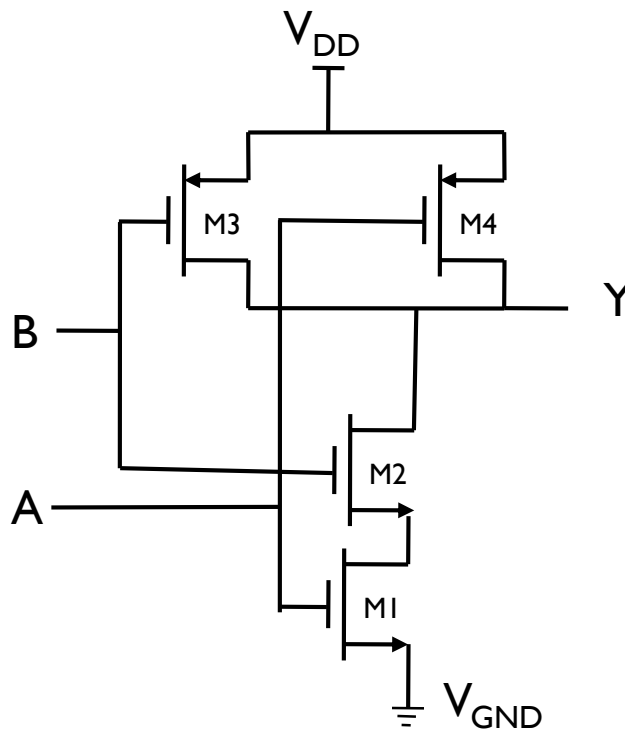
- El esquema general de una puerta CMOS se puede describir de la siguiente manera:



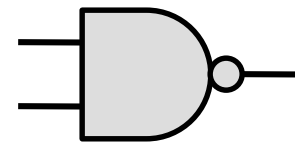
PUN and PDN are Dual Networks

Puertas NAND y NOR

- La puerta NAND de dos entradas tiene el esquema siguiente:

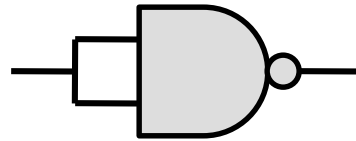


A	B	M1	M2	M3	M4	Y
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	1
1	0	ON	OFF	OFF	ON	1
1	1	ON	ON	OFF	OFF	0



- Si $M1=M2$ y $M3=M4$:

$$\left. \frac{W}{L} \right)_{M1} = \left. \frac{W}{L} \right)_{M2} \quad \left. \frac{W}{L} \right)_{M3} = \left. \frac{W}{L} \right)_{M4}$$



Las dimensiones equivalentes:

- Para $M1$ y $M2$ están en serie

$$\left. \frac{W}{L_1 + L_2} \right)_{M12}$$

- Para $M3$ y $M4$ en paralelo

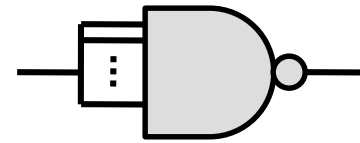
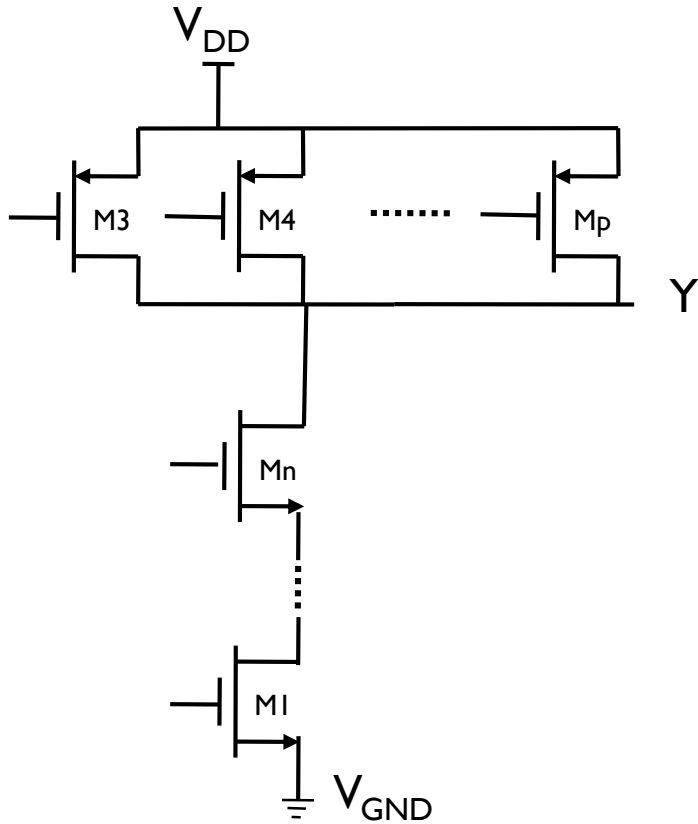
$$\left. \frac{W_3 + W_4}{L} \right)_{M34}$$

- Ya que estamos considerando un inversor equivalente, podemos calcular los márgenes de ruido a partir de la ecuación del inversor

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_n} V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_n}}$$

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L_1 + L_2}\right)_{M12}} V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L_1 + L_2}\right)_{M12}}}$$

- Extensión a N entradas



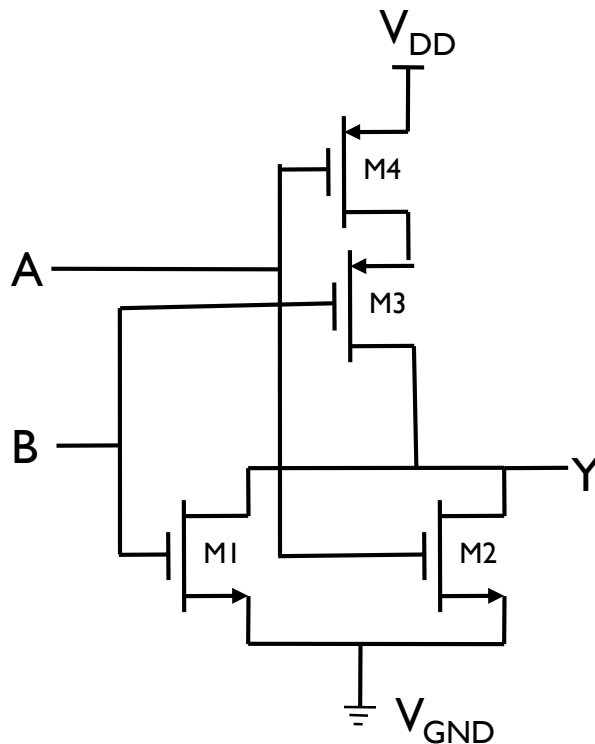
$$\left(\frac{W}{N \times L} \right)_{Mn} \quad \left(\frac{N \times W}{L} \right)_{Mp}$$

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{N \times L} \right)_{Mn} V_{Tn} + (V_{DD} - V_{Tp})}}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{N \times L} \right)_{Mn}}}$$

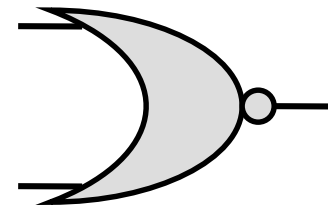
- Queda:

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_{Mn} \frac{V_{Tn}}{N} + (V_{DD} - V_{Tp})}}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_{Mn}} \times \frac{1}{N}}$$

- La función NOR de dos entradas tiene el esquema siguiente

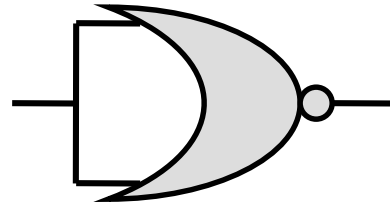


A	B	M1	M2	M3	M4	Y
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	0
1	0	ON	OFF	OFF	ON	0
1	1	ON	ON	OFF	OFF	0



- Si $M1=M2$ y $M3=M4$:

$$\left. \frac{W}{L} \right)_{M1} = \left. \frac{W}{L} \right)_{M2} \quad \left. \frac{W}{L} \right)_{M3} = \left. \frac{W}{L} \right)_{M4}$$



Las dimensiones equivalentes:

- Para $M1$ y $M2$ están en paralelo

$$\left. \frac{W_1 + W_2}{L} \right)_{M12}$$

- Para $M3$ y $M4$ están en serie

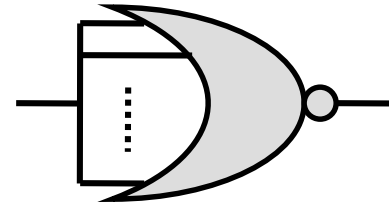
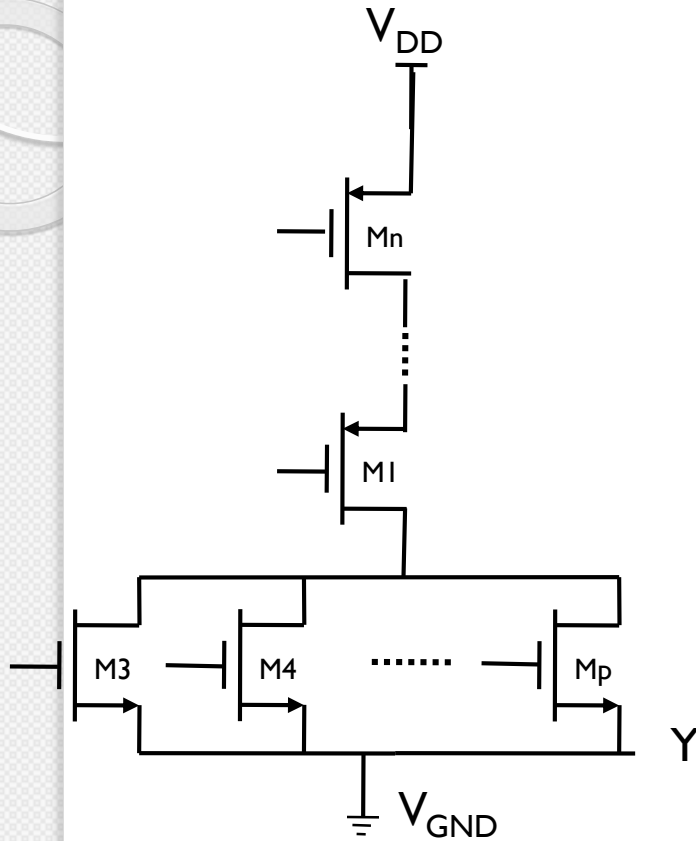
$$\left. \frac{W}{L_3 + L_4} \right)_{M34}$$

- Ya que estamos considerando un inversor equivalente, podemos calcular los márgenes de ruido a partir de la ecuación del inversor

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_n} V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_n}}$$

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W_1 + W_2}{L}\right)_{M12}} V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L_3 + L_4}\right)_{M34}}}$$

- Extensión a N entradas



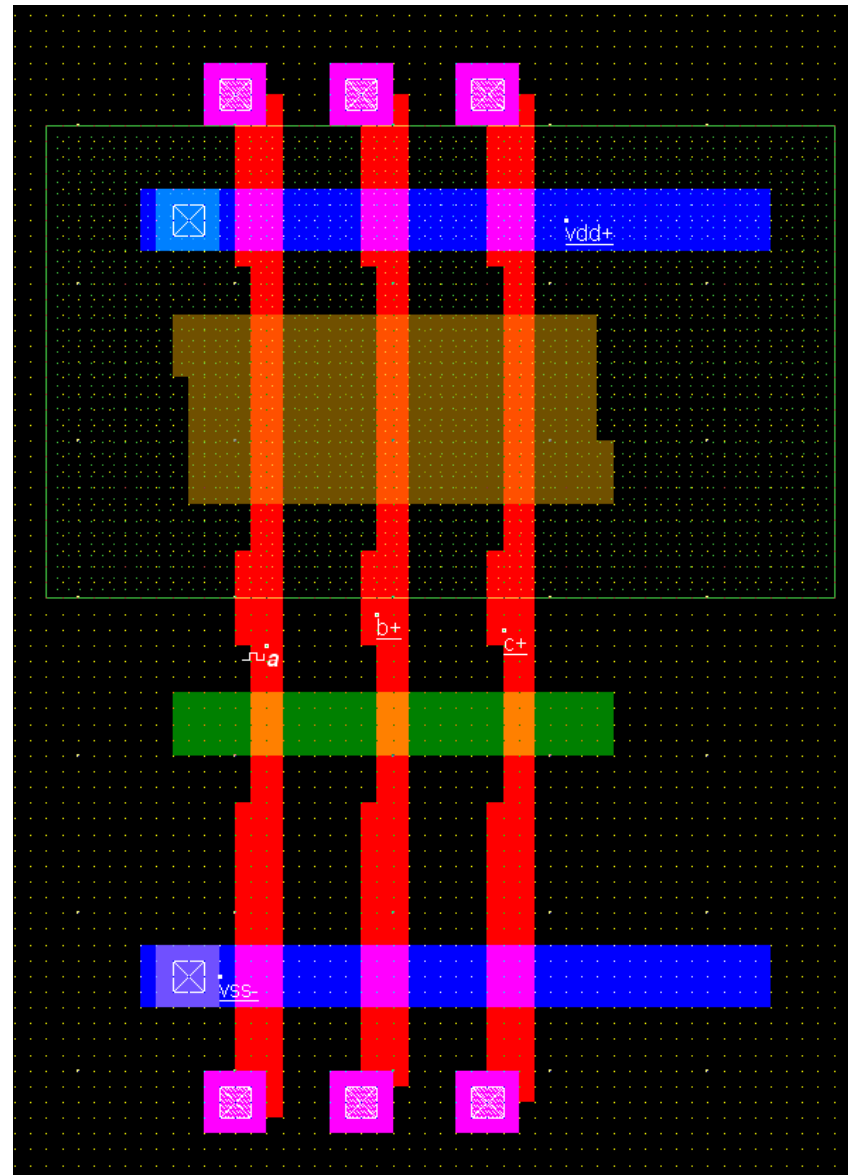
$$\left(\frac{N \times W}{L} \right)_{Mn} \quad \left(\frac{W}{N \times L} \right)_{Mp}$$

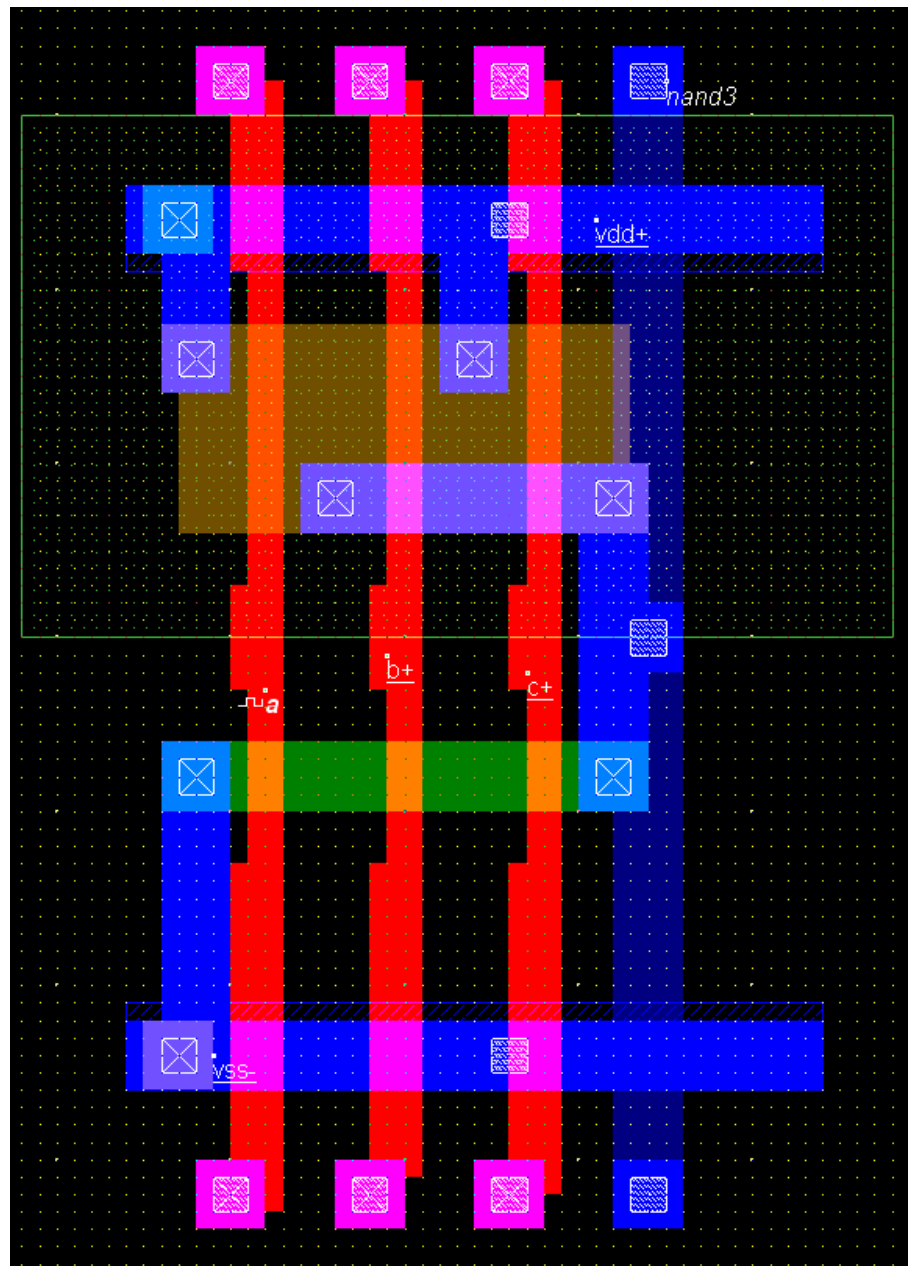
$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{N \times W}{L} \right)_{Mn} V_{Tn} + (V_{DD} - V_{Tp})}}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{N \times W}{L} \right)_{Mn}}}$$

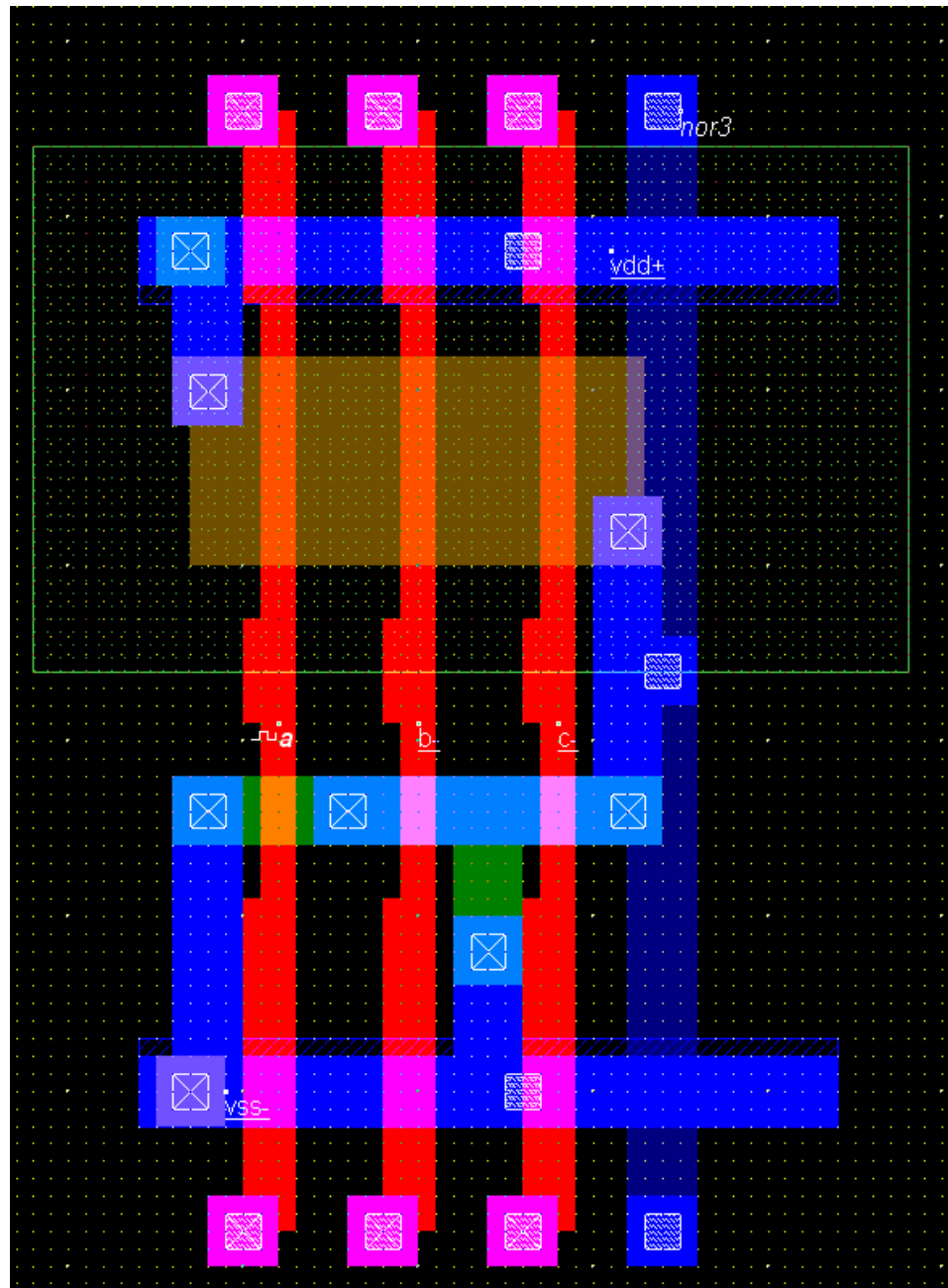
- Queda:

$$V_{SP} = V_{in} = \frac{\sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_{Mn}} N \times V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{\left(\frac{\mu_n}{\mu_p} \frac{W}{L}\right)_{Mn}} \times N}$$

2.2 Layout de una puerta NAND y NOR







3. Puertas CMOS complejas

- Un procedimiento general para definir el layout de una celda compleja, con estructura arbitraria.

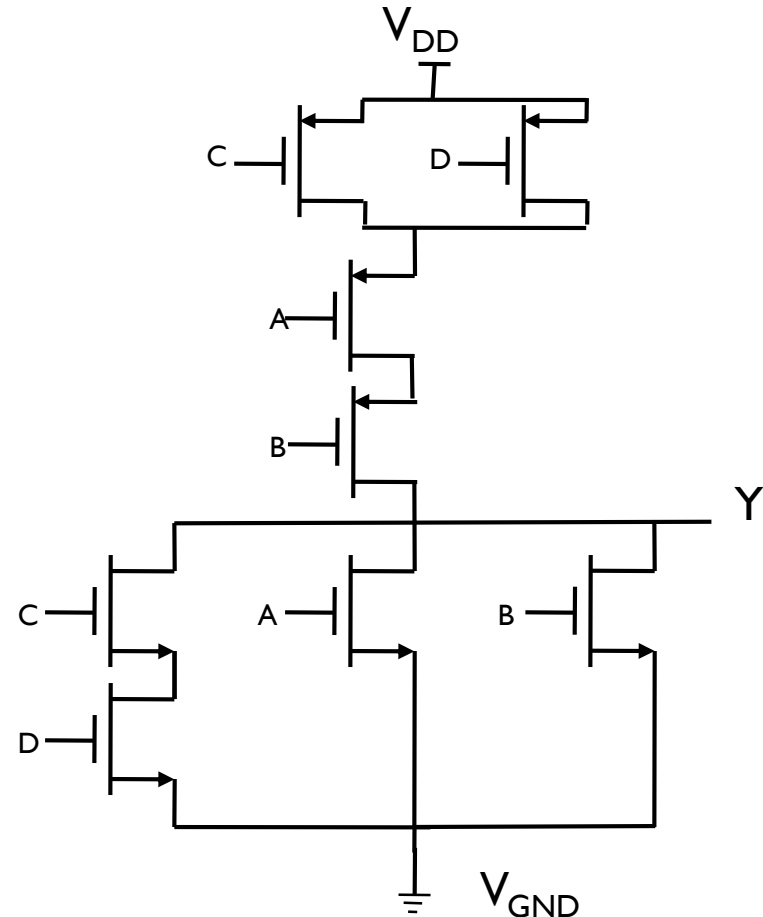
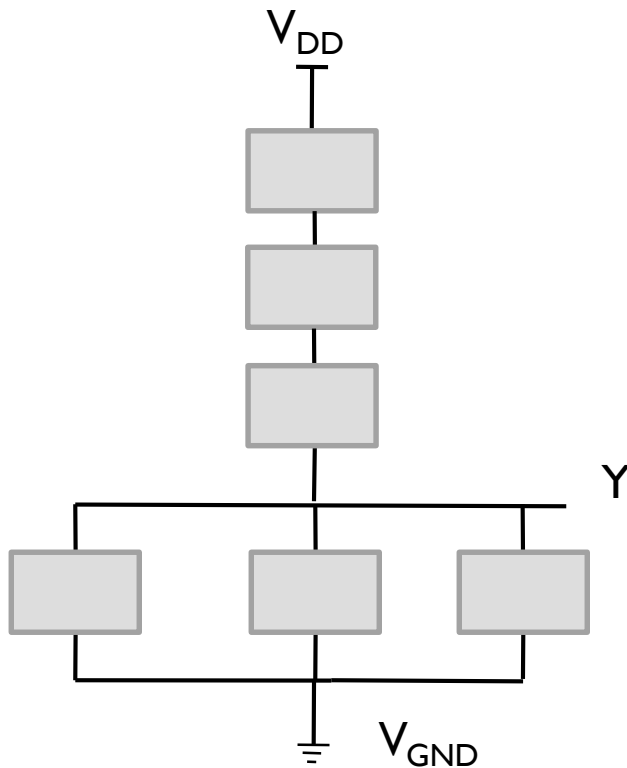
La operación NAND tiene los transistores del plano P en paralelo y los del plano N en serie

La operación NOR tiene los transistores del plano N en paralelo y los del plano P en serie

- Procedimiento general:
- Transformación de la función en minitérminos:
 1. Suma de productos $\Sigma(\pi)$ (Sumas de minitérminos)
 2. Productos de sumas $\pi(\Sigma)$ (productos de maxitérminos)
- Se trata de realizar una descomposición jerárquica a dos niveles. Los minitérminos se denominan “grupos”.
 - a) Si se trata de sumas (OR) de minitérminos, los pondremos en serie en el plano P y en paralelo en en plano N
 - b) Si se trata de productos (AND) de maxitérminos los pondremos en paralelo en el plano P y en serie en el plano N
 - c) Si los minitérminos son productos de valores de entrada se colocarán transistores en serie en el plano N y en paralelo en el plano P
 - d) Si los maxitérminos son sumas de valores de entrada se colocarán transistores en paralelo en el plano N y en serie en el plano P
 - e) Finalmente se ajustan los inversores para cambiar polaridades. La salida es negada

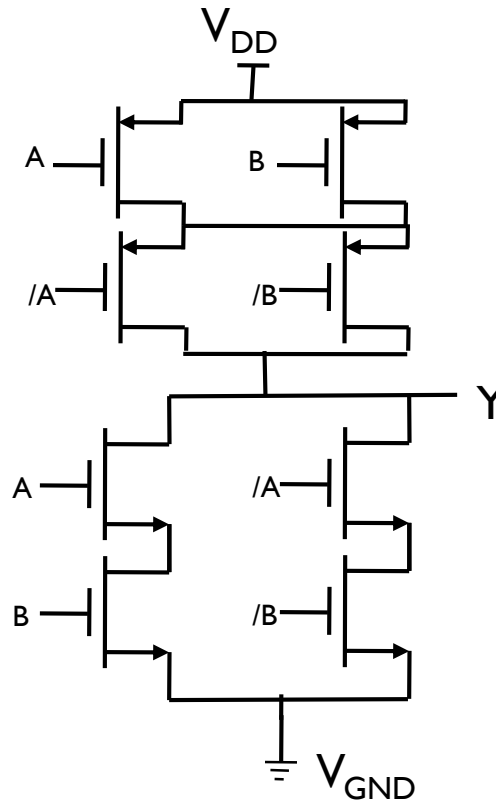
• **Ejemplo:** $Y = \overline{C \cdot D + A + B}$

- Si consideramos la expresión como suma de productos, tiene estructura NOR:



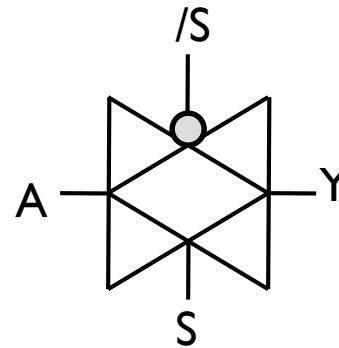
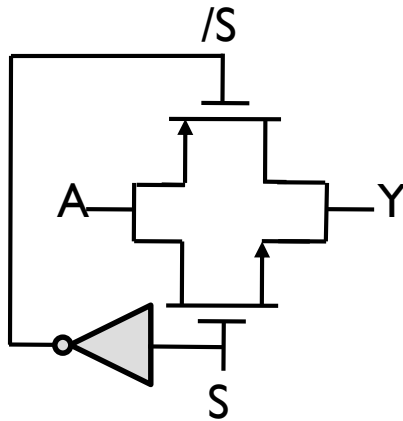
4. Puerta XOR

- Es una función que no se puede clasificar como las anteriores:
$$Y = \bar{A} \cdot B + A \cdot \bar{B}$$

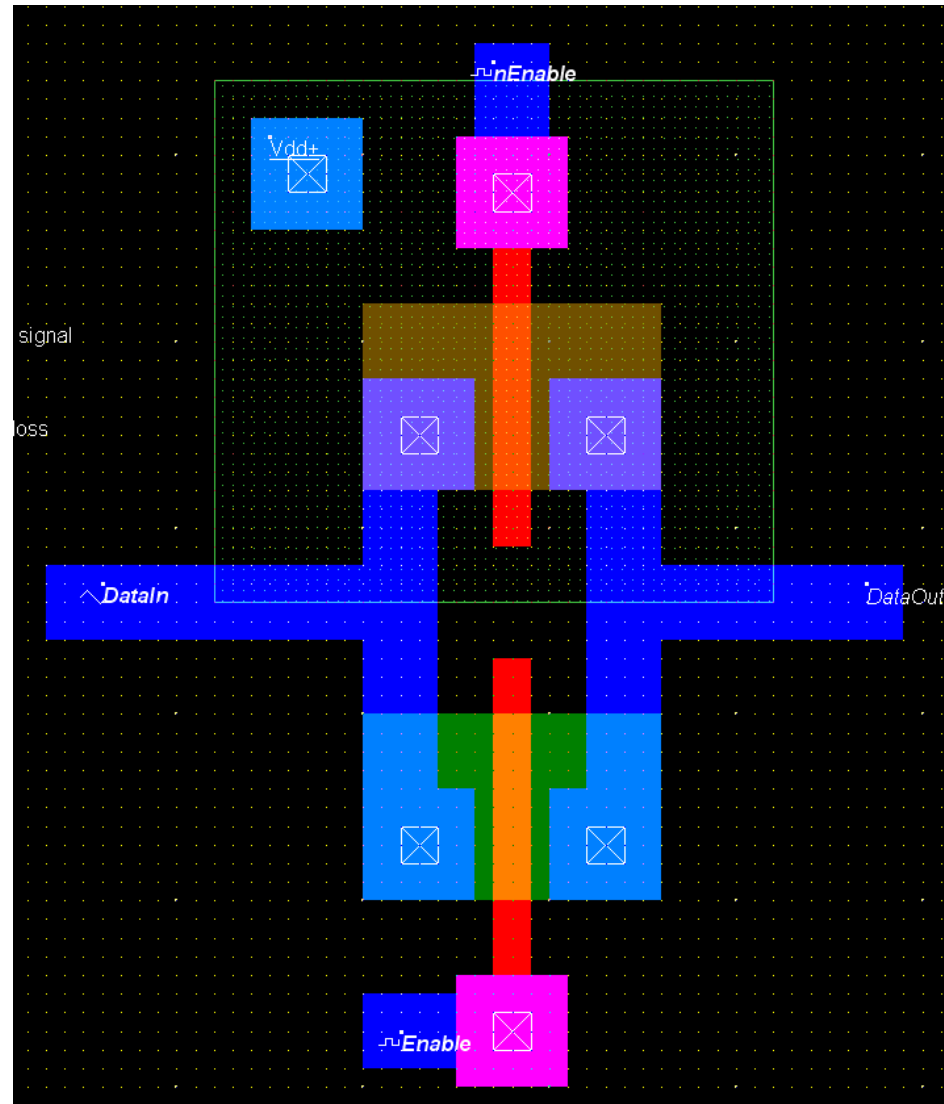


4. Puertas de transmisión

- Se basa en el uso de dos transistores, un p y otro n en oposición

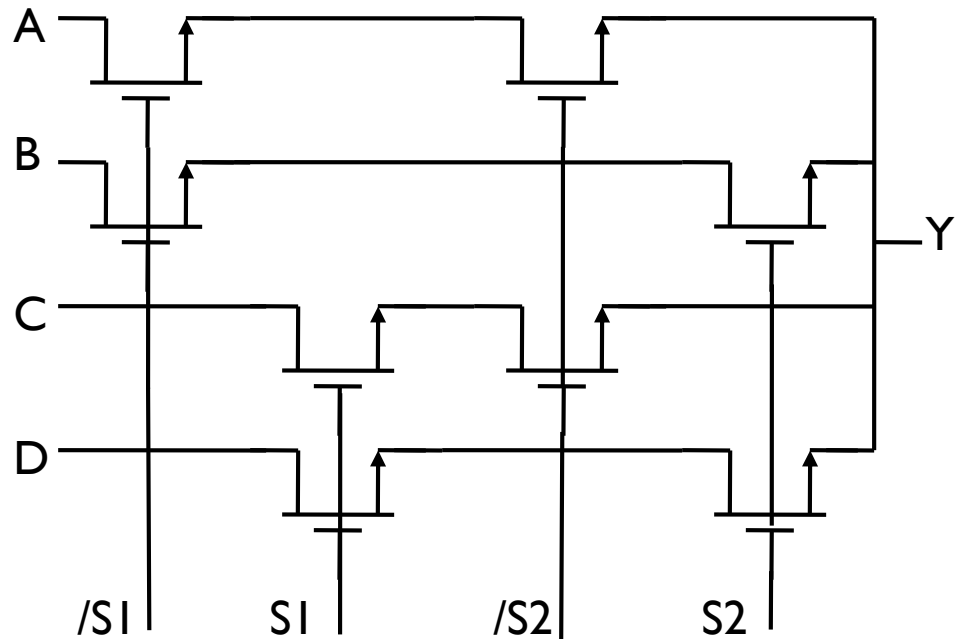
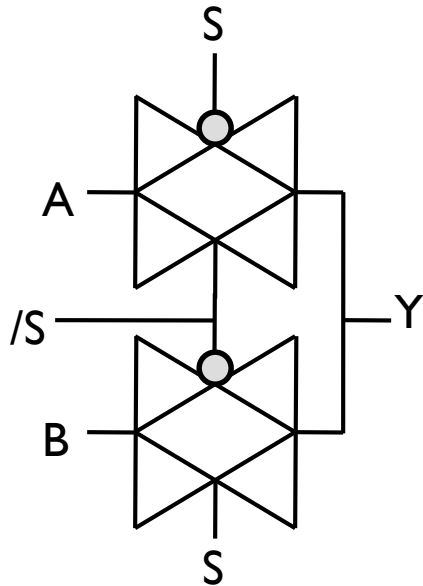
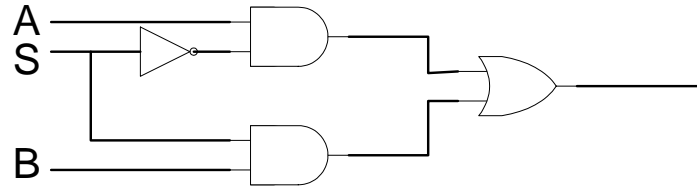


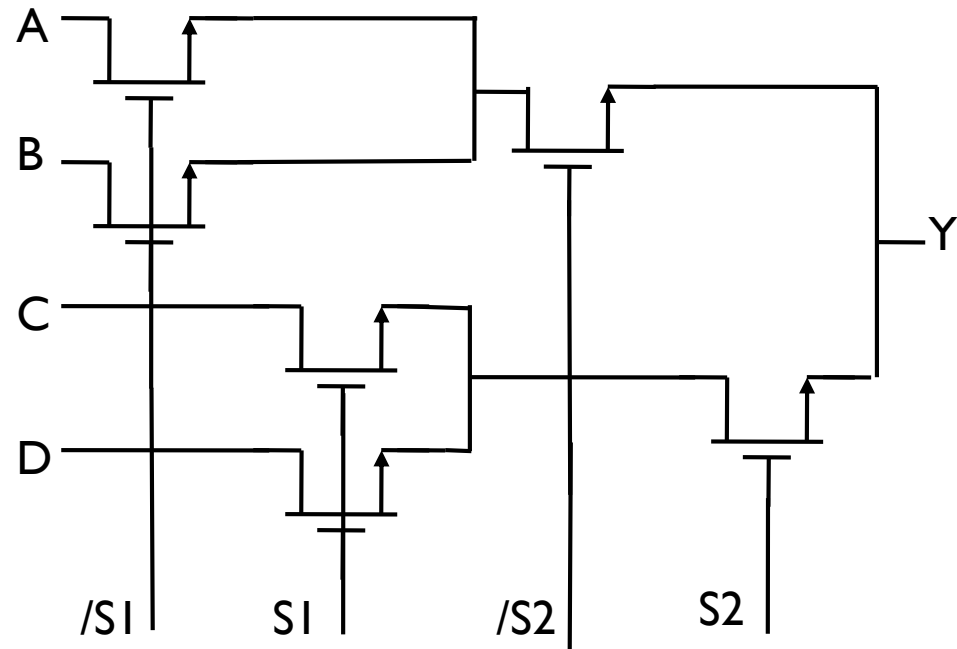
4.1 Layout de una PT



4.2 Aplicaciones

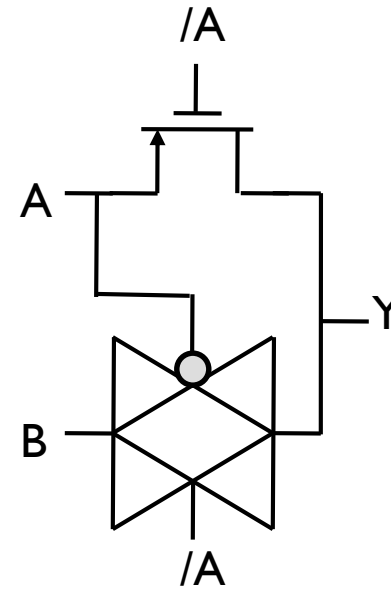
- Multiplexor





Otras puertas

- Puerta OR



- Puerta XOR

