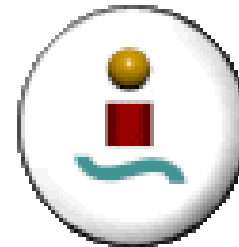


Tema 3

Reglas de Diseño II

De cómo el fabricante nos revela su tecnología para poder diseñar



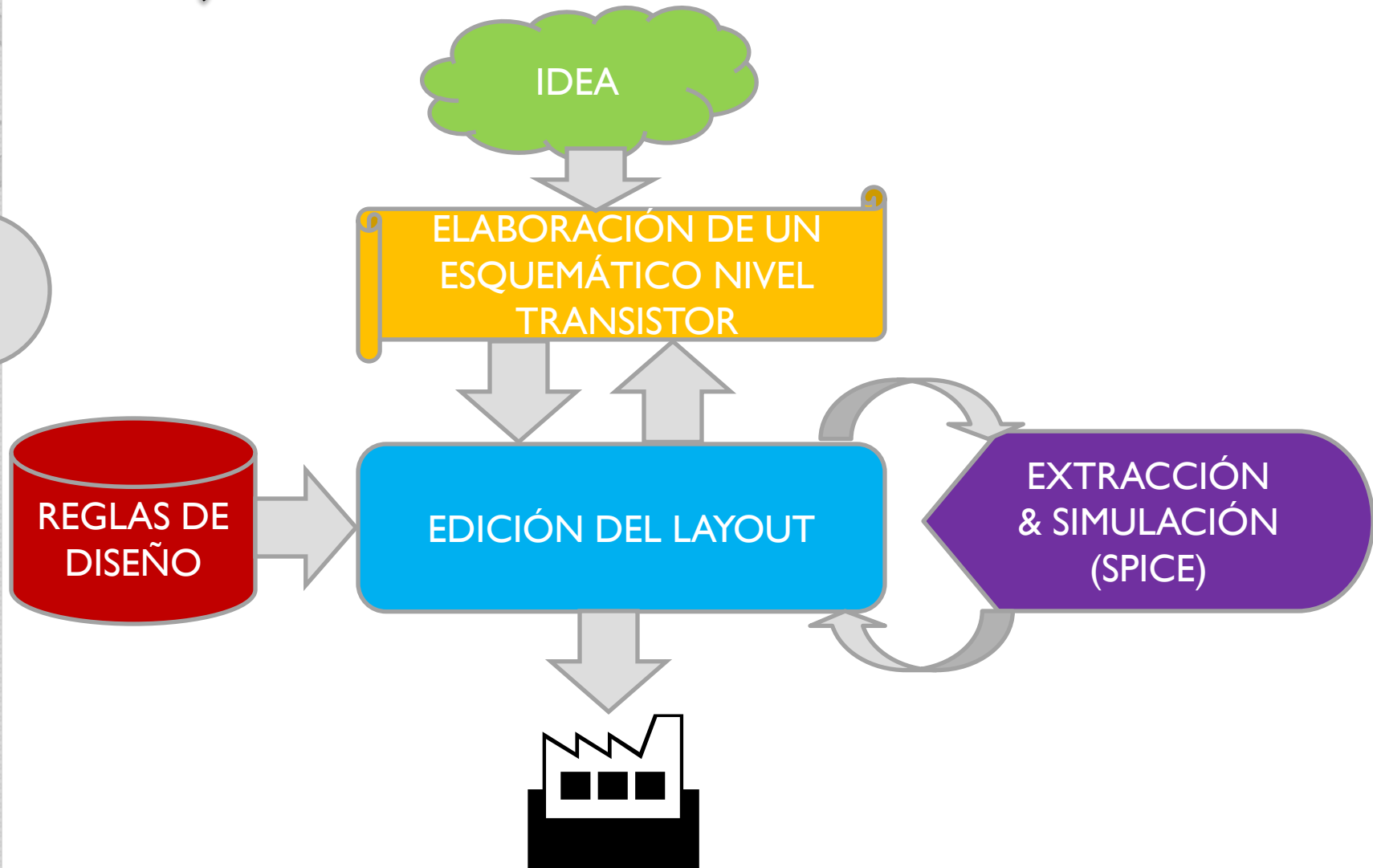
Contenidos del tema

1. Introducción
 1. Diseño Full Custom
2. Reglas de diseño
3. Parásitos eléctricos
4. Diseño de pads
5. Latch-up
6. Estilo celdas estándar

I. Introducción

- Diseñar circuitos integrados requiere un conocimiento detallado de la tecnología del fabricante elegido
- Esto tiene dos inconvenientes:
 - Diseñar significa conocer a fondo los procesos de fabricación
 - El fabricante tiene que revelar detalles de su tecnología de fabricación
- Las reglas de diseño son condiciones geométricas que ha de cumplir el layout de un diseño para poder ser fabricado.
- Son una abstracción a restricciones de diseño de la tecnología de fabricación

Flujo de diseño



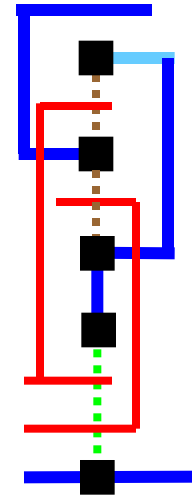
Diagramas de barras

- Son una abstracción del layout para simplificar el proceso de edición de las máscaras

Layout editado

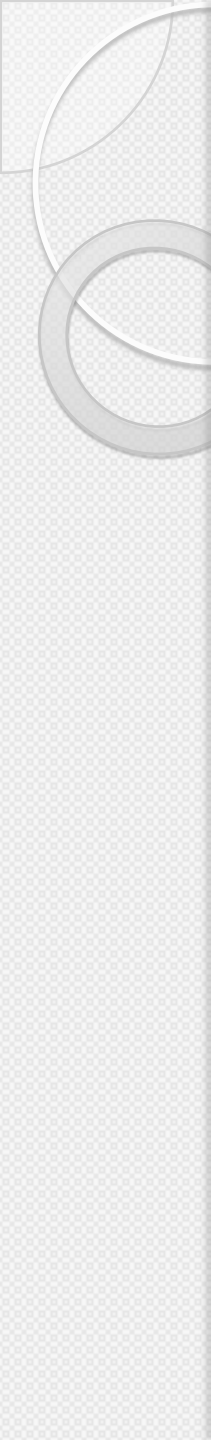


Diagrama de barras



Extracción

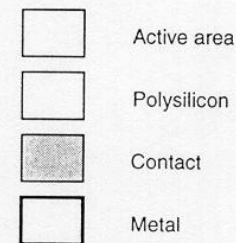
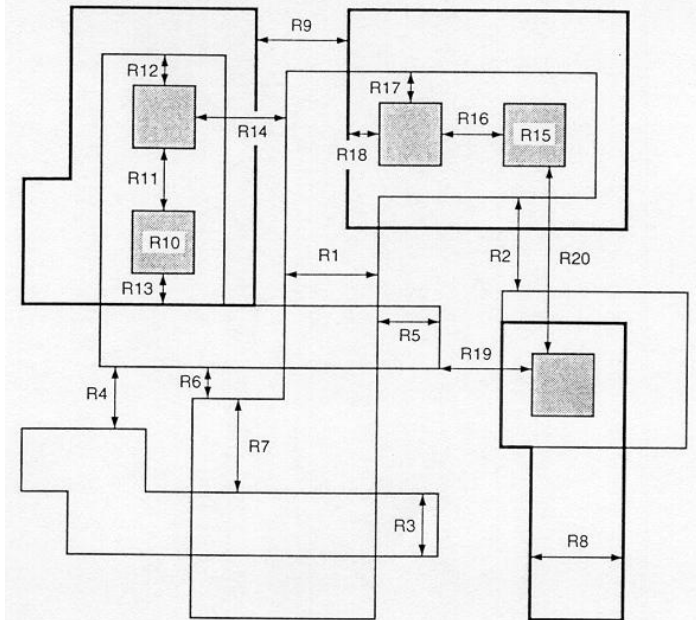
- Transformación del dibujo en una descripción para simulación, p.e. SPICE
- Se incorporan las resistencias, capacidades e inductancias parásitas

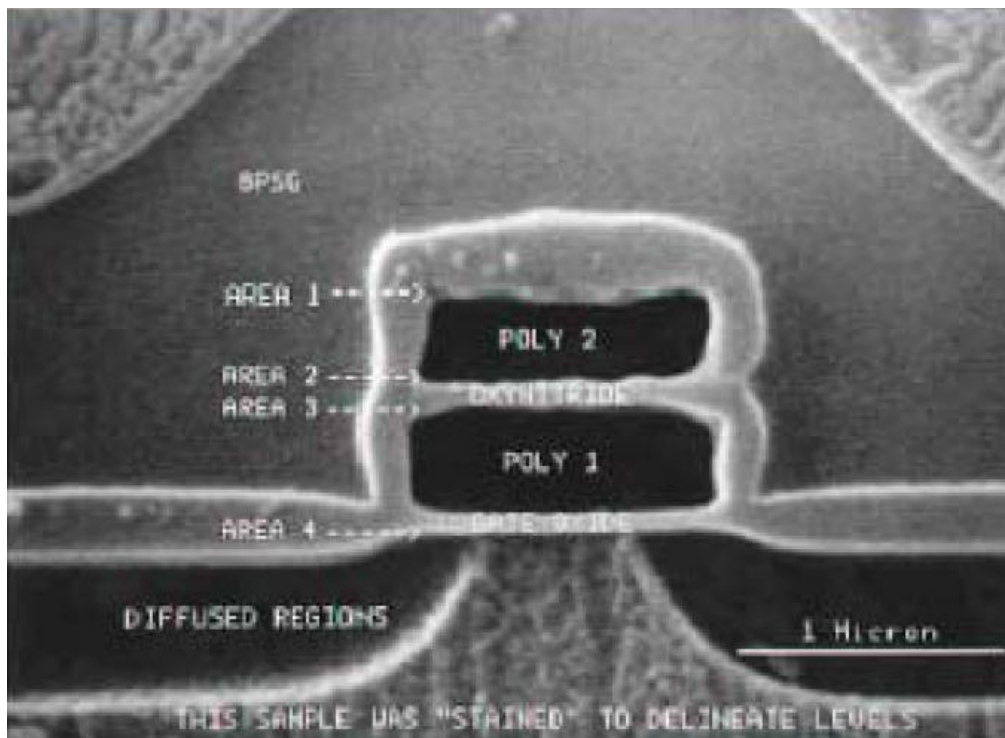
- 
- **Ventajas:**
 - Diseño compacto, menor área
 - Mayores prestaciones
 - **Inconvenientes**
 - Esfuerzo
 - Riesgo
 - Metodología

2. Las reglas de diseño

MOSIS Layout Design Rules (sample set) Rule number Description L-Rule

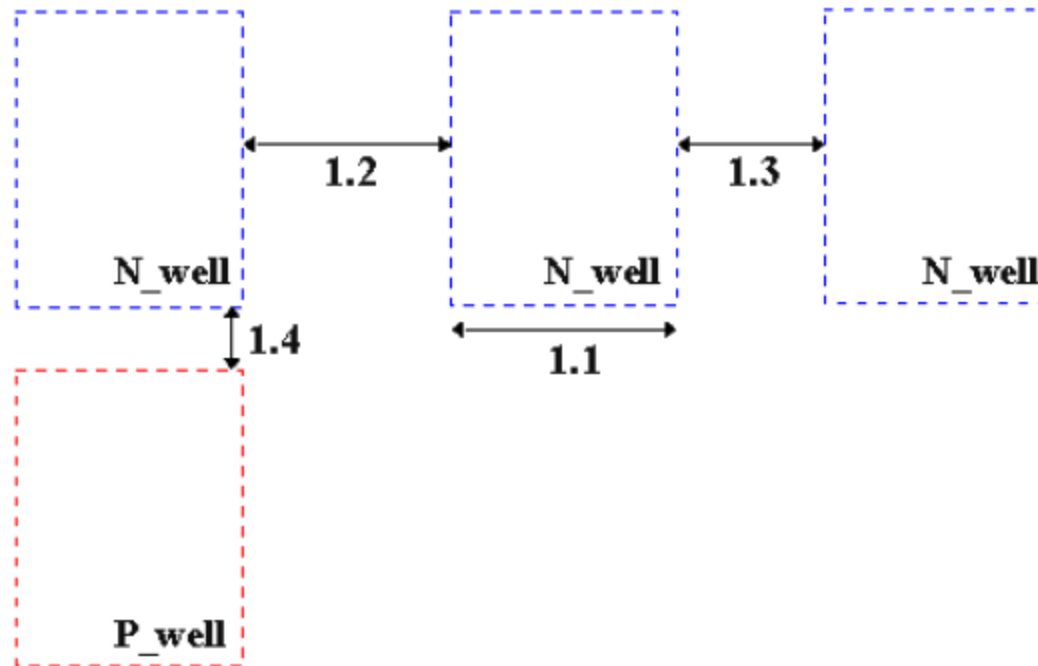
- R1 Minimum active area width 3 L
- R2 Minimum active area spacing 3 L
- R3 Minimum poly width 2 L
- R4 Minimum poly spacing 2 L
- R5 Minimum gate extension of poly over active 2 L
- R6 Minimum poly-active edge spacing 1 L (poly outside active area)
- R7 Minimum poly-active edge spacing 3 L (poly inside active area)
- R8 Minimum metal width 3 L
- R9 Minimum metal spacing 3 L
- R10 Poly contact size 2 L
- R11 Minimum poly contact spacing 2 L
- R12 Minimum poly contact to poly edge spacing 1 L
- R13 Minimum poly contact to metal edge spacing 1 L
- R14 Minimum poly contact to active edge spacing 3 L
- R15 Active contact size 2 L
- R16 Minimum active contact spacing 2 L (on the same active region)
- R17 Minimum active contact to active edge spacing 1 L
- R18 Minimum active contact to metal edge spacing 1 L
- R19 Minimum active contact to poly edge spacing 3 L
- R20 Minimum active contact spacing 6 L (on different active regions)





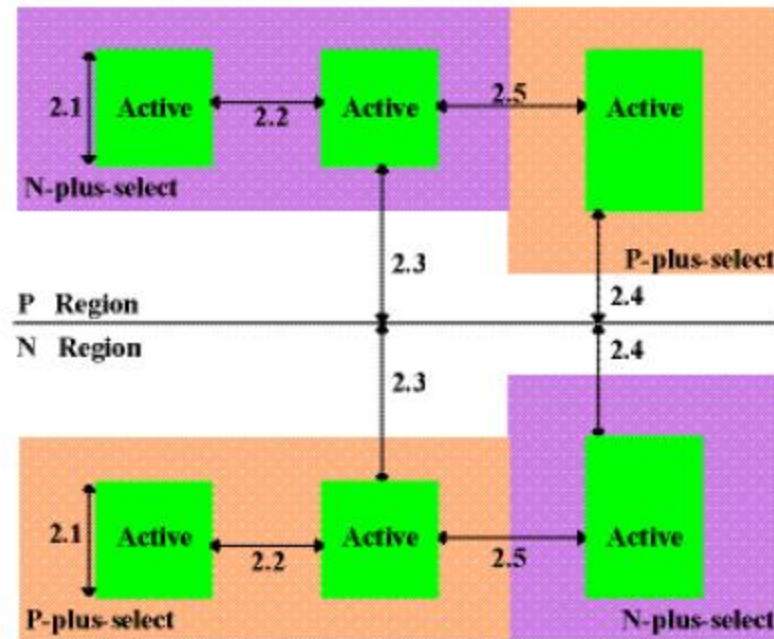
Reglas para pozos

- Se busca controlar la difusión lateral.
- Definir tolerancias de alineamientos de máscaras
- Establecen distancias mínimas entre pozos de diferente potencial
- Definen los tamaños mínimos de los pozos



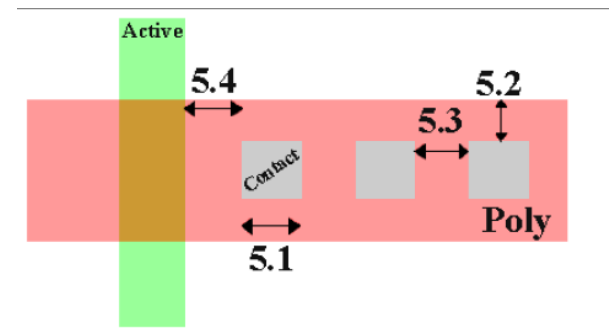
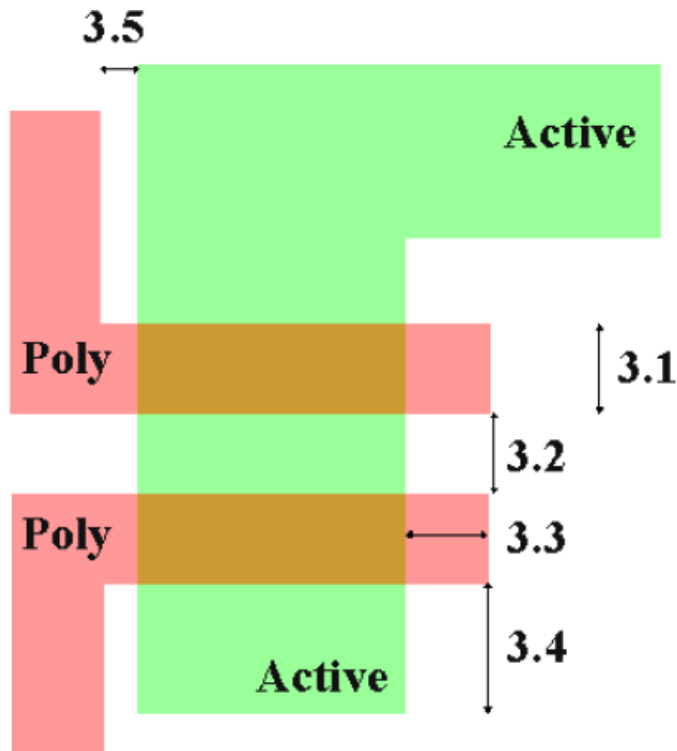
Reglas para difusiones

- Intentan evitar situaciones similares
- Abrir espacios suficientes para los contactos metálicos



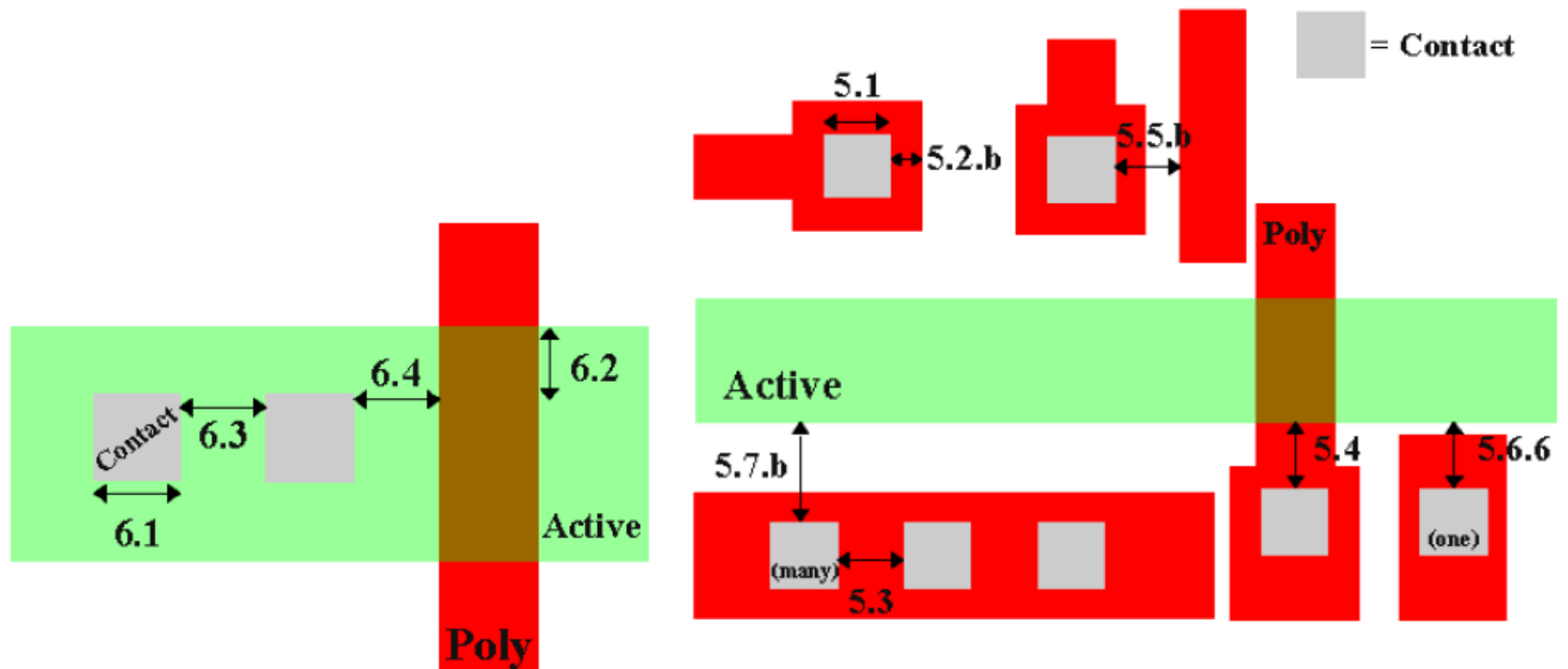
Reglas para polisilicio

- Debido a las tolerancias de alineamiento de máscaras



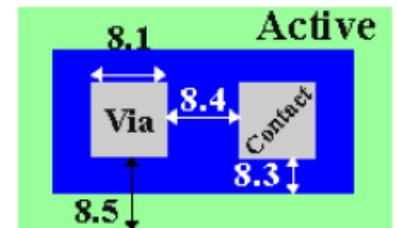
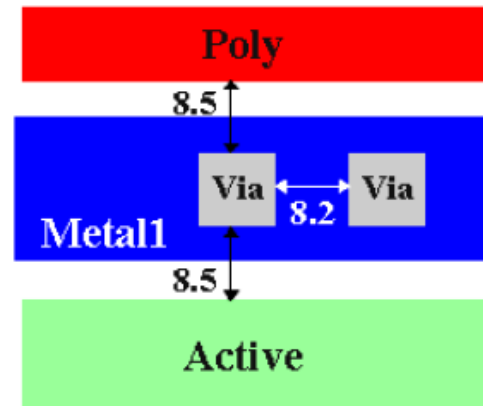
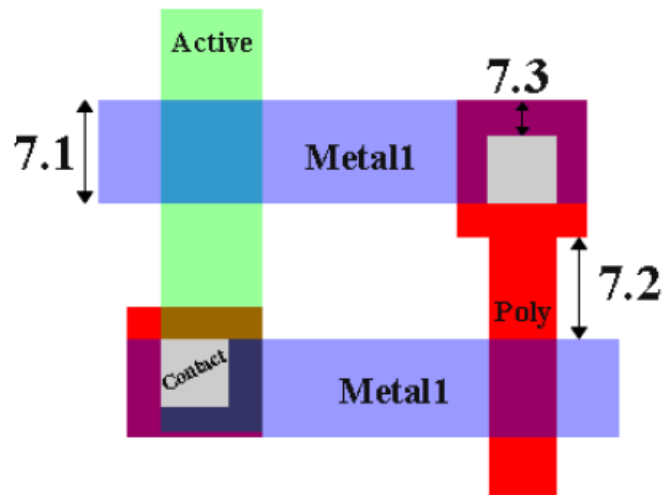
Contactos

- Metal I a difusión o polisilicio
- Tienen tamaño fijo
- Se determina por tolerancias de alineamiento
- Valores de parásitos C y R



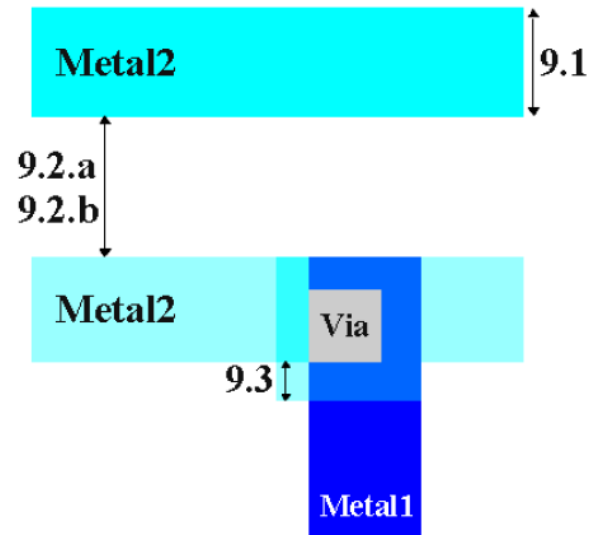
Metal I

- Tolerancias de alineamiento

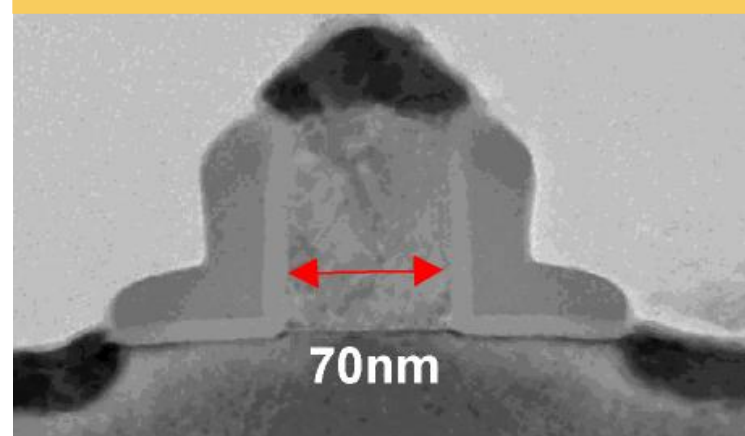
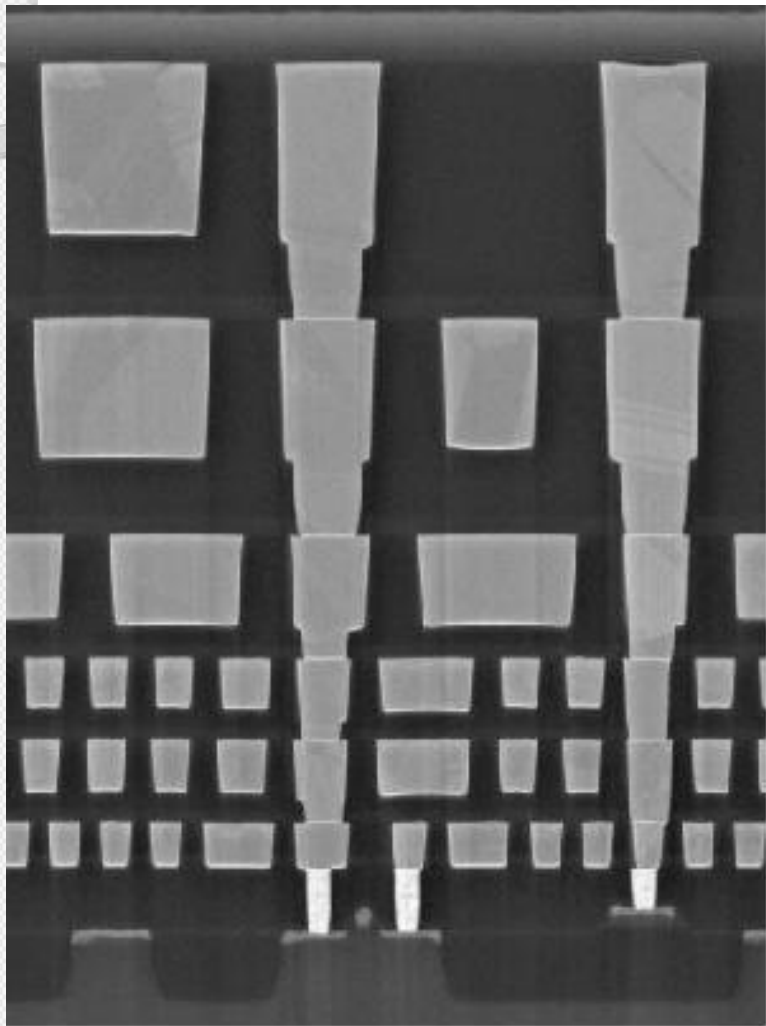


Metal 2

- Tolerancias de alineamiento

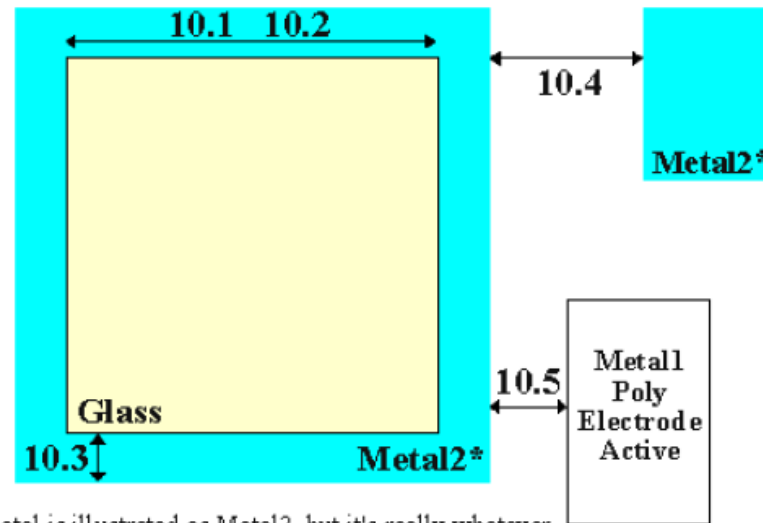


Proceso Damasquinado, Intel I 30nm, $L_{GMem} = 70\text{nm}$)



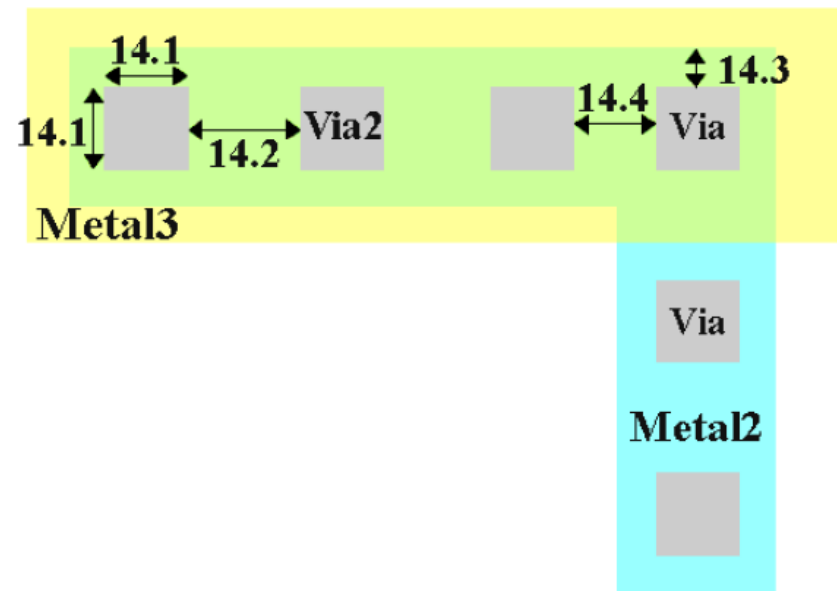
Pasivación

- Aperturas para el “bonding”
- Tamaño fijo



* "Pad" metal is illustrated as Metal2, but it's really whatever topmost metal layer is available (depends on options).

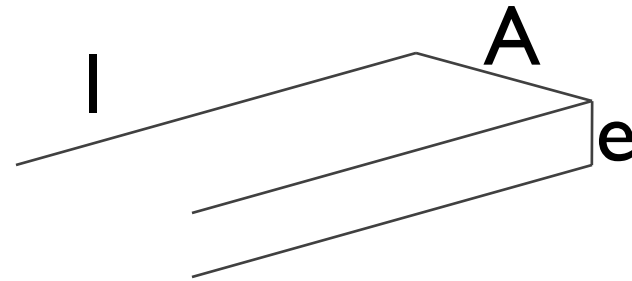
Metal 3



3. Parásitos eléctricos

- R en un conductor viene dado por la R_{\square} , medida en Ω_{\square} :

$$R = R_{\square} \frac{l}{A}$$



$$R_{\square} = \frac{\rho}{e}$$

Para una tecnología de 180 nm:

Polisilicio $R_{\square} = 4 \Omega_{\square}$

Metal 1 $R_{\square} = 0,15 \Omega_{\square}$

Metal 2 $R_{\square} = 0,06 \Omega_{\square}$

Para una tecnología de 90nm:

Polisilicio $R_{\square} = 4 \Omega_{\square}$

Metal 1 $R_{\square} = 0,2 \Omega_{\square}$

Metal 2 $R_{\square} = 0,1 \Omega_{\square}$

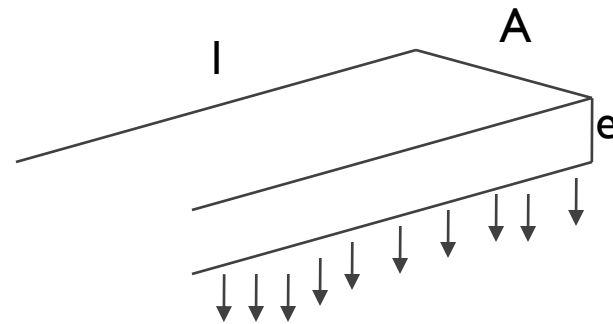
- Capacidad de un conductor C' es medida en F/m^2 :

- A sustrato $C=C' \times A \times l$

$$C'=24 \text{ aF}/\mu\text{m}^2$$

- Intermetálica $C=C'_m \times \text{área enfrentada}$

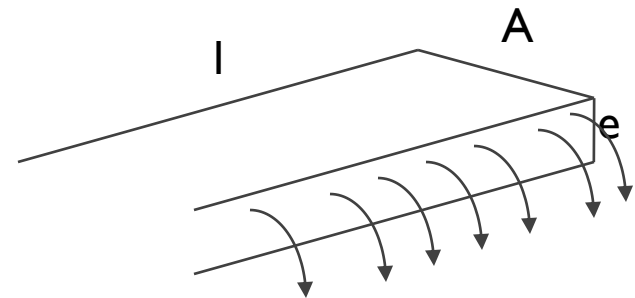
$$C'_m l_m^2=40 \text{ aF}$$



- Lateral (fringe) se mide por unidad de longitud

- $C= C'_f \times \text{perímetro}$

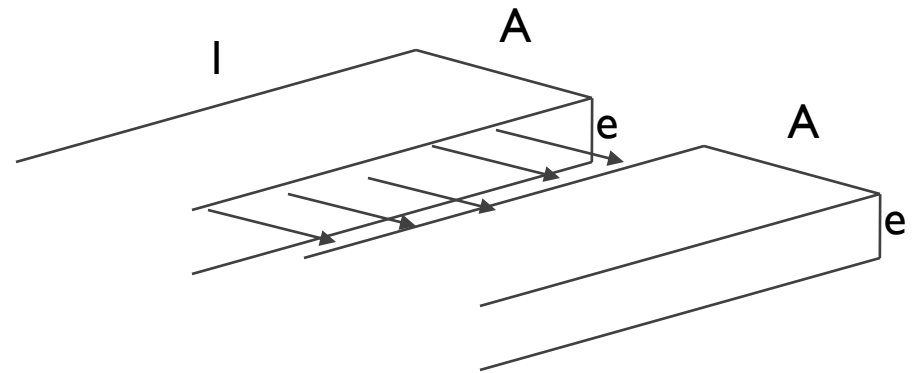
$$C'_f=42 \text{ aF}/\mu\text{m}$$



Crosstalk

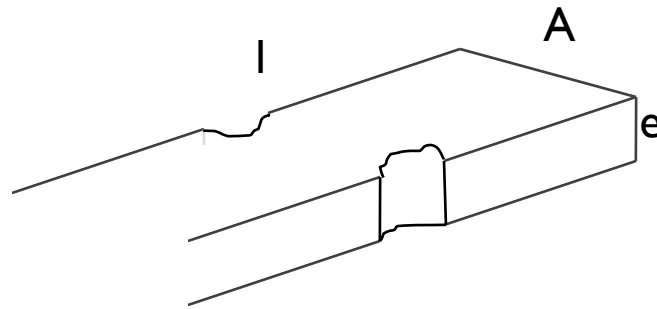
- Acoplo capacitivo lateral

$$C = C'_l \times l$$
$$C'_l = 10 \text{ aF}/\mu\text{m}$$



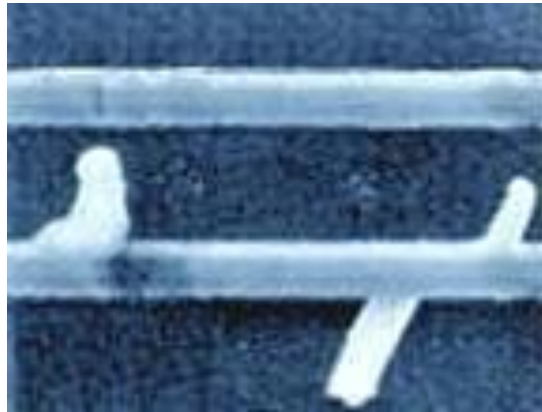
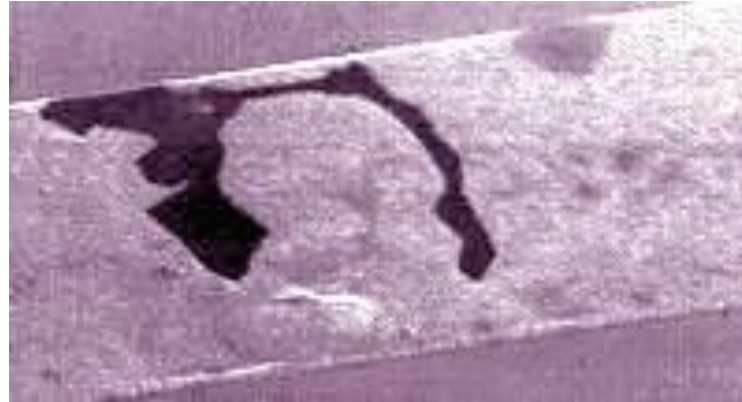
Electromigración

- Fenómeno de erosión de conductores a causa de la circulación de elevadas densidades de corriente
- $j_{\max} = A/m^2$
- $I_{\max} = j_{\max} \times A \times e$

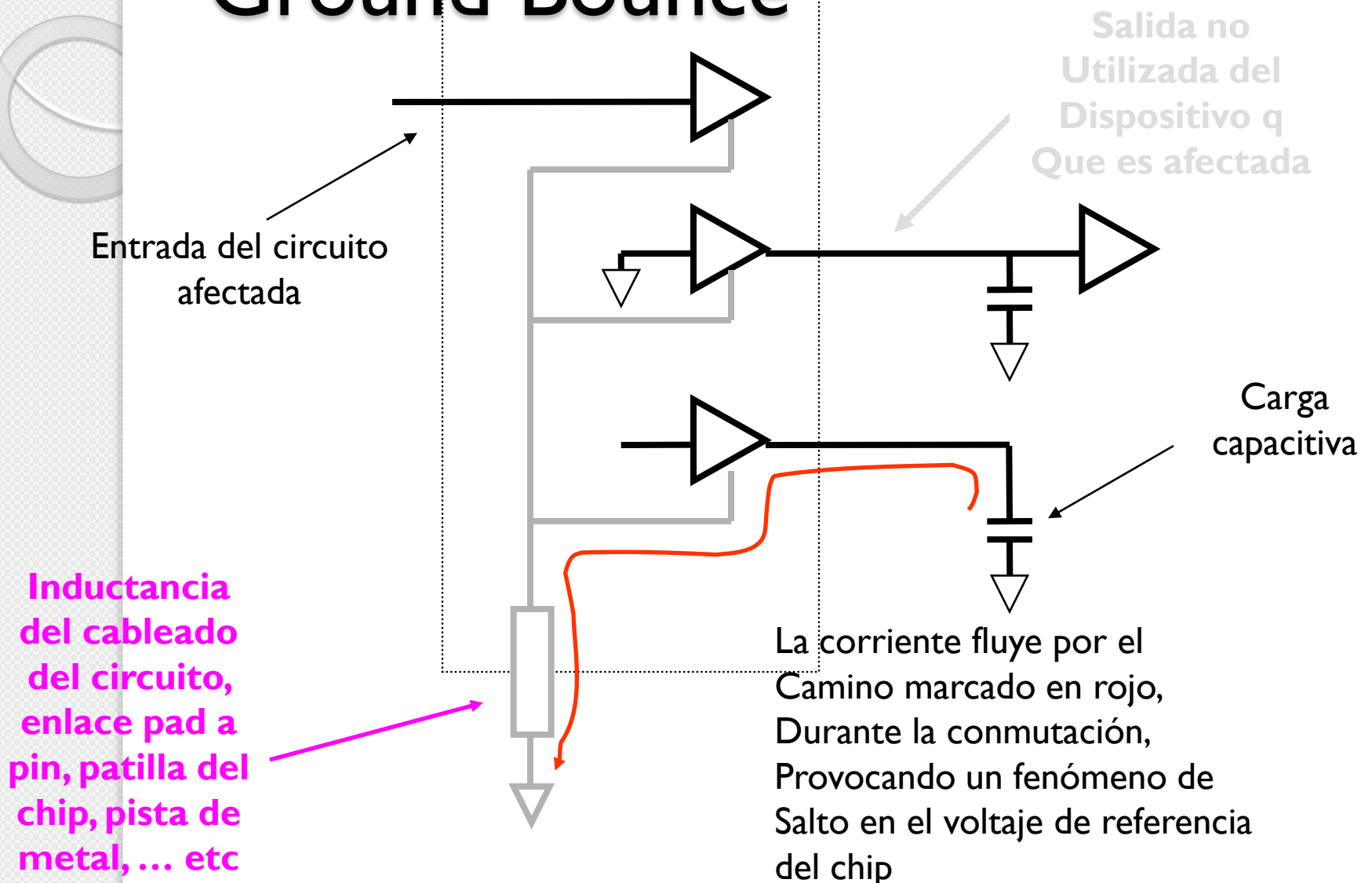


Si $I > I_{\max}$ se produce electromigración y A es menor, luego I_{\max} es menor.

- Deterioro progresivo de la estructura del conductor



Ground Bounce



Se transmite como un ruido

Ruido en una salida inactiva.

Voltaje respecto a tierra o alimentación.

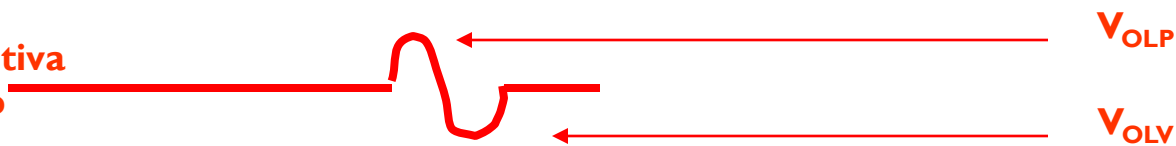
Conmutación de
Una salida



Salida inactiva en alto



Salida inactiva
En bajo



Números...

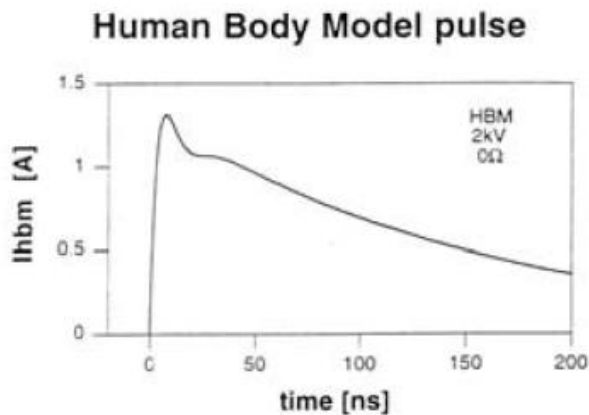
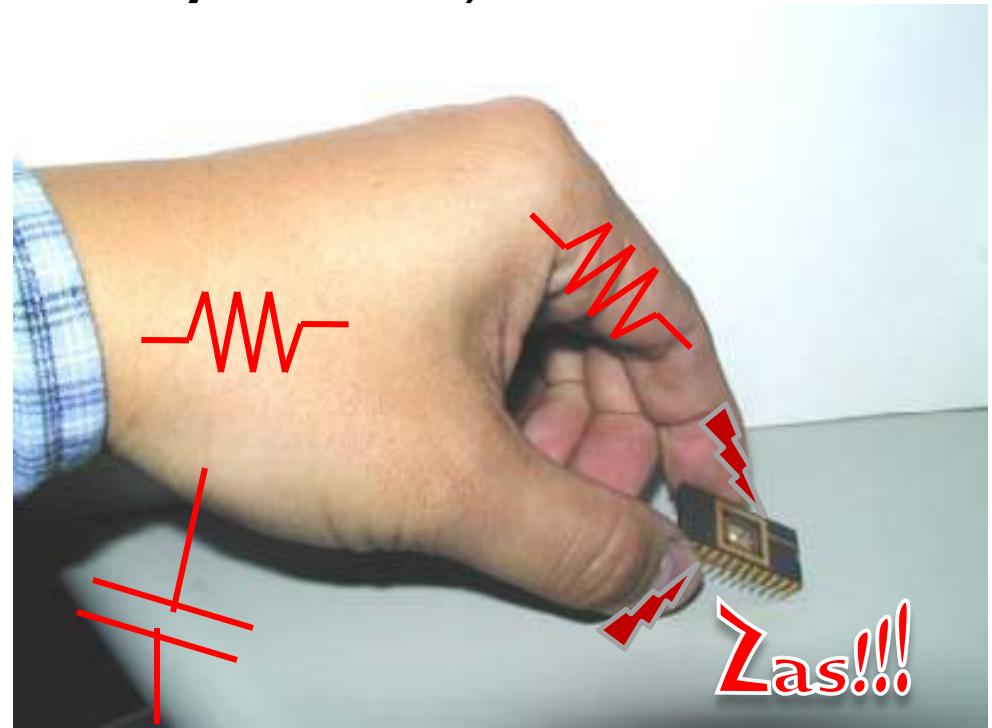
| | |
|---------------------------------|--------|
| 14-pin plastic DIP | 8 nH |
| 68-pin plastic DIP | 35 nH |
| 68-pin PLCC | 7 nH |
| Wire bonded to hybrid substrate | 1 nH |
| Solder bump to hybrid substrate | 0.1 nH |

Mitigación del “Ground Bounce”

- Usar salidas de bajo slew rate, siempre que no se necesiten otras.
- Diversificar los pares de alimentación / tierra para reducir las impedancias
- Evitar conmutaciones simultáneas siempre que sea posible, y que no estén agrupadas.

4. Diseño de pads. Tipos de descargas

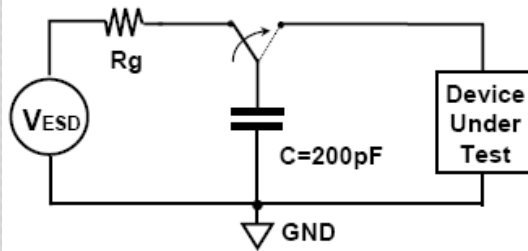
- HBM (Human Body Model)



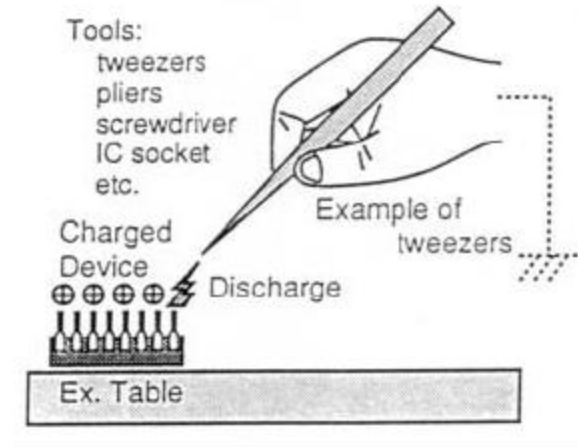
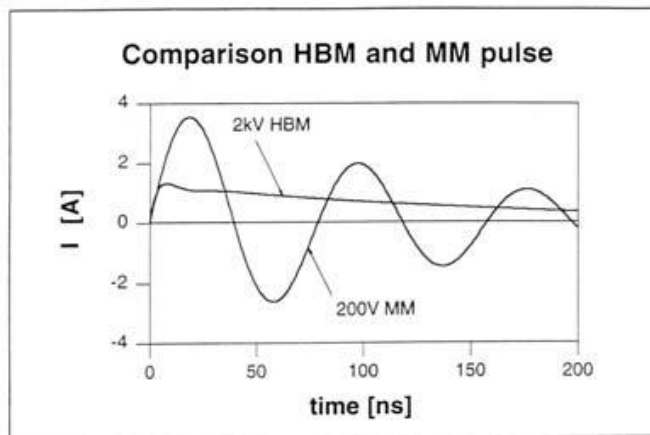
the HBM acts like a current source

Otros modelos

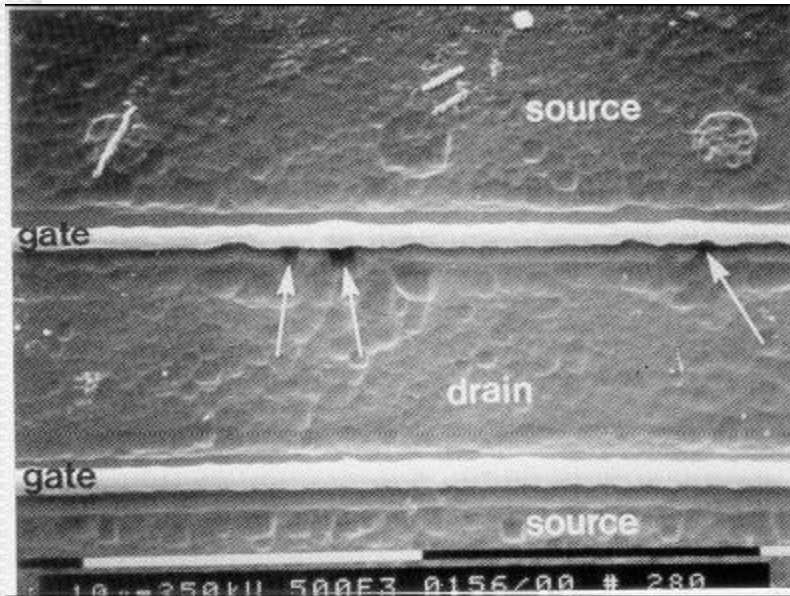
- MM (Machine Model)
- CDM (Charged Device Model)



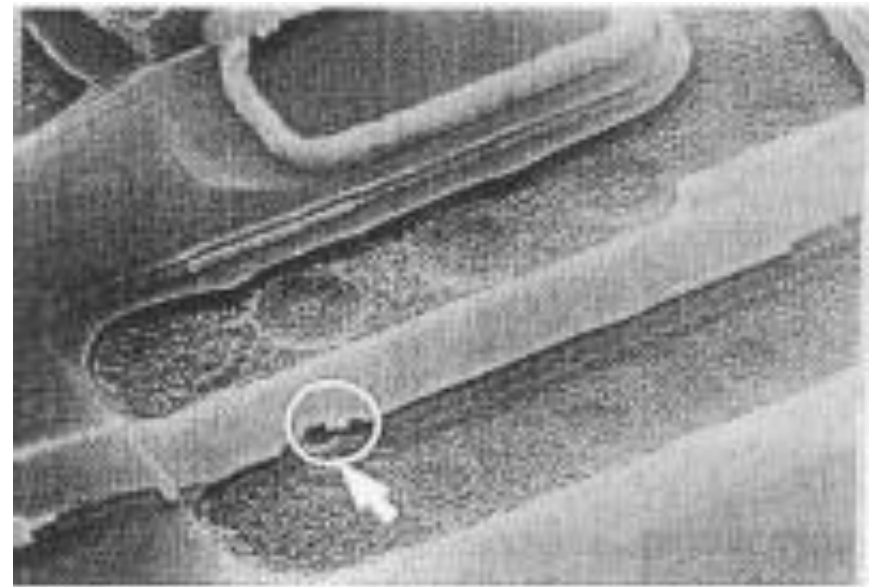
CMM= 200pF
RMM= 0Ω



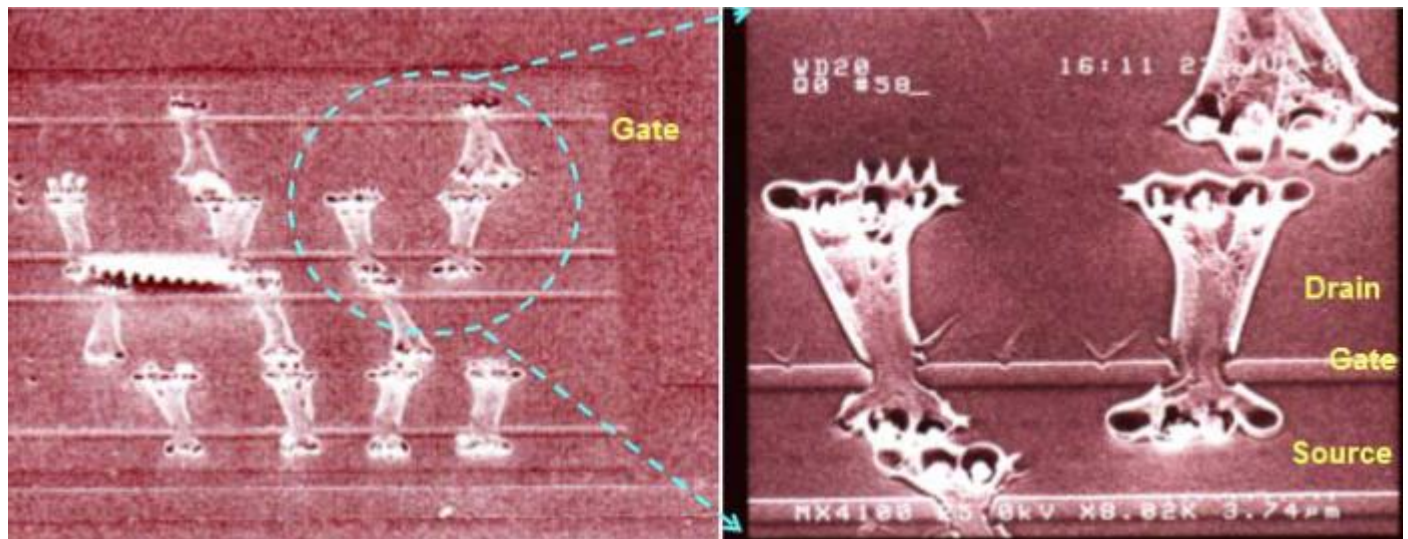
- Descarga electrostática



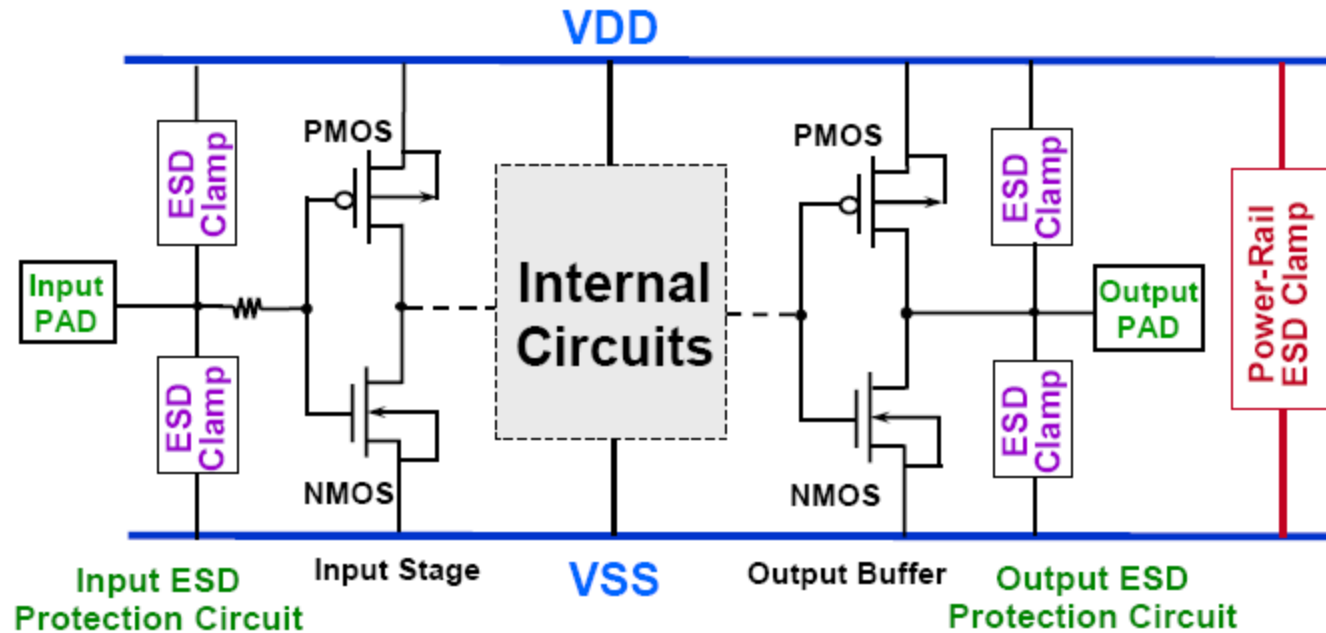
Daño debido a una descarga por electricidad estática del hombre. Notar el daño térmico del silicio.

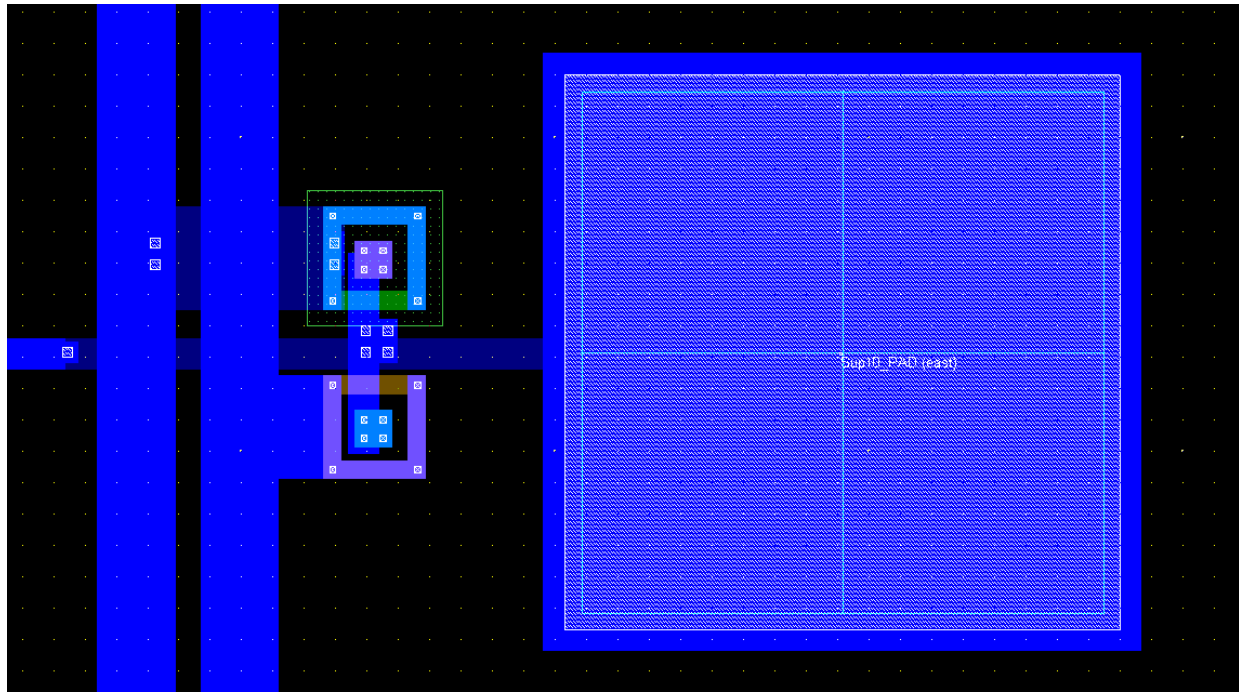
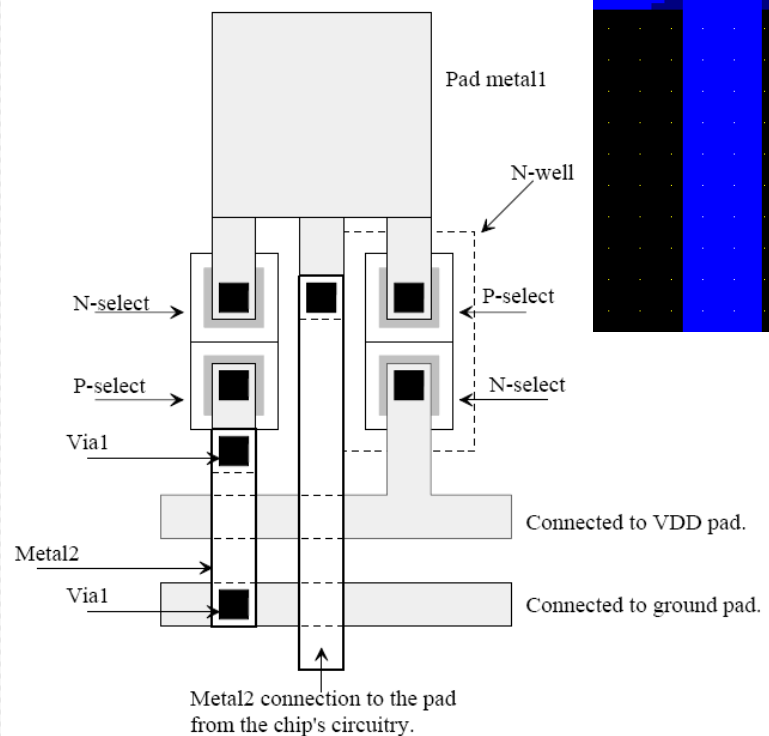


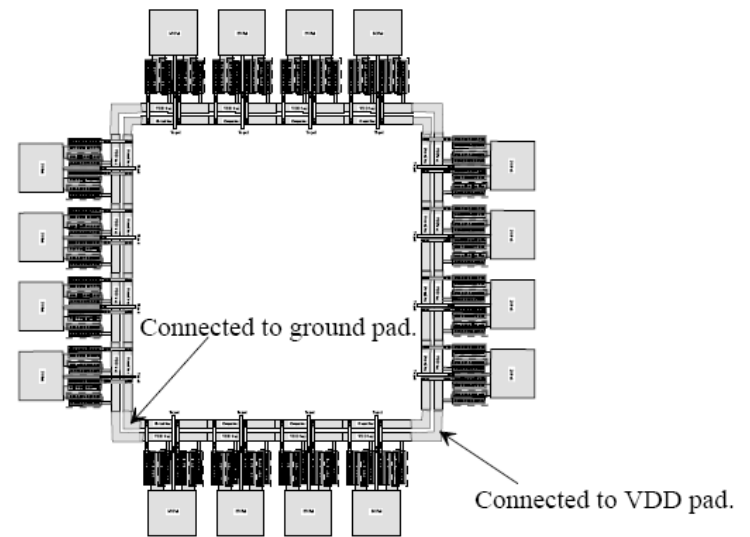
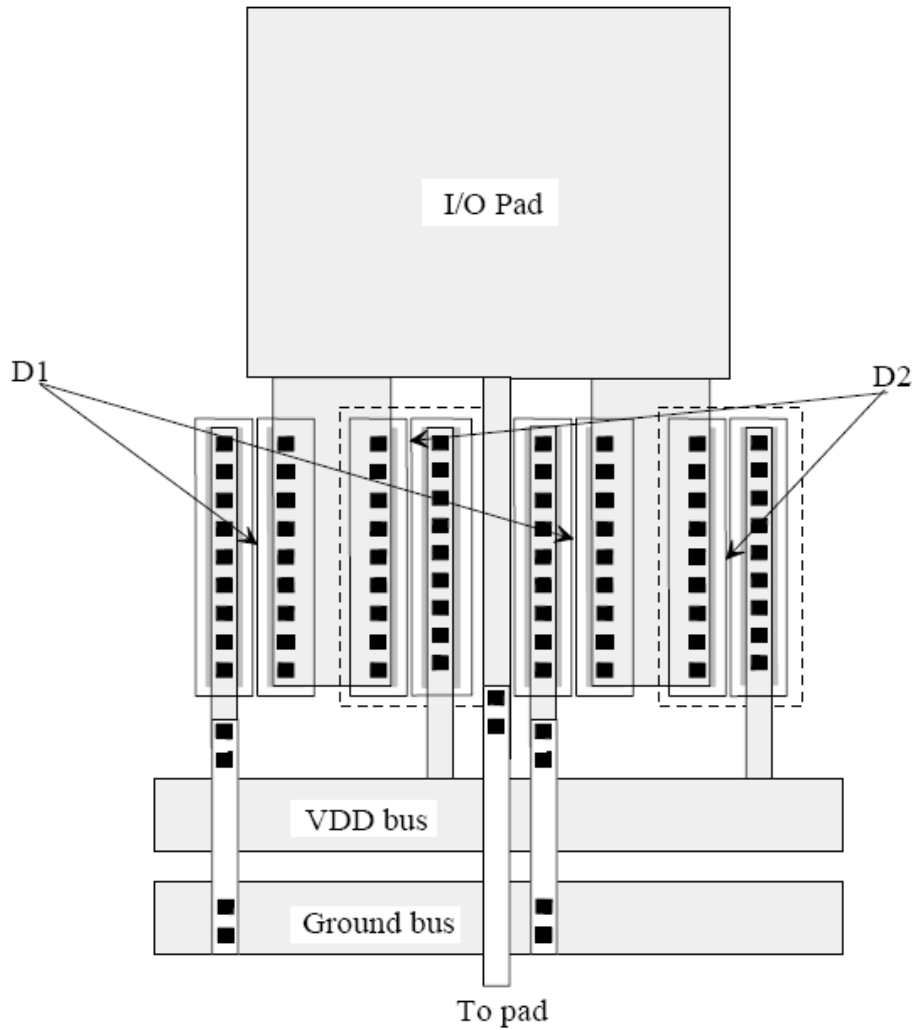
Daño de un óxido de puerta a un buffer de entrada después de una descarga provocada por un mal funcionamiento de un equipo. Notar la ruptura del óxido de puerta.



Diseño de PADS







Estrategias de protección

- Se consideran todos los posibles caminos para evitar daños térmicos del silicio, así como sobrevoltajes internos. Se emplean diodos de sobretensión o subtensión (clamp diodes)

Latch-up

- Presencia de estructuras parásitas tipo SCR (Source Controlled Rectifier) en tecnologías CMOS.

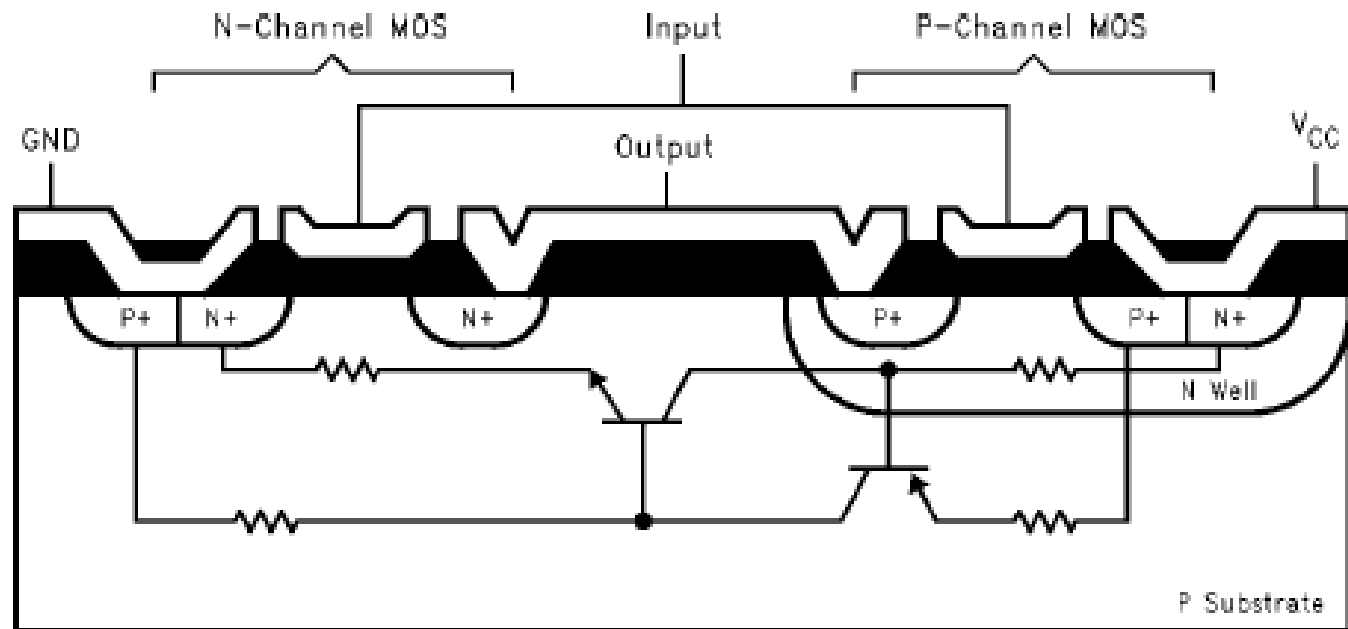
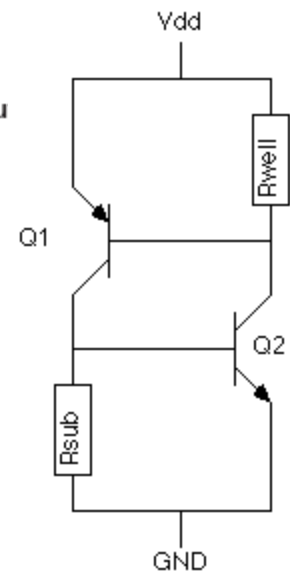
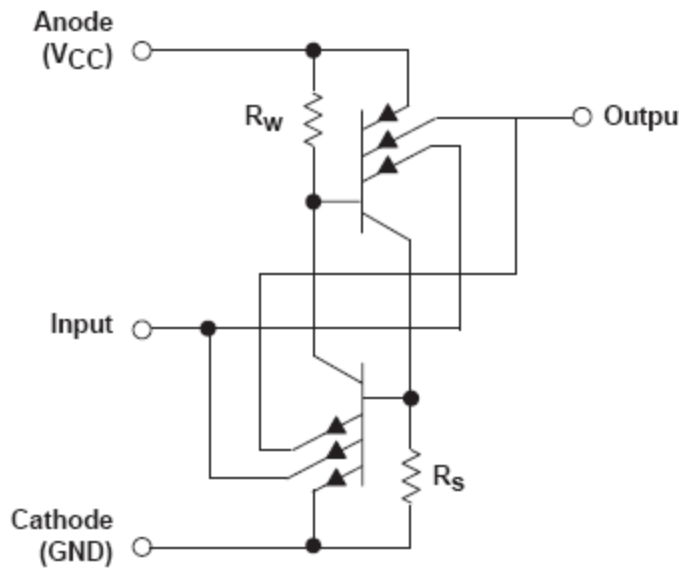
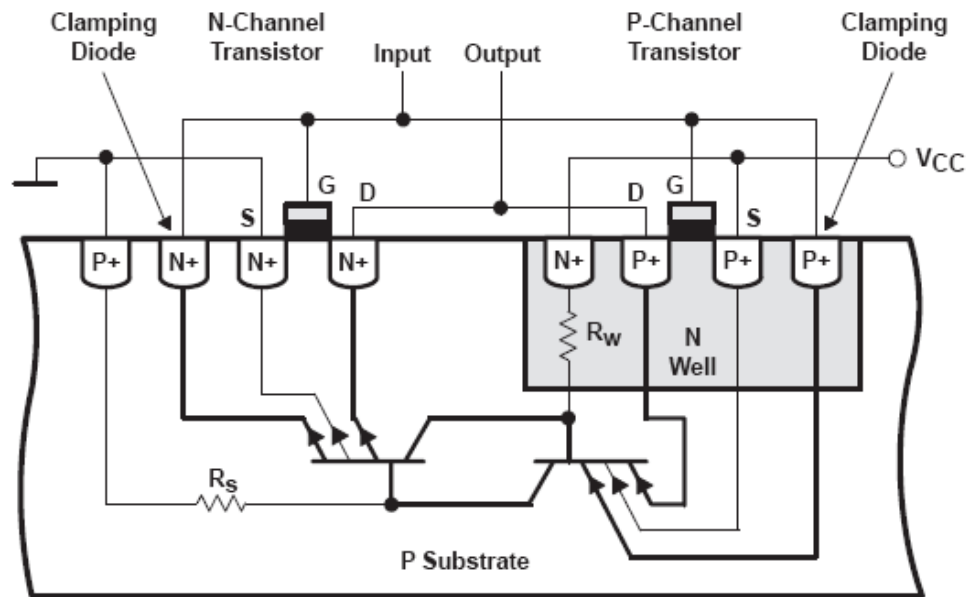
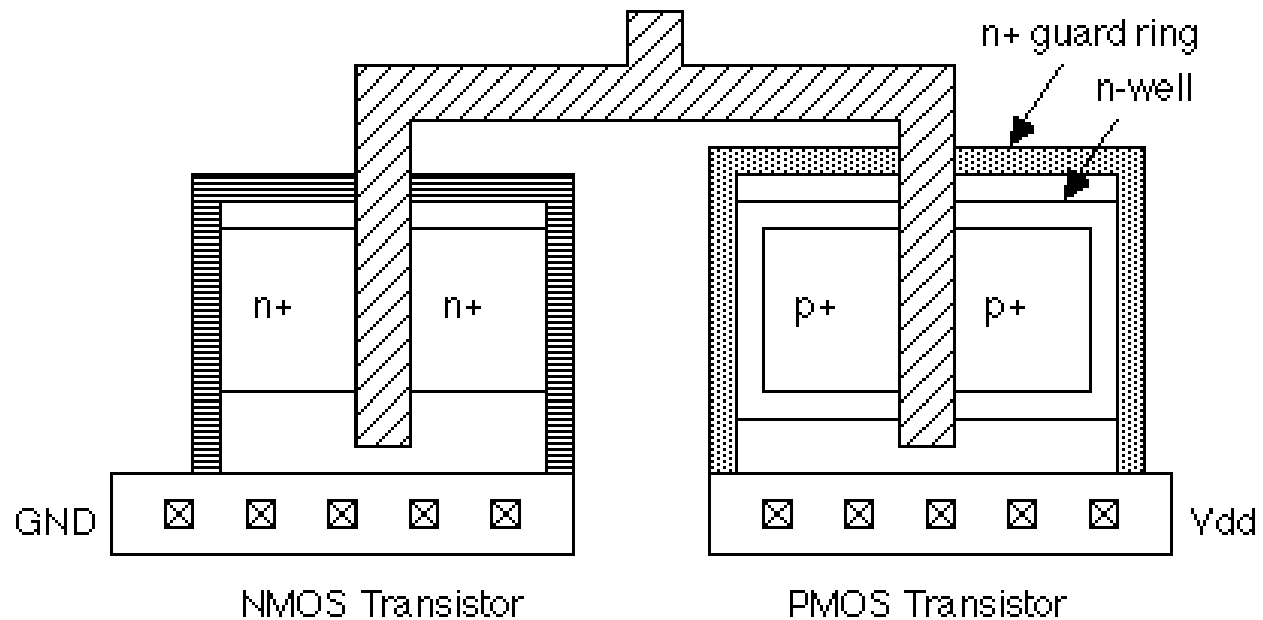


FIGURE 2. Basic P-Substrate CMOS Inverter Cross Section with Latch-Up Circuit Model

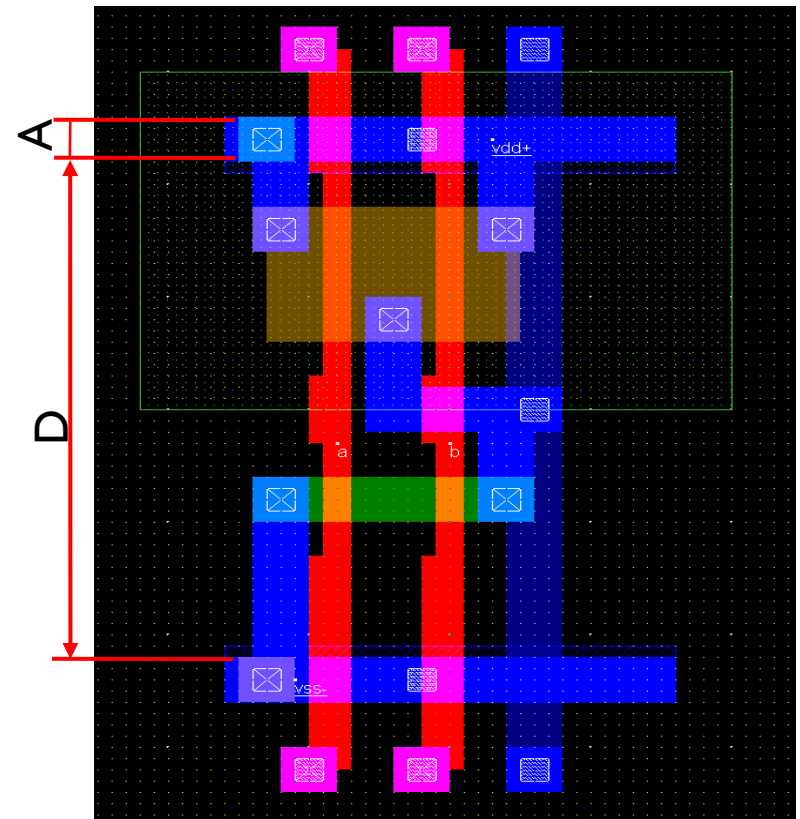


- Transistores CMOS con anillos de guarda

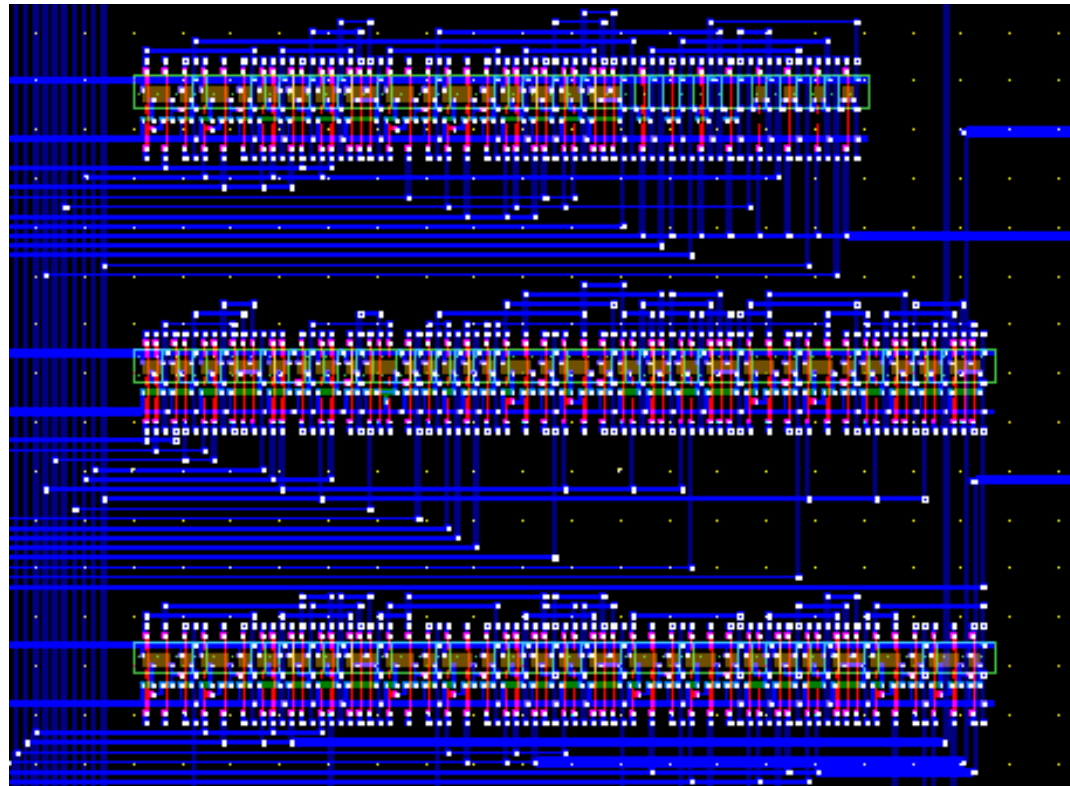


5. Celdas estándar

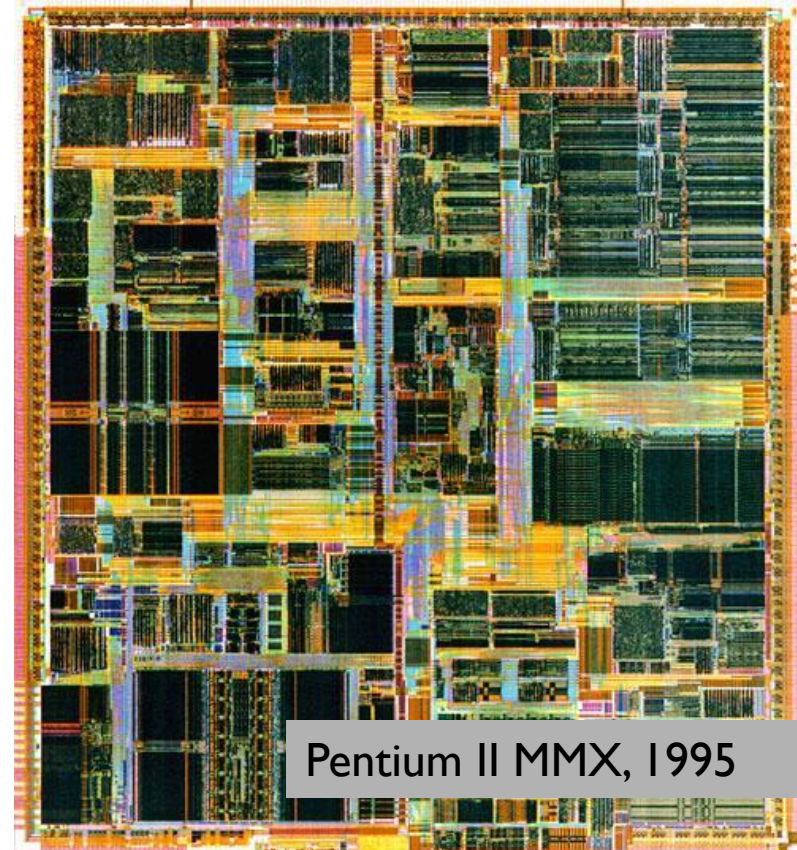
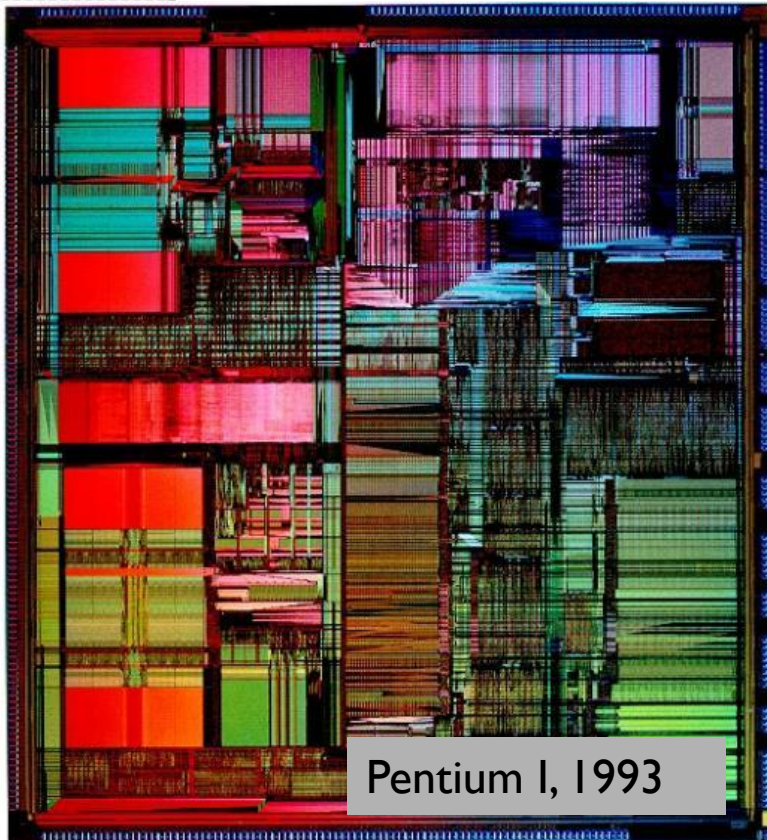
- Es un procedimiento de sistematización de layouts
- Todas la celdas elementales se diseñan utilizando un patrón de implementación
- Las pistas VDD y GND son de Metal 1, ancho A , dado y se sitúan a una distancia D fija, igual para todas las celdas, cualquiera que sea su función.

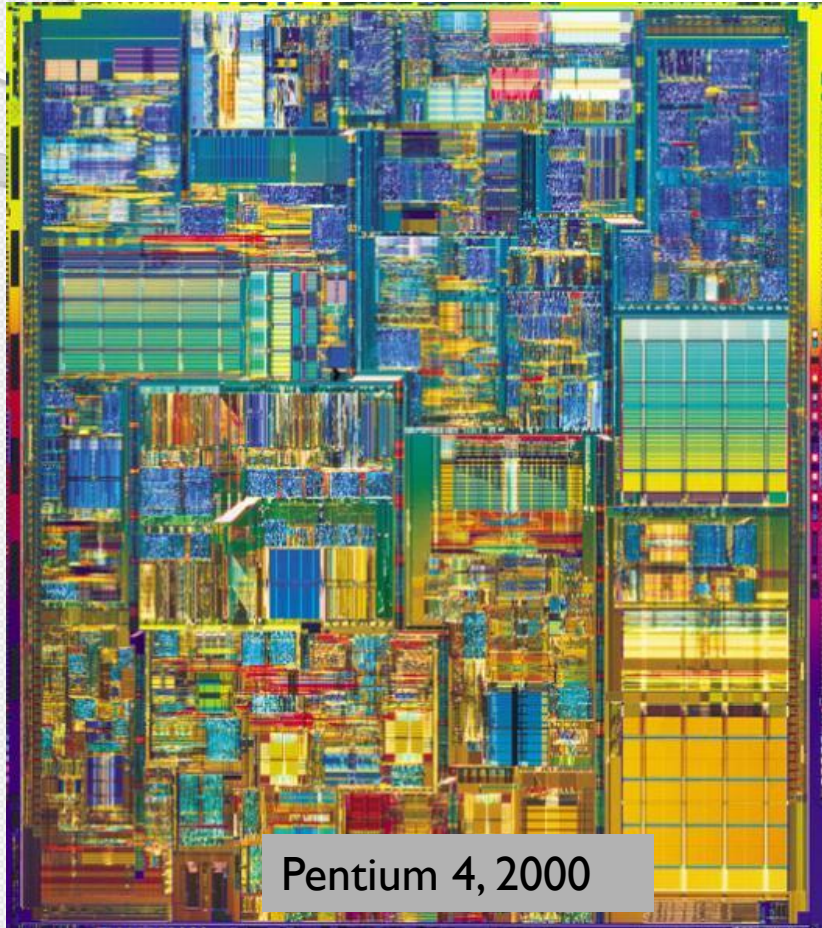


- Una disposición en filas de todas las celdas del circuito supone:
 - Alineamiento de las pistas VDD y GND
 - Las conexiones se realizan por fuera de las filas, en tecnologías de hasta dos metales.
 - Todas las celdas tienen la misma altura, pero no el mismo ancho. Este depende de la complejidad de la función de cada celda

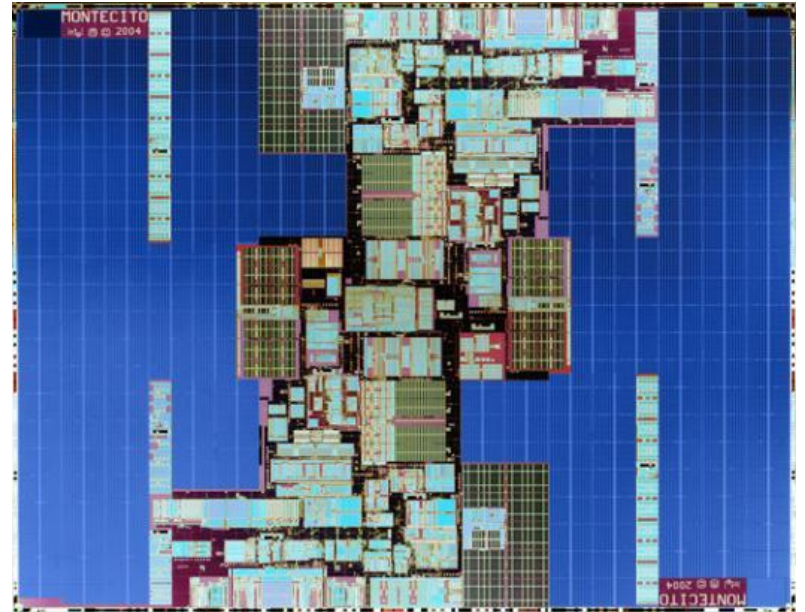


- La distancia entre las filas es variable
- Las celdas se “estandarizan” y se modelan: cajas, funciones y retardos
- El fabricante preserva los secretos de su tecnología
- Se automatiza el proceso de layout



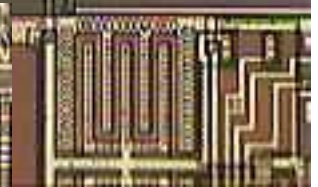
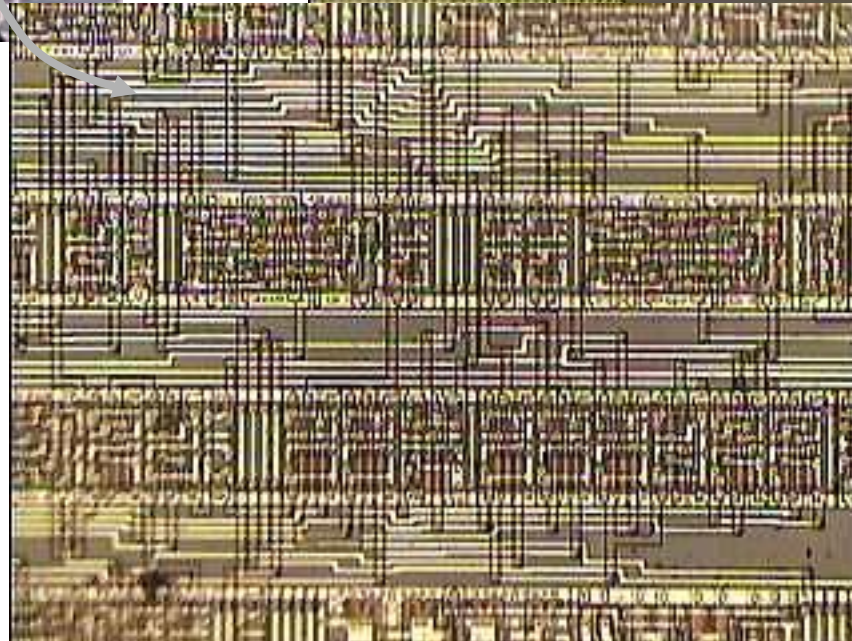
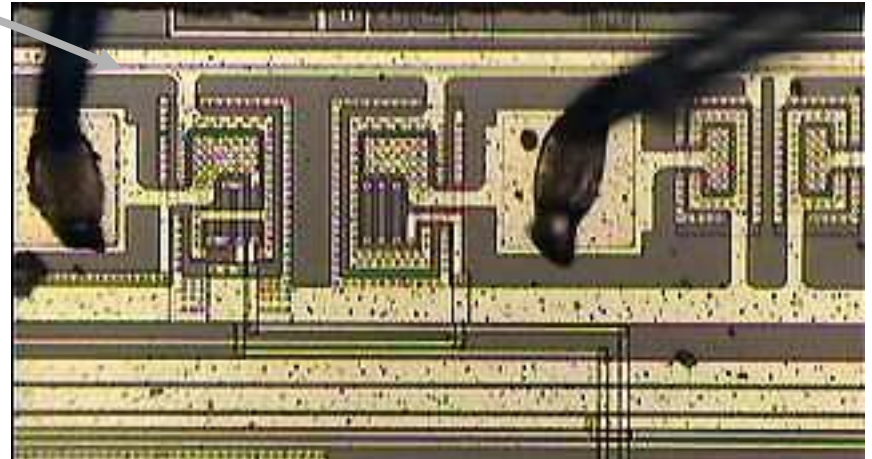
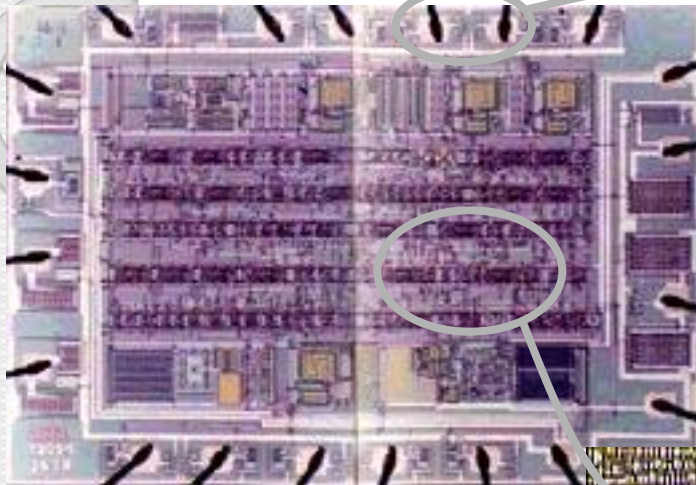


Pentium 4, 2000



Itanium, 2005

Ejemplo Celdas Estandar



Ejemplo Full-Custom

