



Tema I

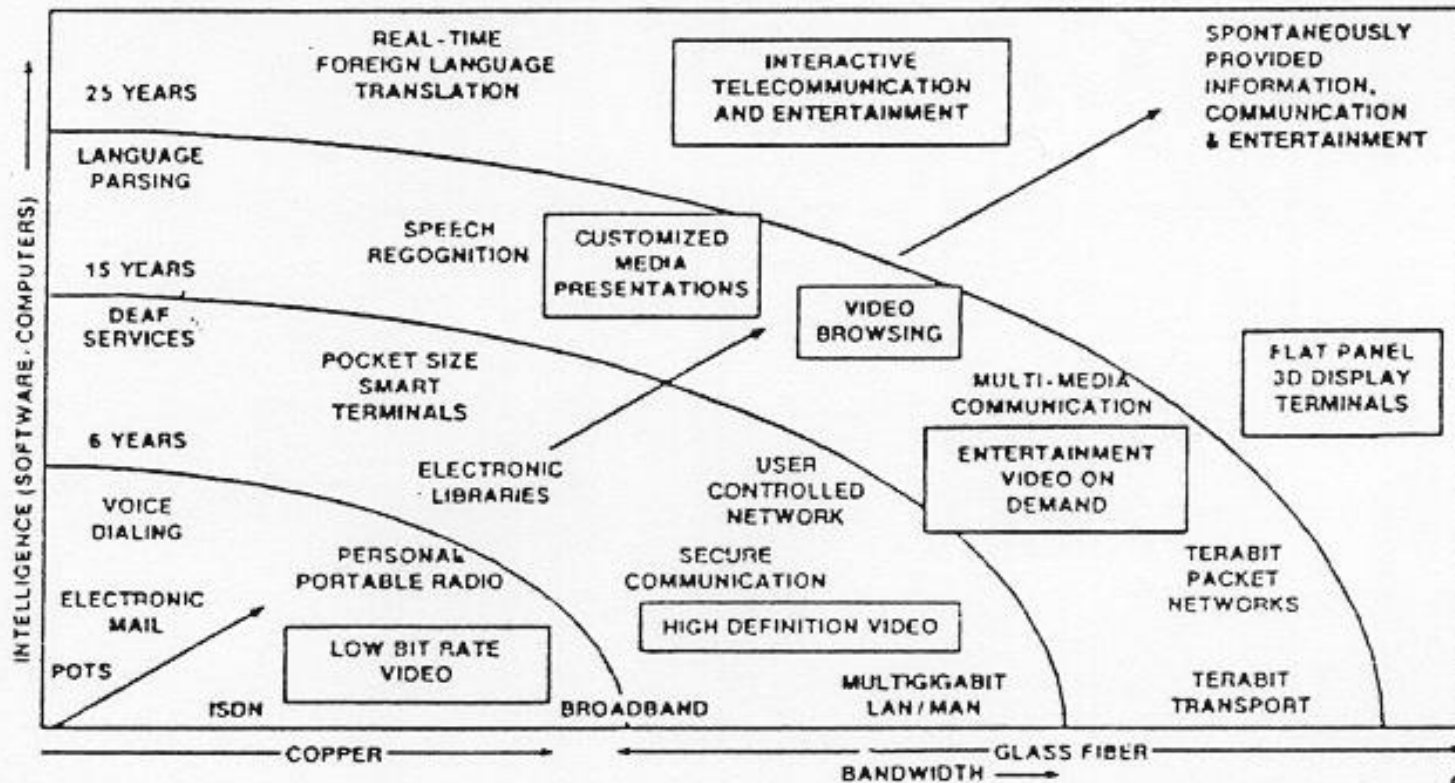
Introducción a la Microelectrónica

Motivaciones para cursar esta asignatura en la carrera de Ingeniería

Contenidos del tema

1. **Introducción**
 1. Introducción histórica
 2. Ley de Moore
 3. Ciencias asociadas
2. **Tecnologías de Semiconductores**
 1. Escalas de Integración
3. **Diseño de un Circuito Integrado**
 1. Niveles de representación de un diseño.
4. **Aspectos Económicos**

La microelectrónica en la sociedad



Source: Bellcore

¿Por qué diseñar Circuitos Integrados?

Los circuitos integrados de aplicación específica son soluciones a problemas de ingeniería de alta tecnología:

Comunicaciones de alta velocidad

Computación Paralela

Preservar la propiedad intelectual

Fiabilidad de sistemas electrónicos

Economía

I.I Introducción histórica

1886

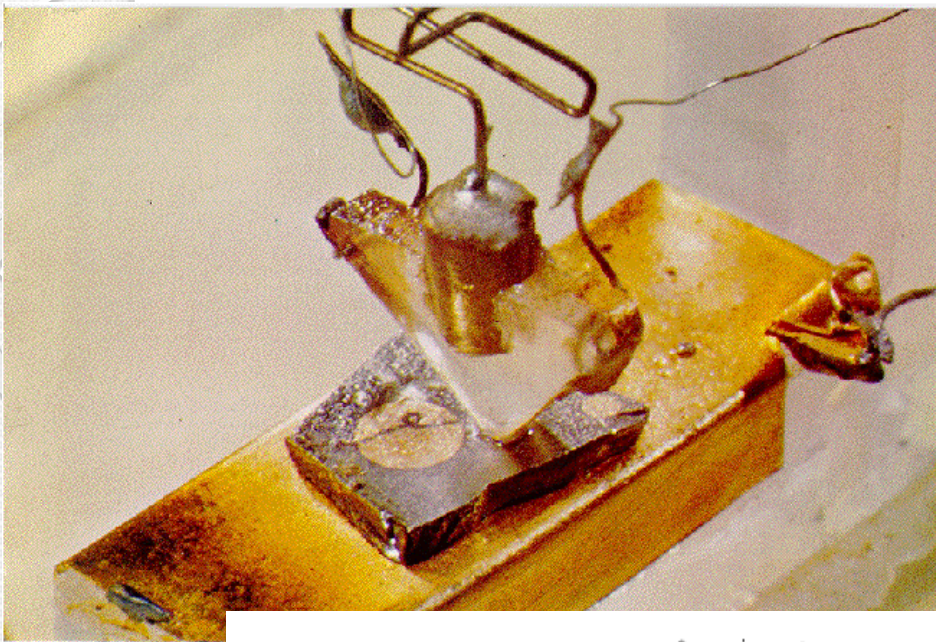
- Descubrimiento de un nuevo elemento del grupo IV: **Germanio (Ge) por Clemens Winkler**
- El primer **coche de 4 ruedas, inventado por Daimler & Benz**
- **La Coca-Cola se formula en Atlanta por un farmacéutico**
- Nace Walter **Schottky, y será el futuro padre del estudio teórico de la unión metal-semiconductor**
- Se aísla la **Fluorine por Moisson**
- Una patente Británica y Americana describe **la producción de Aluminio**

La necesidad de un Amplificador de Estado Sólido y un Interruptor Electrónica

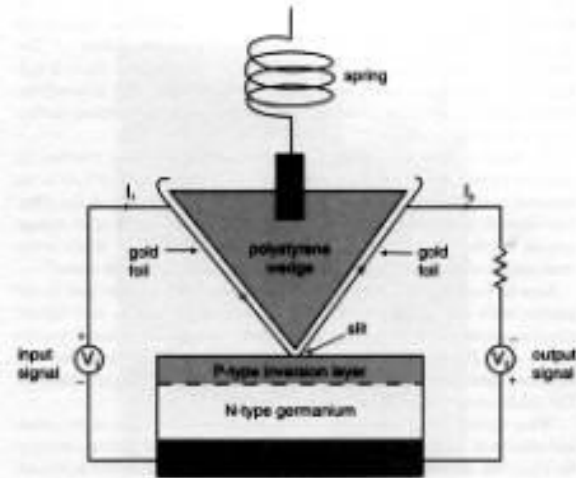
- En los años 1920s, 30s y 40s el número de clientes de telefonía creció exponencialmente. Millones de válvulas de vacío e interruptores se necesitaron para conectar clientes y transportar señales sonoras convertidas en señales eléctrica sobre miles de cables de teléfono.
- Tubos de vacío con carcasas de cristal y cátodos a alta temperatura, unos 800°C utilizaban mucho espacio y potencia, siendo de enorme fragilidad y muy corta vida útil para atender estas demandas.
- El físico Dr. Mervin Kelly, director de investigaciones de Bell Labs, forma en 1938 el grupo de trabajo encargado de desarrollar el amplificador de estado sólido. Se escogieron los materiales semiconductores para este objetivo

Descubrimiento del transistor

- Bell labs 23 Diciembre de 1947: Inventaron el transistor de punto de contacto, que demuestra el principio de la amplificación, pero era muy frágil (J. Bardeen y W. Brattain)
- Enero de 1948: Inventan el transistor de unión (W. Shockley)
- Se construyen transistores de Ge y Si:
 - Transistor de Ge de punto de contacto
 - Transistor de unión de Ge
 - Aleó el transistor de Ge
 - Ge mesatransistor ($f_{\max} = 500$ MHz, Charles Lee, 1954)
 - Transistor planar de Si (Jean A. Hoerni, 1960)
 - Si ICs (e.g., Pentium)
 - SiGe HBTs ($f_{\max} = 350$ GHz, 2002)



Cross-sectional diagram of the original point-contact semiconductor amplifier



DATE Dec 24 1947
CASE NO. 38139-7

We obtained the following A.C. values at 1000 cycles
 $E_p = 0.10$ R.M.S. $E_p = 1.5$ R.M.S. volts
 $P_p = 5.4 \times 10^{-7}$ watts $P_o = 2.25 \times 10^{-5}$ watts
 Voltage gain 100 Power gain 40
 Current loss $\frac{1}{20}$

This unit was then connected in the following circuit



This circuit was actually spoken over and by switching over the device in and out a distinct gain in speech level could be heard and seen on the scope presentation with no noticeable change in power quality. By measurement at a fixed frequency

DATE Dec 24 1947
CASE NO. 38139-7

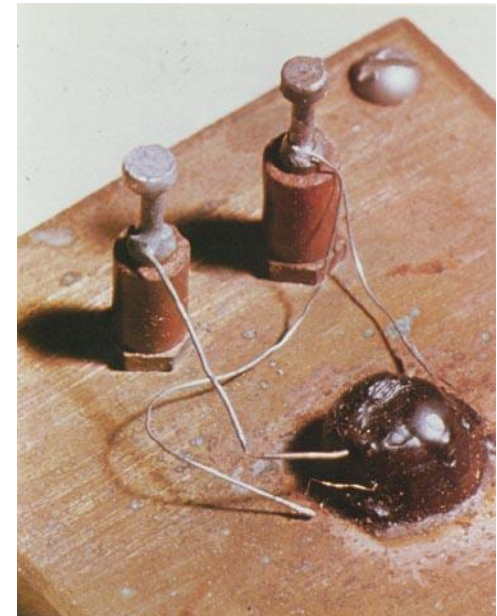
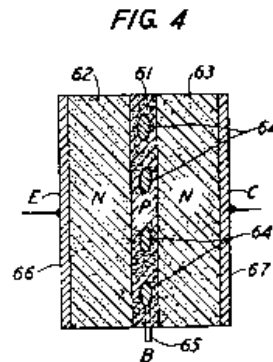
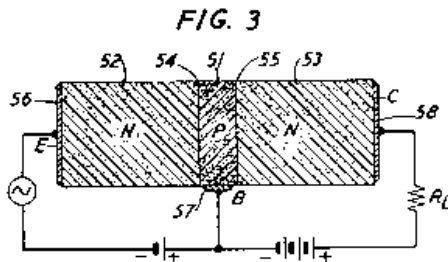
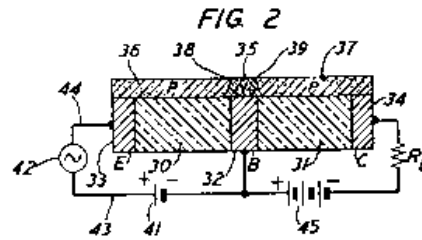
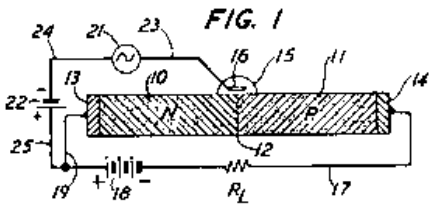
it was determined that the power gain was the order of just 5 or 6. Various points witnessed, this bar and witness (witnesses) of whom some were the following R.B. Gibney, H.R. Moore, J. Bardeen, G.H. Pearson, W. Shockley, H. Fletcher, R. Bown. Mr. H.R. Moore assisted in setting up the circuit and the demonstration occurred on the afternoon of Dec 22 1947

Red corrected by
 H.R. Moore Dec 23, 1947
 H.R. Moore Dec 23, 1947

This laboratory notebook entry of Walter H. Brattain records the events of December 23, 1947 which was the date of the first demonstration of the point contact transistor used as a speech amplifier. H.R Moore assisted in setting up the demonstration, and he and G.L. Pearson signed Brattain's notebook entry as witnesses. Also present at the demonstration were R.B. Gibney, J. Bardeen, W. Shockley, H. Fletcher, and R. Bown.

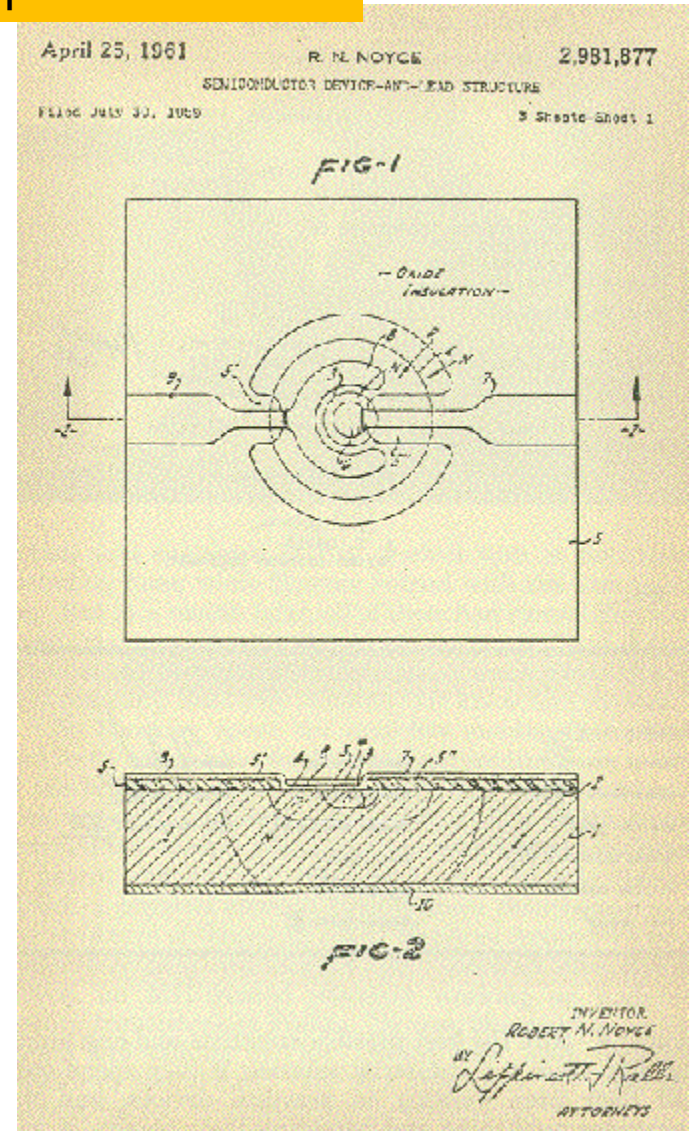
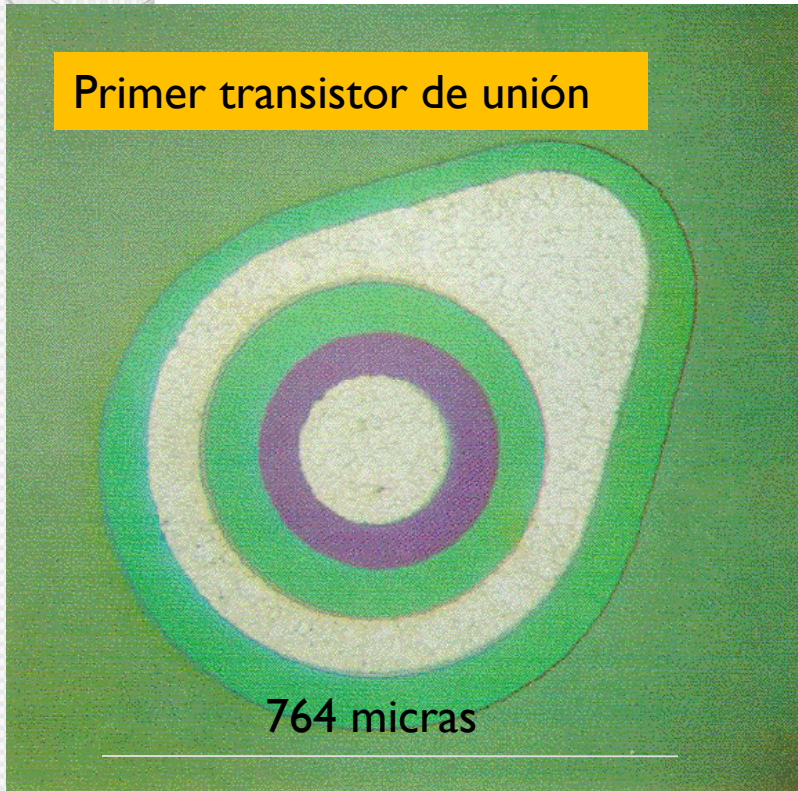
Primer transistor de unión

- Shockley define el primer transistor de unión en 1951 (U.S. Patent 2,623,105)



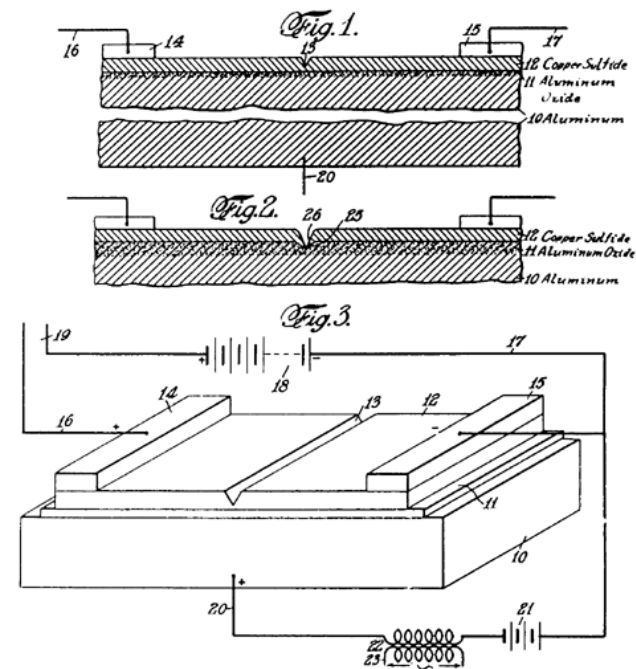
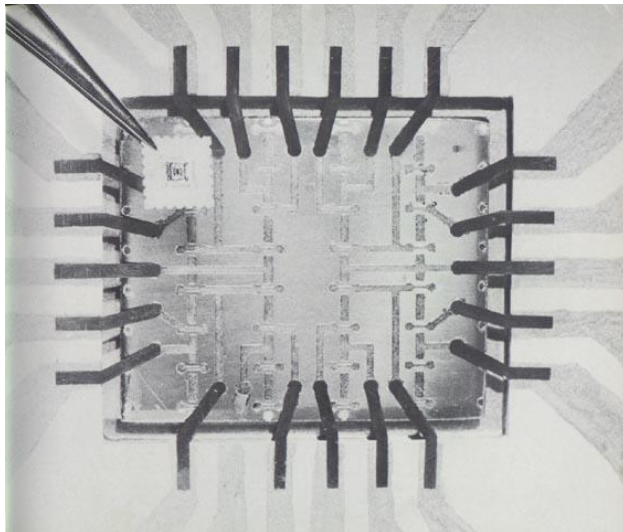
Patente de Robert Noyce del primer circuito integrado en tecnología planar

Primer transistor de unión



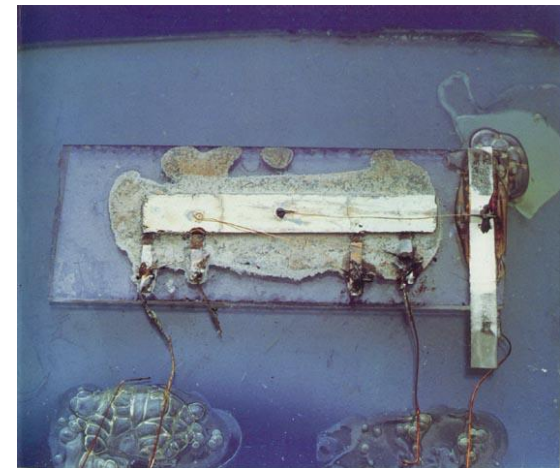
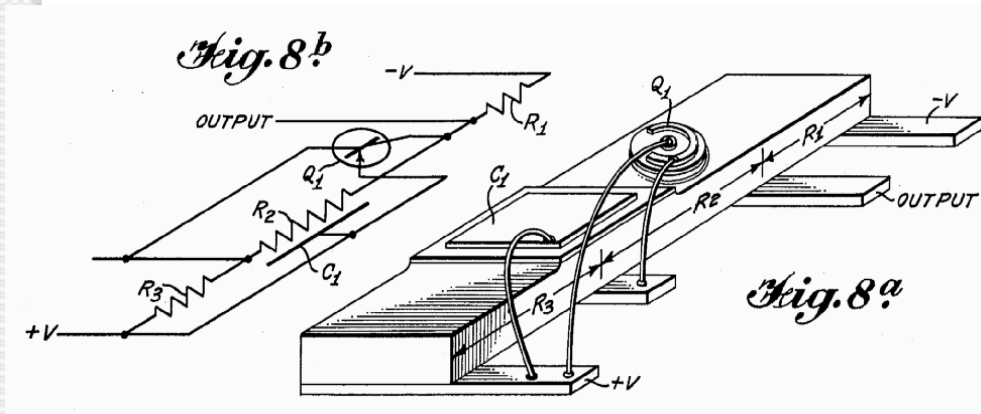
El transistor MOS

- Patente de Lilienfeld en 1933: “Dispositivo para controlar la corriente eléctrica”, U. S. Patent 1,900,018
- En 1962: RCA construye el primer transistor MOS



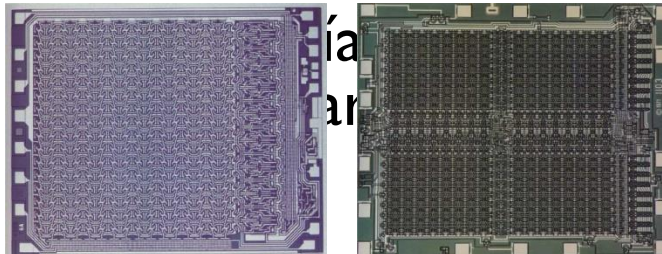
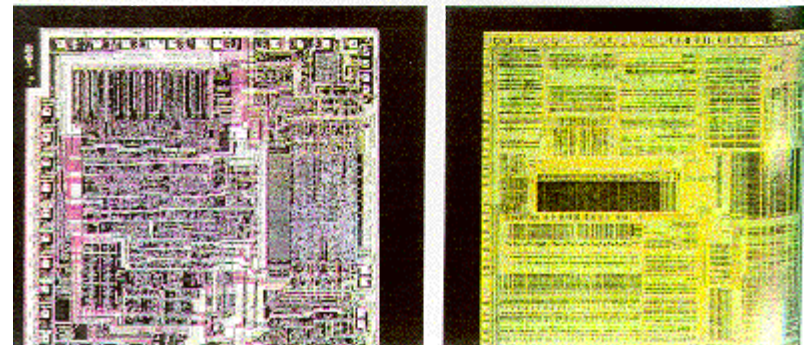
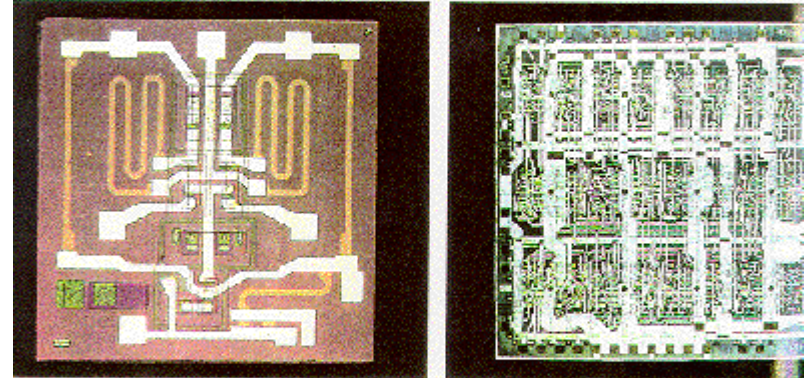
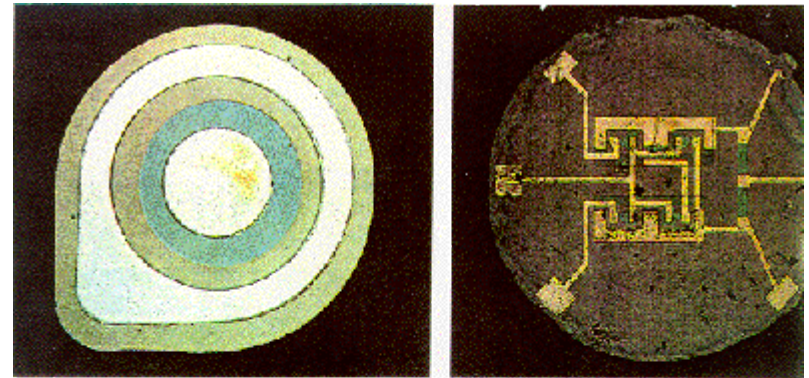
- Kilby define los primeros procedimientos para construir circuitos integrados monolíticos:

- Componentes conectados por conductores soldados a mano y aislados por uniones pn inversas, diodos utilizados como resistencias (U.S. Patent 3,138,743)



Producción en masa de circuitos integrados

- El descubrimiento fortuito de la unión silicio dióxido de silicio: Jean A. Hoerni en Fairchild, 1957
- Jack Kilby en Texas Instruments versus Robert Noyce en Fairchild Semiconductors

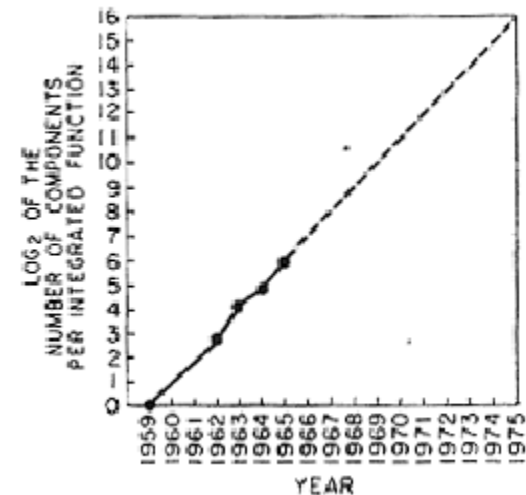
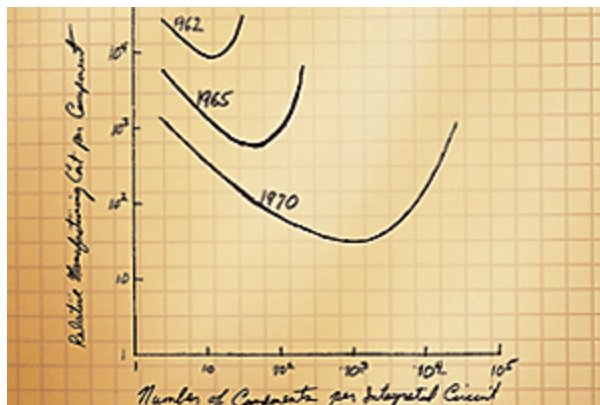
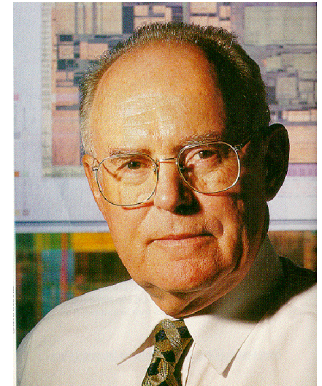


1.2 Ley de Moore

- La tecnología de Silicio forma parte de nuestra vida diaria
- Desde su origen, los circuitos han de ser:
 - Más pequeños -> más complejos
 - Más rápidos -> respuestas más rápidas
 - Menor consumo -> aplicaciones autónomas
- Cada vez somos más dependientes de la tecnología

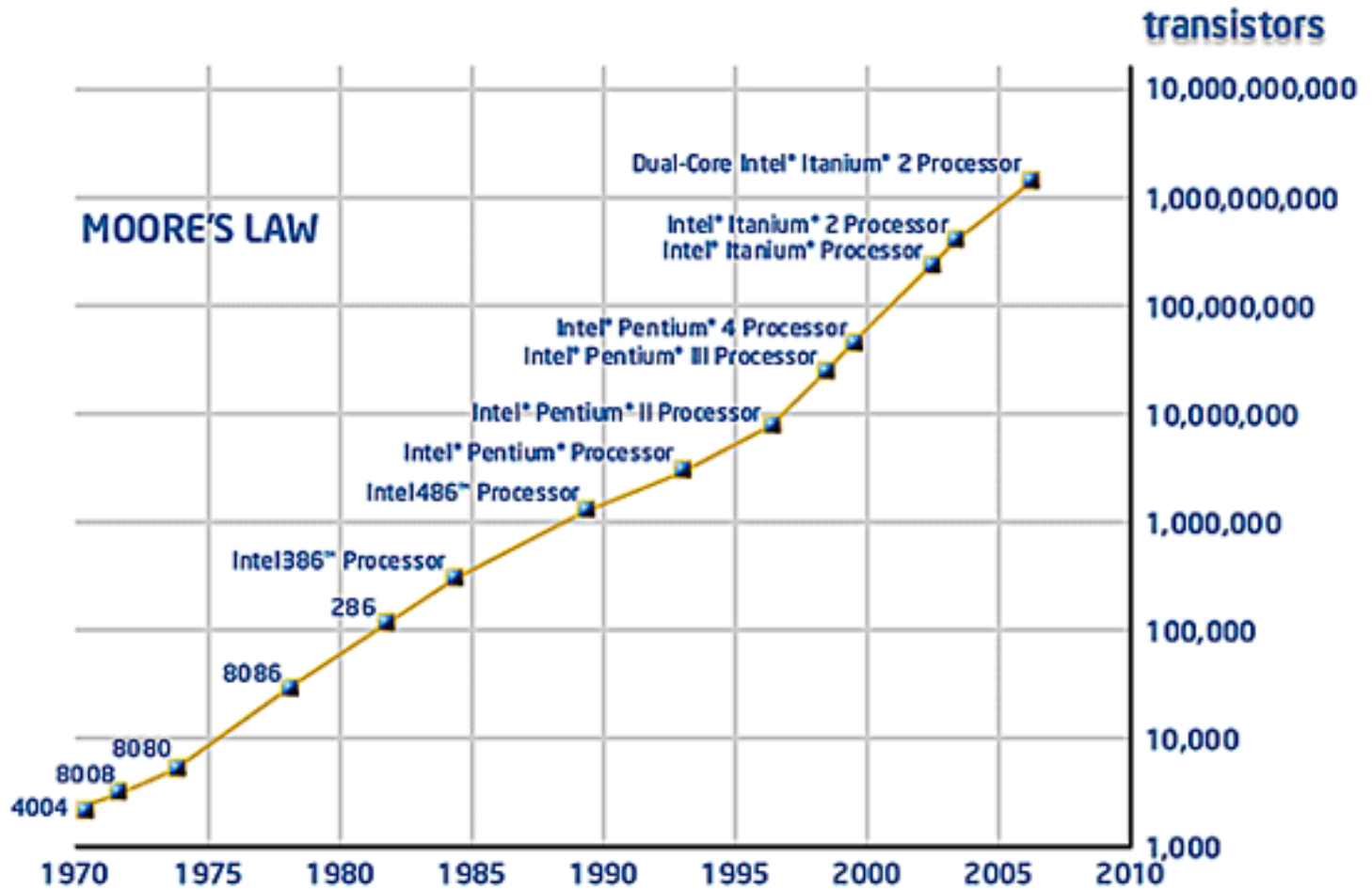
Ley de Moore

- Formulada por Gordon Moore en 1964
- Moore es co-fundador de Intel
- Predicciones de la demanda tecnológica hasta 1974
- “El número de transistores que podemos integrar en una pulgada cuadrada se doblará cada 12 meses”
- La velocidad de conmutación se doblará cada 18 meses



La complejidad de un circuito se duplica cada año

El señor Moore se equivocó... en la validez de esta ley.
 ¡¡Lleva vigente 40 años!!!



Panorámica en 2010

Die Area: 2.5x2.5 cm
Voltage: 0.6 V
Technology: 0.07 μm

	Density (Gbits/cm ²)	Access Time (ns)
DRAM	8.5	10
DRAM (Logic)	2.5	10
SRAM (Cache)	0.3	1.5

	Density (Mgates/cm ²)	Max. Ave. Power (W/cm ²)	Clock Rate (GHz)
Custom	25	54	3
Std. Cell	10	27	1.5
Gate Array	5	18	1
Single-Mask GA	2.5	12.5	0.7
FPGA	0.4	4.5	0.25

Más rápido y más pequeño...

Circuito Integrado hoy: 50 to 100 Million transistors

Ley de Moore Law: Durará mucho más?

El SIA roadmap: validez hasta 2015

Que habrá después de 2015 nano electronics?

superconducting electronics?

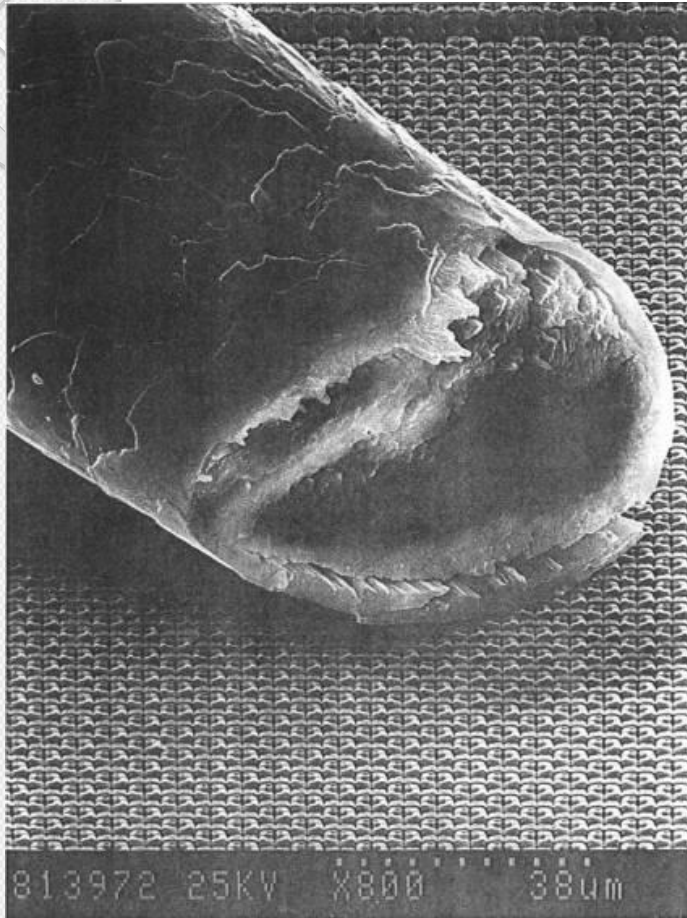
Spintronics?

carbon nanotubes?

single electron transistors?

nano crystals?

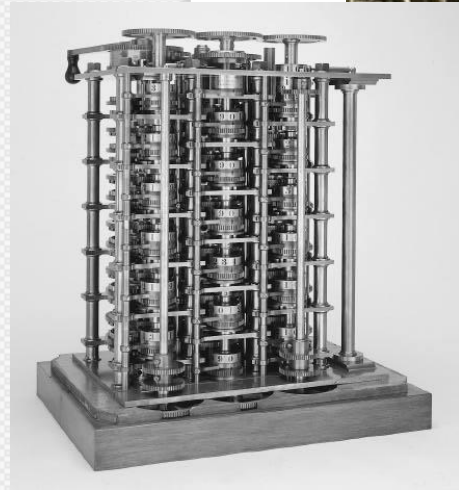
3D?



I.3 Ciencias Asociadas

- Además de las tecnologías de fabricación dos ciencias se han desarrollado:
 - Arquitectura de ordenadores
 - Tecnología del software

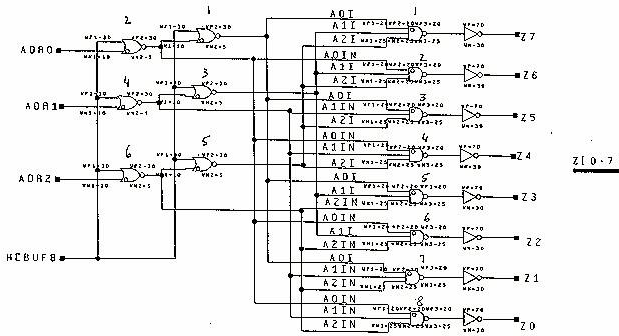
Arquitectura de ordenadores



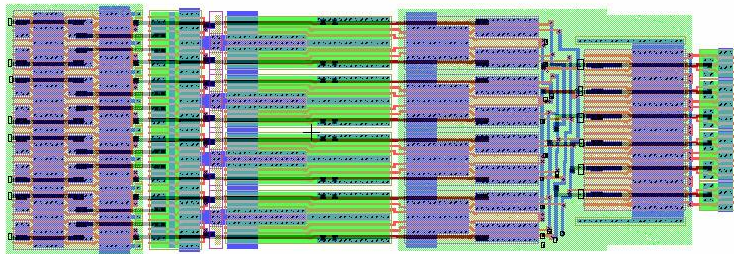
ENIAC (Electronic Numerical Integrator And Calculator, U. S. Army 1946; J. P. Eckert & J. W. Mauchly, U. of Pennsylvania; 18.000 Tubos de Vacío, 30 toneladas)

software y metodologías

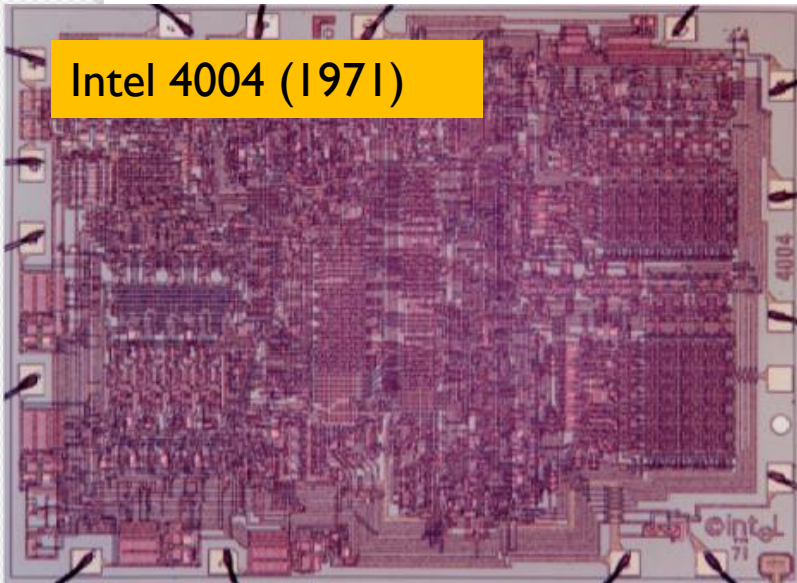
3:8 X-PREDECODER



Chip Layout of 3:8 X Predecoder



The screenshot displays the Cadence Electric software interface. The main window shows the 'txPadAmp' schematic, which includes a 3D view of the layout. The interface includes a component library on the left, a schematic editor in the center, and a simulation window at the bottom. The simulation window shows a signal trace for 'himb[1:10]' and other signals.



Parameterized Process Description

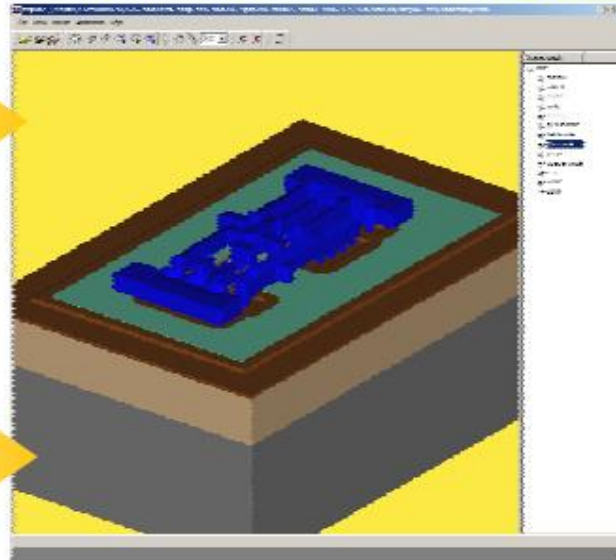
Able to adapt *any* process technology
Customized to INTEGRAM process



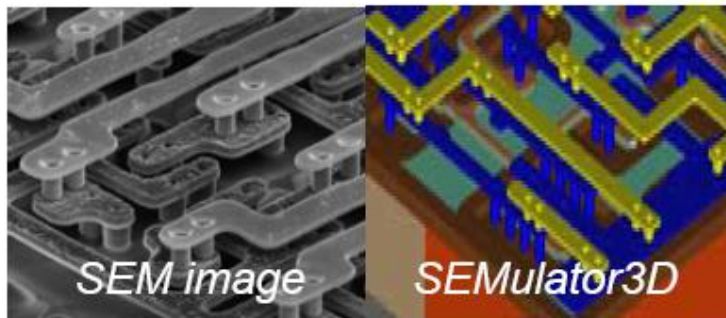
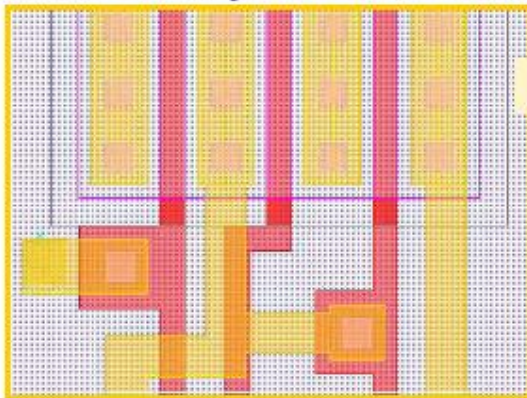
SEMulator3D Visualizer

Based on a unique
voxel-modeling approach

Easily creates
3D images,
animations,
cross sections, etc.



GDSII Layout

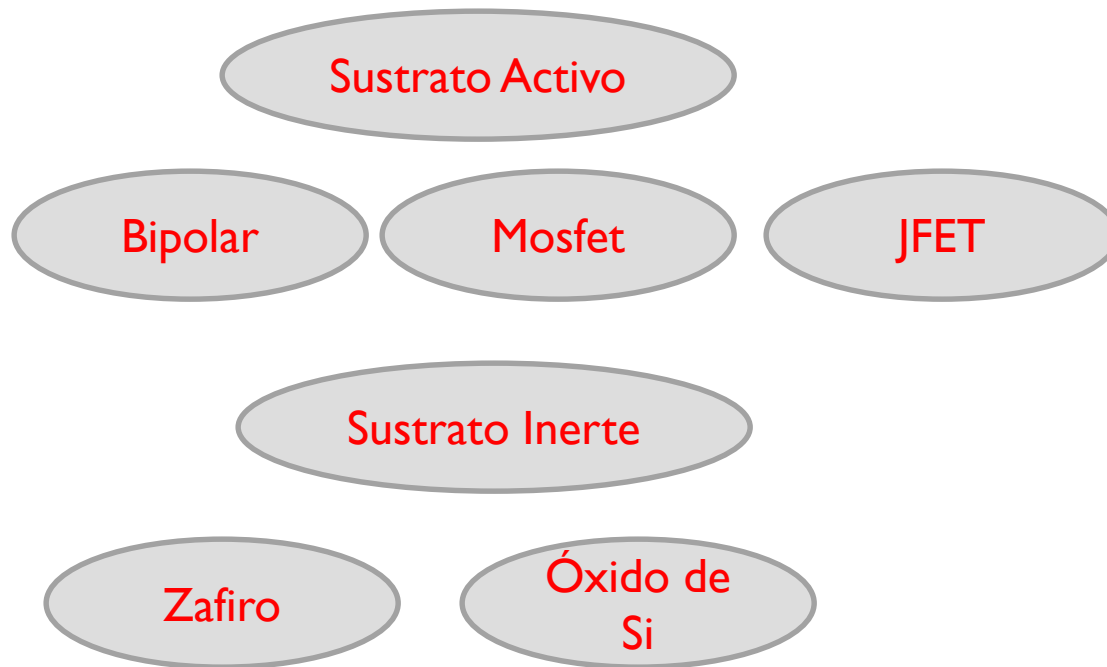


Creates realistic
geometric models

INTEGRAMplus

2. Tecnologías de Semiconductores

- Tecnologías basadas en Si



- Tecnologías de Semiconductores Híbridos

SiGe

AsGa

2.1 Escalas de Integración

Denominación	N° Trans	Tipo de circ	Años	Aplicaciones
Discretos	1-2	NPN	60s	Simple
SSI (baja)	<100	NMOS	70s	TTLs, Analog
MSI (Media)	<10 ³	NMOS	80s	UARTs
LSI (Alta)	>10 ³	NMOS, CMOS	90s	4004, 6502
VLSI (Muy alta)	>10 ⁴	CMOS	90s	Pentium
ULSI (Ultra alta)	10 ⁹	CMOS?	00s	Virtex II
Escala nanométrica	10 ¹²	CMOS?	00s	Ultrascale

3. Diseño de circuitos integrado

SED

- **Circuitos Integrados Estándar**

Ejemplos: 74LS02, 40M27, LNI27,...

Sin aplicación concreta

Muchos fabricantes ofrecen los mismos circuitos con similares denominaciones.

- **Circuitos Integrados de Aplicación Estándar**

Ejemplos: 80C51, FTDI232, PIC18, Itanium,...

Aplicación concreta

Cada fabricante ofrece una solución, pero no son compatibles.

- **Circuitos Integrados de Aplicación Específica**

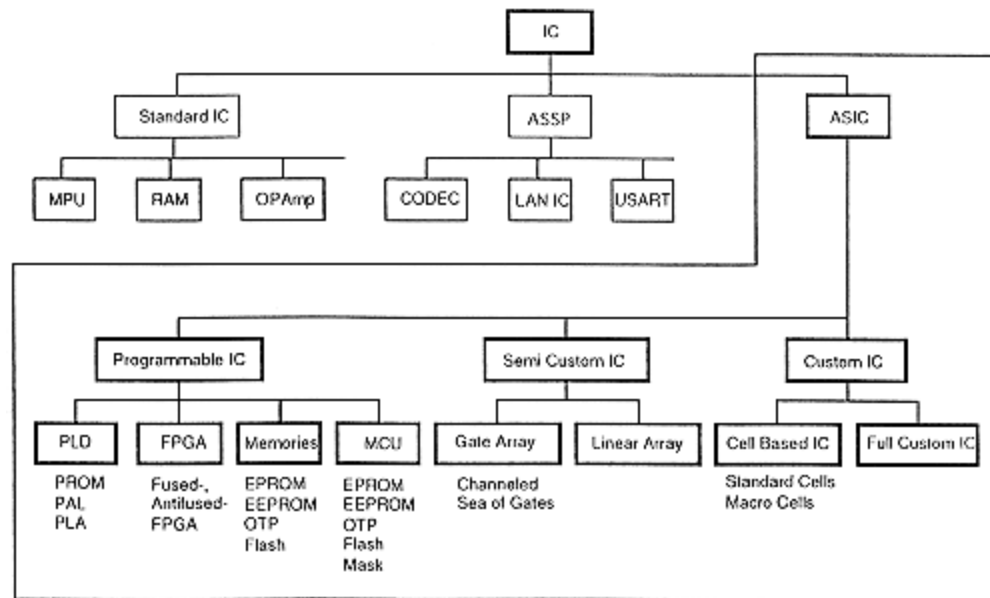
Circuitos personalizadas para cada usuario o proyecto.

Se optimiza el área y las prestaciones

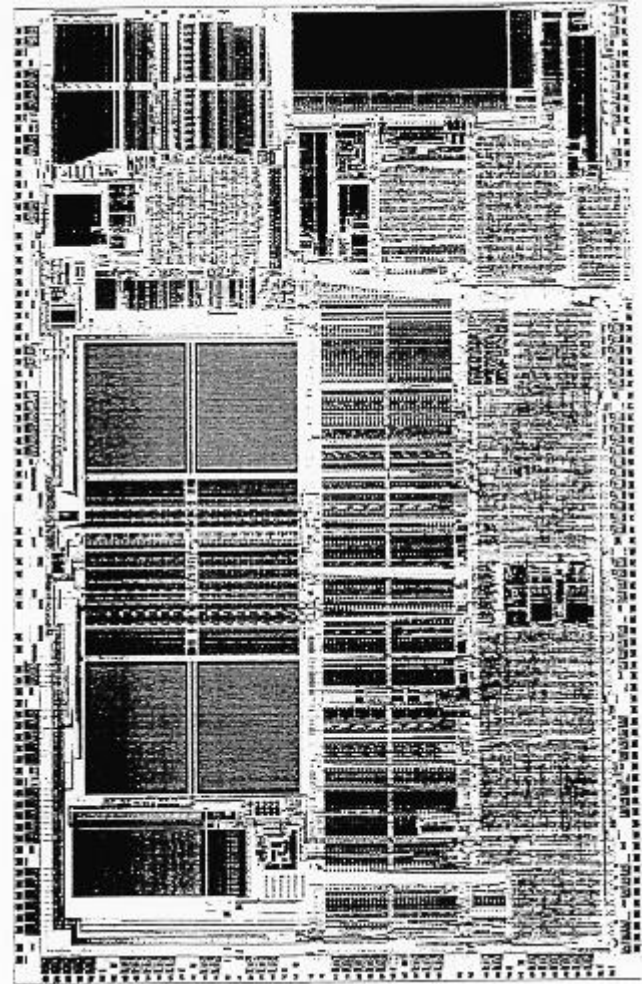
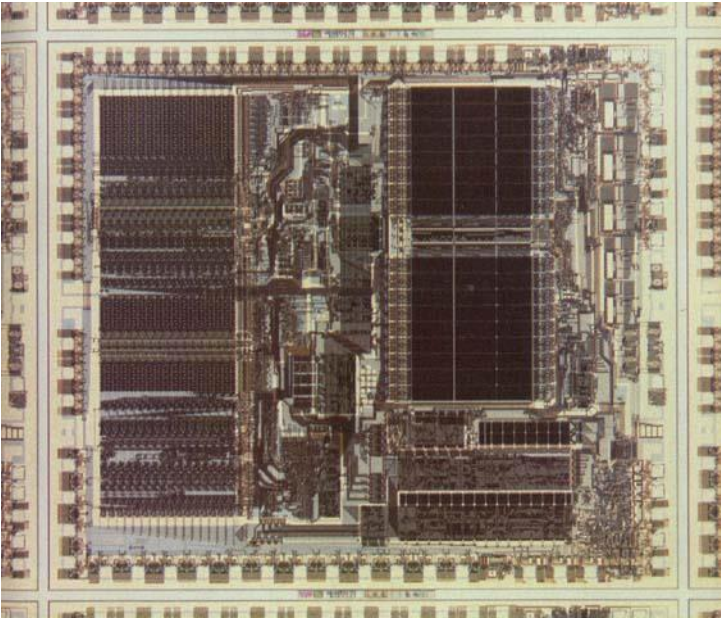
Se selecciona la tecnología del fabricante.

Tecnologías de diseño

- A medida (Custom)
- Precharacterizadas (Semicustom)
- Tecnologías programables

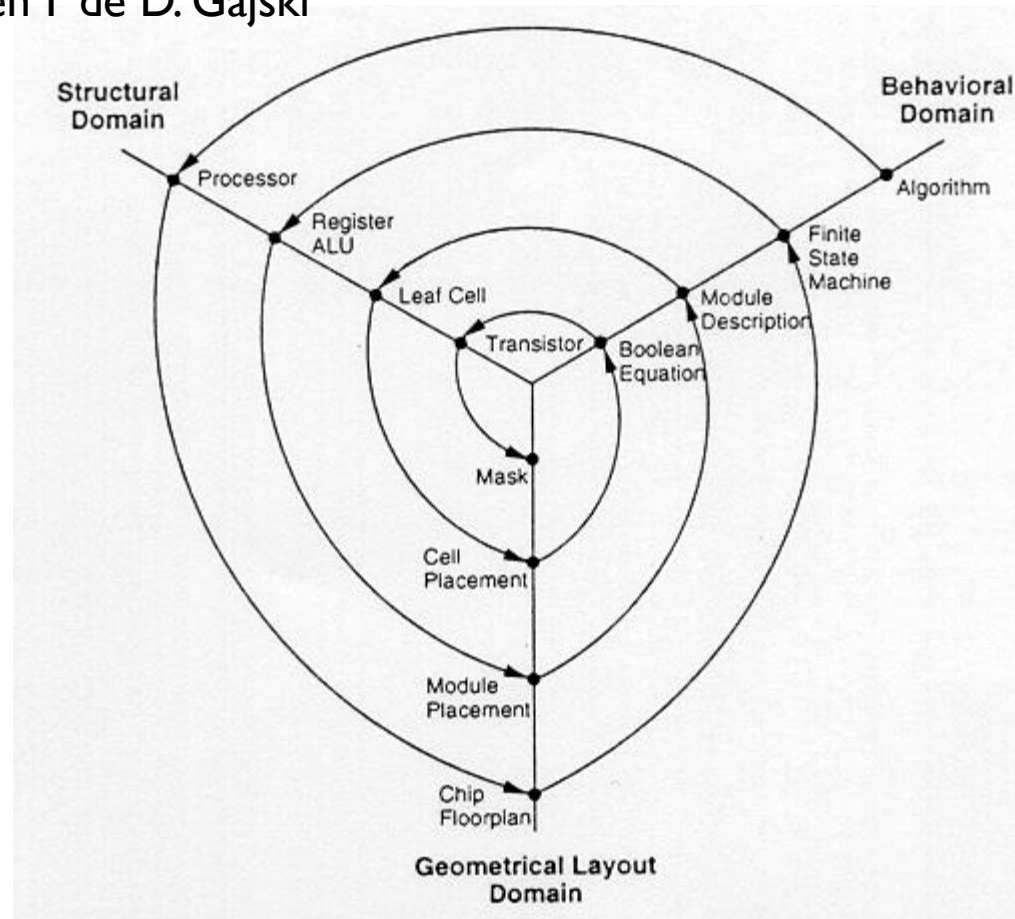


Semicustom Celdas Estándar



Proceso de diseño

Diagrama en Y de D. Gajski



Flujo de diseño

Herramientas:

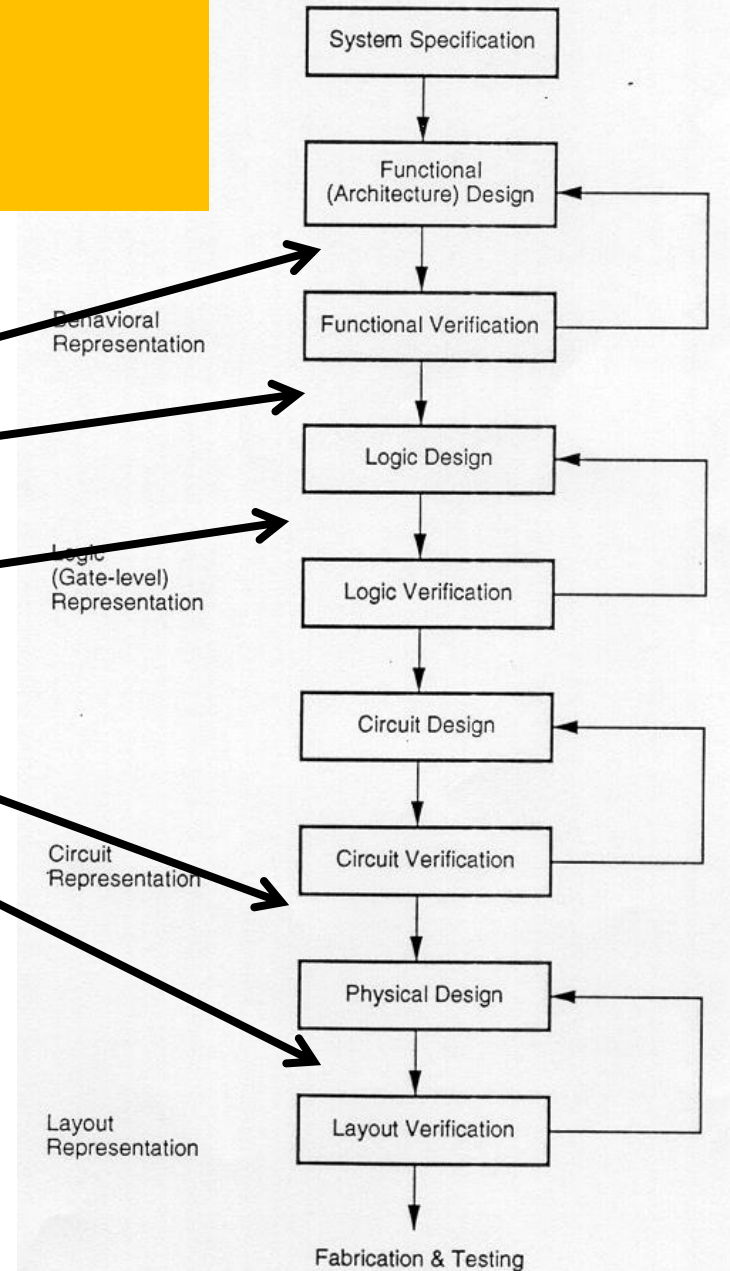
Simulación alto nivel

Síntesis lógica

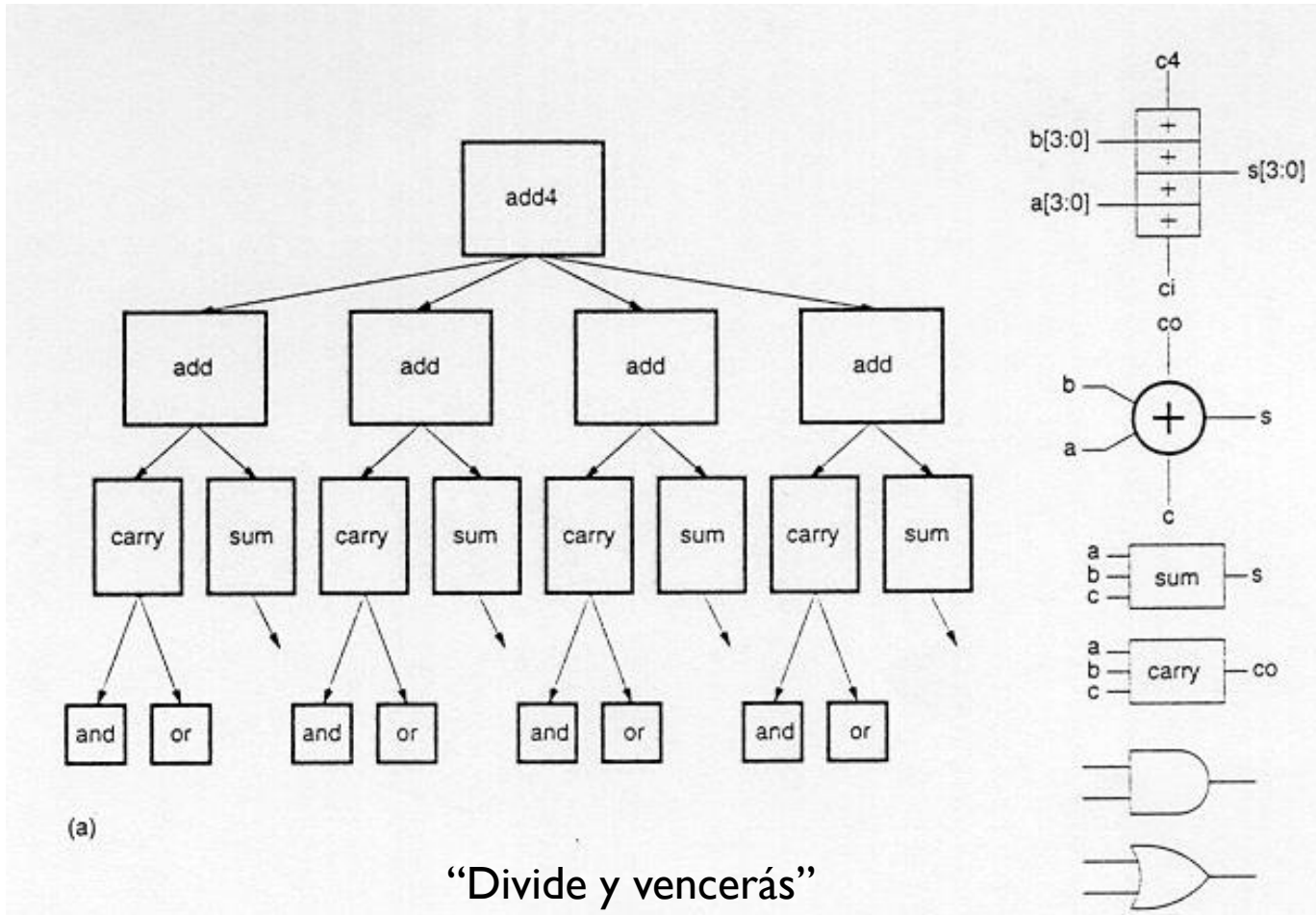
Simulación medio nivel

Síntesis física

Verificación física



Descomposición jerárquica



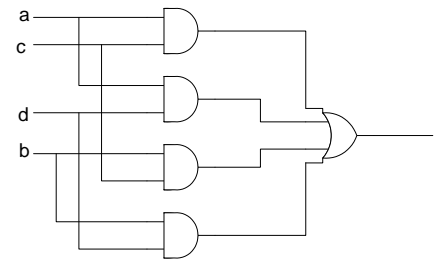
3.1 Niveles de representación

- Nivel Comportamiento $Y \leq A+B;$

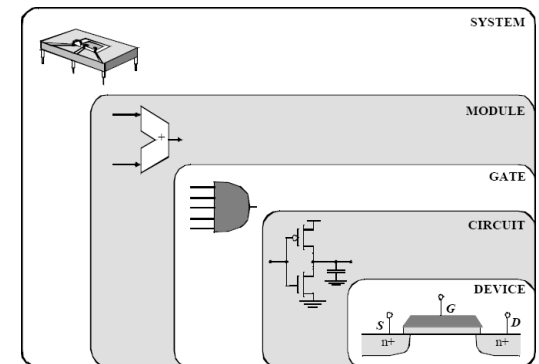
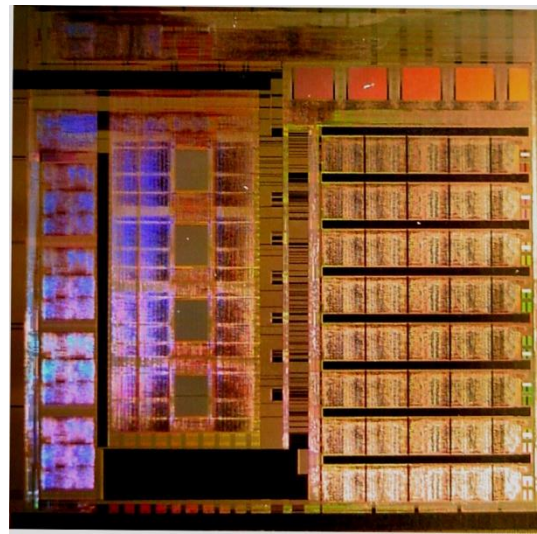
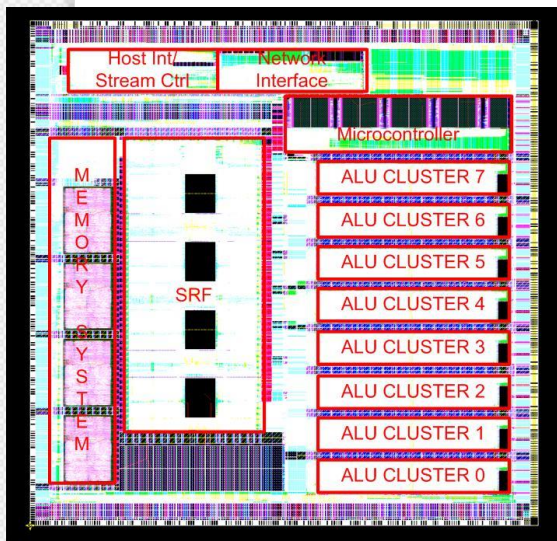
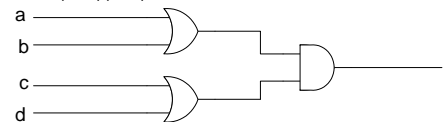
- Nivel Estructural

- Nivel Físico

$$f = ac + ad + bc + bd$$



$$f = (a+b)(c+d)$$



4. Aspectos económicos

- Herramientas:
 - Software (licencias)
 - Hardware (plataformas de desarrollo)
- Ingeniería (nuestro sueldo)
- Time-to-market (depreciación)
- Ingeniería no retornable (máscaras)
- Estrés -> (se pasa muy mal)

Aspectos económicos

- Cálculo de “retorno de la inversión”

$$\text{ROI} = \text{ganancias} / \text{inversión}$$

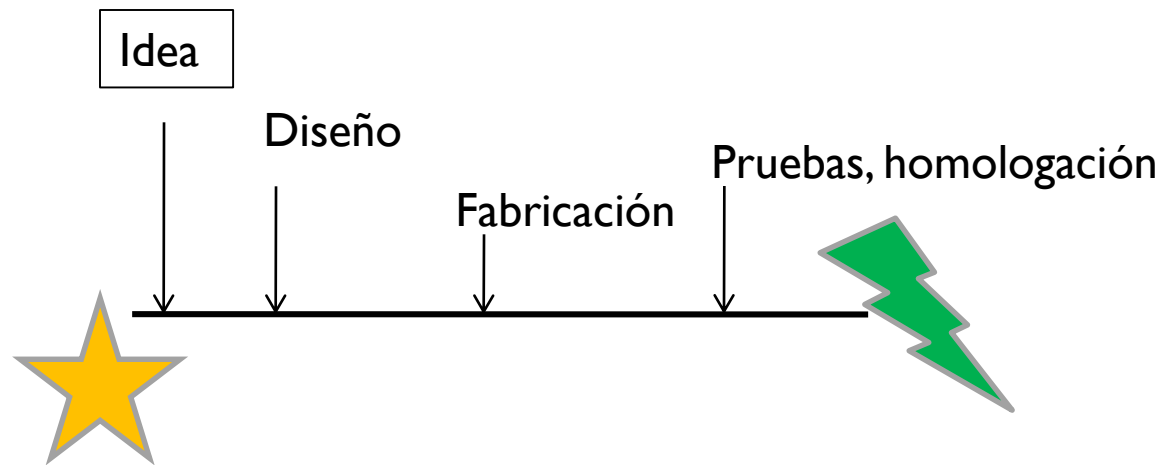
- Si tenemos en cuenta los diferentes factores que inciden en el ROI

- $$\text{ROI} = \frac{(I^2 - C)(E/I + E)L}{A + L * C * D}$$

- A son los costes de implementación (software, hardware, computadoras,...)
 - L es el coste de la ingeniería
 - C son los meses necesarios para entrenar a los ingenieros
 - D es la pérdida de productividad durante el entrenamiento
 - E es el incremento de la productividad con el nuevo sistema

Time to market

- Desde que una idea se concibe hasta que el producto está en el mercado



Beneficios

- 😊 Privacidad: preservar el conocimiento.
- 😊 Prestaciones: Mejor tecnología frente a competidores
- 😊 Reducción de coste en el sistema: Área de PCB, menos componentes
- 😊 Fiabilidad: Menores riesgos de fallo.
- 😊 Imagen: “El chip de *famosa*”

4.1 Rendimiento de fabricación


- Se conoce como **Yield:**

Número de piezas buenas/Cantidad de Si

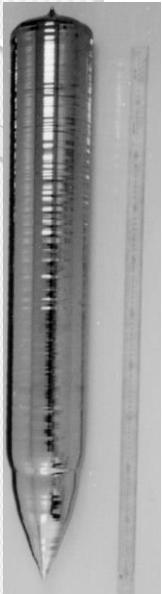
$$\text{Coste del dado} = \frac{\text{Coste de la oblea}}{\text{Dados por oblea} \times \text{yield}_{\text{oblea}}}$$

$$\text{Coste IC} = \frac{\text{coste del dado} + \text{coste del testing} + \text{coste del encapsulado}}{\text{Yield}_{\text{dado}}}$$

Rendimiento de fabricación de obleas

$$\text{Yield}_{\text{dado}} = \text{Yield}_{\text{oblea}} \times \left[1 + \frac{\text{Defectos por unidad area} \times \text{area dado}}{\alpha} \right]^{-\alpha}$$


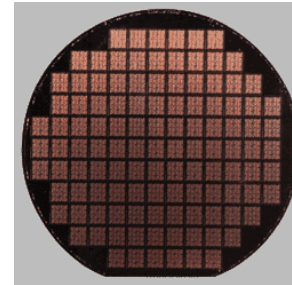
Proceso del test



Cilindro de Si



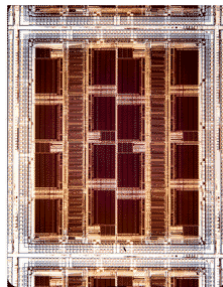
Oblea de Silicio



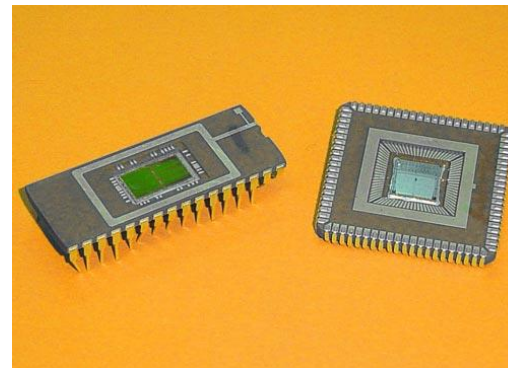
Oblea procesada



Test de oblea



Dado sin encapsular



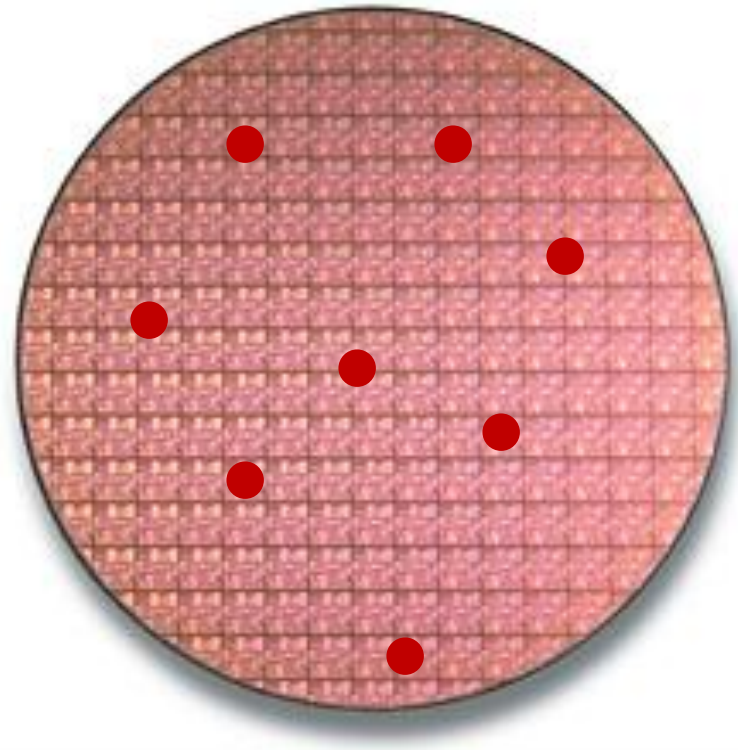
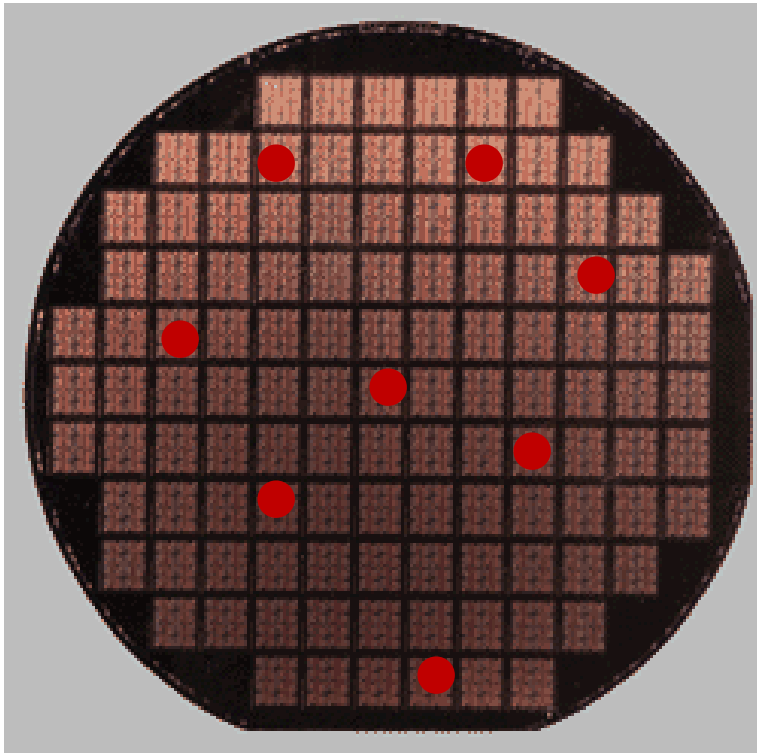
Dado encapsulado



Factores que influyen en el yield

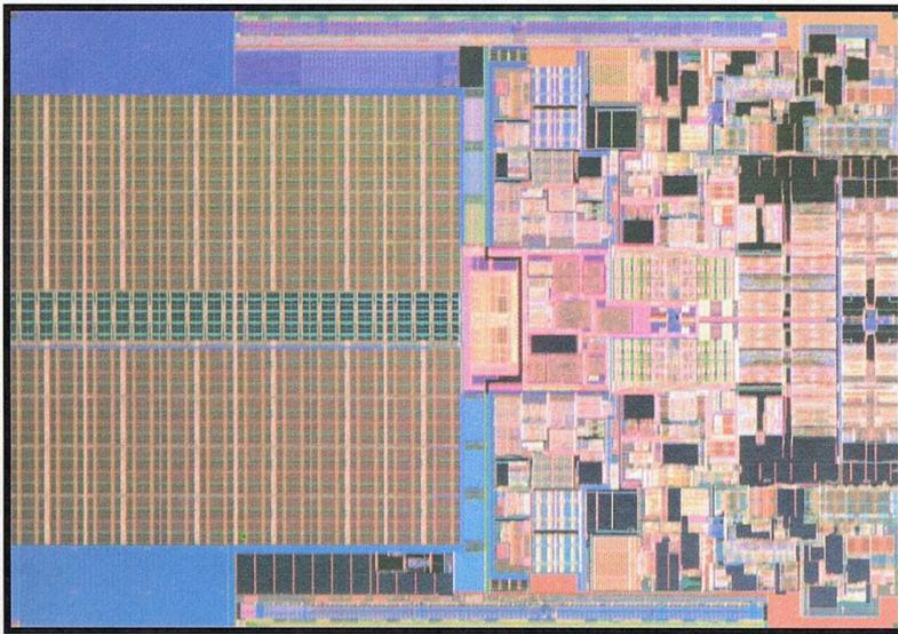
- Partículas de polvo
- Defectos cristalinos de oblea y su procesado
- Desalineamiento de máscaras
- Defectos y envejecimiento de máscaras
- Envejecimiento de los procesos químicos

Partículas de polvo



Por último...

- Con tecnologías de Si se puede hacer cualquier cosa:



Interesante...

- <https://www.youtube.com/watch?v=UvluuAliA50>