



Práctica FPGA 1: Manejo de FPGA editor.

Hipólito Guzmán Miranda
Profesor Contratado Doctor
Departamento de Ingeniería Electrónica
hguzman@us.es

Objetivo de la práctica: Aprender el manejo básico de la herramienta FPGA Editor. Reflexionar y realizar consideraciones acerca de cómo las decisiones que se toman en el VHDL afectan a la implementación real de los circuitos.

Evaluación de la práctica: Se debe escribir una breve memoria con los resultados obtenidos en los distintos apartados.

Crear un nuevo proyecto en Xilinx ISE. Seleccionar el dispositivo disponible en la tarjeta Basys-2: xc3s100e-4cp132 (familia Spartan3E).

Escribir el código VHDL de un multiplexor 2 a 1.

Realizar la implementación del mismo (Implement Design). No es necesario generar el .bit.

Cuando la implementación ha terminado, dentro de Implement Design -> Place & Route, ejecutar el proceso View/Edit Routed Design (FPGA Editor). Localizar los IOBs en los que se han implementado las entradas y las salidas, así como la CLB en la que se ha implementado la función lógica del multiplexor. Se puede seleccionar uno o varios componentes en la ventana "List" y luego hacer click en el icono Zoom Selection (F11) para centrar la vista en los componentes seleccionados. Si se hace doble click en un componente se puede entrar en el nivel de jerarquía inferior.

Entrar en un IOB e identificar los elementos mínimos que debe contener (PAD, buffer de entrada, buffer de salida). Para un IOB configurado como entrada y otro configurado como salida, comprobar que esté configurado como tal.

Entrar en un SLICE del diseño (el único que debería tener). Comprobar que verdaderamente contiene dos LUTs y dos FFs. Comprobar el número de entradas de las LUTs. Haciendo click en la LUT que está configurada se puede ver la función lógica implementada en la misma. ¿Qué función se ha configurado? ¿Tiene sentido esta función?

Cambiar en Project -> Design Properties, el dispositivo por una FPGA de la familia Virtex-5 FX (por ejemplo la xc5vfx70-3ff1136).



Una vez implementado el diseño para esta nueva tecnología, abrir de nuevo FPGA Editor y constatar las diferencias entre los IOBs y los SLICES en Virtex-5 con respecto a los de Spartan-3E.

Cambiar de nuevo las propiedades del proyecto para seleccionar el dispositivo xc3s100e-4cp132. Añadir al multiplexor una entrada de reloj, y sincronizar la salida de éste con un biestable sin reset. Comprobar con FPGA editor que el nuevo diseño contiene dicho biestable y que éste recibe como dato de entrada la salida de la LUT que implementa la función lógica. ¿Dónde está localizado el biestable? Comprobar que el biestable esté configurado como Flip-flop y no como Latch. Comprobar también la existencia de un buffer global de reloj.

En Synthesize - XST, hacer click con el botón derecho -> Process Properties -> Xilinx Specific Options -> cambiar "Pack I/O Registers into IOBs" de "Auto" a "No". Volver a realizar la implementación. ¿Dónde está localizado el biestable ahora?

Añadir al multiplexor una entrada de reset. ¿Cómo cambia la implementación dependiendo del tipo de reset que se implemente?:

- Reset asíncrono (descrito en el proceso síncrono)
- Reset síncrono descrito en el proceso combinacional
- Reset síncrono descrito en el proceso síncrono

Cuando estáis aprendiendo VHDL se os recomienda que no describáis resets síncronos en el proceso síncrono, sino que lo hagáis en el combinacional, para evitar mezclar la lógica con los biestables. Ahora que ya tenéis más experiencia y, a la vista de los resultados del apartado anterior, ¿podría interesaros en algún momento describir un reset síncrono en el proceso síncrono? ¿Por qué? ¿Qué ocurre si se añade una entrada de set al proceso síncrono? ¿Qué ocurriría si se le añadiera más lógica al proceso síncrono?

Escribir el código VHDL de un contador de anchura parametrizable, sin entrada de habilitación ni entrada de dirección de cuenta. Dejar como valor por defecto de dicha anchura 4.

Ejecutar el proceso de implementación de dicho contador y observar los resultados utilizando FPGA Editor. ¿Puedes identificar las LUTs en las que se implementa el cálculo del próximo valor de la cuenta?

Observa en Design Summary la utilización de recursos de la FPGA. ¿Cómo cambian los recursos utilizados si cambiamos la anchura del contador a 8, 16, 32, 64, 128?